



UNIVERSITAT POLITÈCNICA DE CATALUNYA
BARCELONATECH

Departament d'Enginyeria Electrònica

CONTRIBUCIÓN AL ESTUDIO DE LAS INTERFERENCIAS ELECTROMAGNÉTICAS CONDUCIDAS EN CIRCUITOS INTEGRADOS

Tesis doctoral presentada como requisito parcial para la obtención del título de Doctor por la Universitat Politècnica de Catalunya, dentro del Programa de Doctorado en Ingeniería Electrónica.

Néstor Berbel Artal

Director: Dr. Raúl Fernández García

Co-Director: Dr. Ignacio Gil Galí

Abril 2015

A mis padres.

“The greats (painters) weren't great because at birth they could paint.

The greats were great cause they paint a lot.”

[*“Ten Thousand Hours”* - Macklemore & Ryan Lewis]

AGRADECIMIENTOS

Me gustaría dar las gracias por la ayuda y dedicación a mis directores de tesis Dr. Raúl Fernández y Dr. Ignacio Gil. También me gustaría agradecer a la Dra. Sonia Ben Dhia y al Dr. Alexander Boyer por la posibilidad que me ofrecieron de hacer una estancia en el INSA de Toulouse. A Dr. Etienne Sicard, Dr. Binhong Li, Dr. Jianfei Wu, Christophe Lemoine, Joan Lauga, Rajiv Hotchandani y Cristina Nogué que contribuyeron a que mi estancia allí fuera más amena.

A toda la gente del grupo de investigación TIEG y, en extensión, del Departamento de Ingeniería Electrónica de la Universidad Politècnica de Catalunya por el apoyo que siempre recibo. Especial mención a Daniel Pérez, Antoni Salvador, Joan Carles Pineda y Ricard Picas.

A Juan Mon y Jordi Zaragoza por la amistad que nos une.

También quiero dedicar este trabajo a mis hermanos Ernesto Baeza, Marc Gelis, Marc Vidal, Guillem Zaragoza, Ivan Malagueta, Xavier Lobo, Joan Gelis y Santiago Valenciano.

Finalmente, a mis padres, Juan Manuel y Georgina. Sin su apoyo y amor, hoy esto no sería posible. A mis tíos, primos y el resto de la familia por su cariño. Os quiero. Y a mis abuelos Manuel, Isabel y María, que me vigilan allí donde estén.

A CONTRIBUTION TO THE STUDY OF CONDUCTED ELECTROMAGNETIC INTERFERENCES ON INTEGRATED CIRCUITS

ABSTRACT

This thesis is focused on the conducted Electromagnetic Interference generated at Integrated Circuit (IC) Level. Recently, several electrical models have been proposed in order to describe EMI at IC level, but they have several limitations. The first drawback is that these electrical models do not take into account the wear-out mechanisms on the EMI behaviour.

The wear-out mechanisms are due to the dielectric degradation when an electric stress is applied to the oxide gate. Due to this degradation, the MOSFET characteristics are shifted. Therefore, the evaluation of wear-out mechanisms allow the designers, during the IC design, to predict the circuit behaviour along its lifetime. However, the impact of these wear-out mechanisms on the conducted EMI drift at IC level has not been deeply investigated. Hence, one of the aims of this thesis will be focused on the impact of wear-out mechanisms in signal integrity and conducted EMI at IC level.

Moreover, current integrated circuits have a high operation frequency. Thus, the electromagnetic noise induced on those devices presents a higher harmonic content. For this reason, the electronics industry requires electrical models to predict high frequency conducted emissions. In this sense, the other aim of this thesis will be focused on expanding the current EMI models beyond 1 GHz.

The IC behaviour may be affected by temperature, as well as conducted emission levels. Therefore, the proposed electrical model will take into account the impact of temperature.

The experimental results have been obtained with three integrated circuits, two of them are specific test chip designed by **Freescale Semiconductor, Inc.**, and the third IC is a commercial circuit of **Maxim Integrated Circuits**.

This document is structured in four chapters. Chapter 1 describes the main wear-out mechanisms and the electromagnetic compatibility at IC level. The different EMI produced at IC are explained. Also, it describes aging methods to characterize the impact of wear-out mechanisms on MOS devices. Furthermore, the EMI characterization methods are explained and different EMC electrical models are described. To confirm the accuracy of the EMC models, the “*Feature Selective Validation*” (FSV) technique has been used. On this chapter, the FSV method and its application on computational electromagnetism is detailed. The chapter ends with the state of the art on wear-out mechanisms and EMI at IC level.

Chapter 2 analyzes the IC reliability. The IC aging of the MOSFET I-V curve characteristics is studied, for further EMI characterization of the impact of wear-out mechanisms. The experimental results are presented at the end of Chapter 2.

Chapter 3 presents an electrical model to characterize the conducted emissions of an IC up to 3 GHz. This electrical model considers the impact of temperature. The proposed model is validated with experimental results and verified with the FSV method.

Chapter 4 summarizes the conclusions of the thesis and the main contributions. In addition, a list of the publications derived from this thesis is included. Finally, the chapter presents the lines for future research.

The present thesis has been developed in the Department of Electronic Engineering of the Universitat Politècnica de Catalunya (UPC), within the research group Terrassa Industrial Electronic Group (TIEG). This research is also part of the activities of three administration supported competitive projects: TEC2009-09994, TEC2010-18550 and AGAUR 2009 SGR 142.

CONTRIBUCIÓN AL ESTUDIO DE LAS INTERFERENCIAS ELECTROMAGNÉTICAS CONDUCIDAS EN CIRCUITOS INTEGRADOS

RESUMEN

Esta tesis se centra en el estudio de las interferencias electromagnéticas (“*Electromagnetic Interferences*” o EMI) conducidas generadas a nivel de circuito integrado (CI). En la actualidad, existen modelos eléctricos para describir las EMI conducidas a nivel de CI, pero presentan ciertas limitaciones. La primera de ellas es que estos modelos no tienen en cuenta el impacto de los mecanismos de degradación sobre las EMI.

Los mecanismos de degradación aparecen por el deterioro del dieléctrico debido al estrés eléctrico aplicado en el óxido de puerta. Estos mecanismos producen la variación de las características eléctricas de los dispositivos MOS. El estudio de estos efectos permite predecir, durante la etapa inicial del diseño, su impacto durante el tiempo de vida de los CI. Sin embargo, hasta la fecha, no se han llevado a cabo estudios del efecto de los mecanismos de degradación en las EMI conducidas a nivel de CI. Por lo tanto, uno de los primeros objetivos de la tesis será caracterizar el impacto de los mecanismos de degradación en la integridad de la señal y en las EMI conducidas a nivel de CI.

Asimismo, los CI tienen una frecuencia de funcionamiento cada vez mayor, de modo que el ruido electromagnético generado por estos dispositivos tiene un contenido armónico de más alta frecuencia. Es por esto que conviene tener modelos eléctricos que permitan modelizar las EMI de alta frecuencia. El segundo objetivo de la tesis consiste en modelizar las EMI conducidas más allá de la frecuencia de 1 GHz ya que los modelos actuales son válidos hasta esta frecuencia.

La temperatura de funcionamiento del CI puede afectar al comportamiento del mismo, así como a los niveles de las emisiones conducidas. Por lo tanto será de interés que el modelo propuesto tenga en cuenta el impacto de la temperatura, ya que los modelos actuales únicamente son válidos para una temperatura de funcionamiento.

La validación experimental se ha llevado a cabo sobre tres circuitos integrados, dos de ellos diseñados específicamente para este estudio por la empresa **Freescale Semiconductor, Inc.** y el tercer CI es un circuito comercial de **Maxim Integrated Circuits.**

Este documento se compone de cuatro capítulos. El capítulo 1 empieza con la descripción de los principales mecanismos de degradación y de la compatibilidad electromagnética a nivel de circuito integrado. Se detallan las diferentes interferencias electromagnéticas que pueden producirse a nivel de circuito integrado. Se procede con la descripción de los métodos acelerados de envejecimiento para caracterizar el impacto de los mecanismos de degradación en los dispositivos MOS. Se continúa con una explicación de los métodos para caracterizar las EMI y la presentación de diferentes modelos EMC para su modelización. Para la validación de los estos modelos EMC se hace uso del método "*Feature Selective Validation*" (FSV). En este capítulo se da explicación al método FSV y su aplicación en el electromagnetismo computacional. Para finalizar el capítulo, se describe el estado actual de la investigación en el campo de los mecanismos de degradación y de las EMI a nivel de CI.

En el capítulo 2 se analiza la fiabilidad de los CI. Se estudia el impacto de los mecanismos de degradación en el comportamiento de los transistores, para posteriormente estudiar el impacto de estos mecanismos en las EMI. El capítulo 2 se complementa con los resultados experimentales obtenidos en el laboratorio.

El capítulo 3 se centra en la caracterización y el modelado de las EMI en los circuitos integrados. Se propone un modelo eléctrico para caracterizar las interferencias electromagnéticas conducidas hasta los 3 GHz y el impacto de la

temperatura en las emisiones conducidas. El modelo propuesto es comprobado con medidas experimentales y verificado con el método FSV.

Por último, el capítulo 4 resume las conclusiones de la tesis y las principales contribuciones. Además, en este capítulo se presenta las líneas de investigación futuras.

Esta tesis se ha desarrollado dentro de una de las líneas de investigación del Grupo de Electrónica Industrial de Terrassa ("*Terrassa Industrial Electronics Group*" - TIEG), dentro del marco del proyecto de investigación TEC2009-09994, TEC2010-18550 y AGAUR 2009 SGR 142.

Índice

AGRADECIMIENTOS	VII
ABSTRACT	IX
RESUMEN	XI
ÍNDICE	XV
LISTA DE FIGURAS	XIX
LISTA DE TABLAS	XXV
LISTA DE ABREVIATURAS Y ACRÓNIMOS	XXVII
CAPÍTULO 1.	1
1 INTRODUCCIÓN	1
1.1 Mecanismos de degradación e Interferencias Electromagnéticas en circuitos integrados.	2
1.1.1 Mecanismos de degradación en CI.	3
1.1.2 Clasificación de las interferencias electromagnéticas	4
1.2 Métodos de caracterización.	7
1.2.1 Métodos de caracterización de los mecanismos de degradación.	8
1.2.2 Métodos de caracterización para EMC.	12
1.3 Estándar para modelizar la EMC	15
1.4 Métodos de validación de los modelos electromagnéticos: FSV.	21

1.5	Estado del arte.	24
1.5.1	Efecto de los mecanismos de degradación en circuitos integrados.	24
1.5.2	Modelizado EMI.	29
CAPÍTULO 2.		35
2	ROBUSTEZ ELECTROMAGNÉTICA	35
2.1	Impacto de los mecanismos de degradación a nivel de dispositivo MOS.	36
2.1.1	Circuito integrado Elmer02.	36
2.1.2	Sistema de caracterización para estudiar el Impacto de los mecanismos de degradación.	39
2.1.3	Resultados experimentales	40
2.1.3.1	Impacto de HCl.	40
2.1.3.2	Impacto del NBTI.	48
2.2	Impacto del NBTI en un inversor CMOS.	51
2.2.1	Montaje experimental.	51
2.2.2	Resultados experimentales.	52
2.2.2.1	Impacto del NBTI sobre el transistor MOSFET.	53
2.2.2.2	Impacto del NBTI sobre el inversor CMOS.	54
2.2.2.3	Impacto del NBTI sobre el comportamiento EMC.	60
2.3	Análisis de las EMI en condiciones de envejecimiento.	63
2.3.1	Circuito integrado Elmer22.	63
2.3.1.1	Sensor de tensión integrado.	65
2.3.1.2	Bloque de entradas y salidas digitales.	68
2.3.1.3	Núcleo digital.	68

2.3.2	Resultados experimentales	70
2.3.2.1	Resultados experimentales del bloque de entradas y salidas digitales.	70
2.3.2.2	Resultados experimentales en los núcleos digitales.	74
2.4	Conclusiones.	80
CAPÍTULO 3.		83
3	PROPUESTA DE MODELADO DE EMI DE ALTA FRECUENCIA EN CIRCUITOS INTEGRADOS.	83
3.1	Extensión en frecuencia de modelos de emisiones conducidas	86
3.1.1	Red de distribución pasiva de la PCB.	86
3.1.2	Red de distribución pasiva del CI.	89
3.1.3	Actividad interna.	90
3.1.4	Resultados experimentales y validación del modelo.	91
3.2	Impacto de la temperatura.	103
3.2.1	Resultados experimentales y validación del modelo.	104
3.3	Conclusiones.	115
CAPÍTULO 4.		117
4	CONCLUSIONES Y FUTURA INVESTIGACIÓN.	117
4.1	Conclusiones	118
4.2	Principales contribuciones derivadas de la tesis.	120
4.3	Líneas de investigación futura.	121
5	REFERENCIAS.	123

Lista de Figuras

Fig. 1. 1. Diafonía debida a una impedancia en modo común.....	5
Fig. 1. 2. Diafonía debido a la presencia de un campo eléctrico entre ambos conductores.	6
Fig. 1. 3. Diafonía debido a la presencia de un campo magnético entre ambos conductores.	6
Fig. 1. 4. Dos inversores compartiendo la línea de alimentación. (a) Esquema de conexionado de los dos inversores (b) Evolución de la tensión de alimentación cuando se produce una conmutación.....	7
Fig. 1. 5. Diagrama de flujo del método de envejecimiento HCI.....	9
Fig. 1. 6. Corriente de sustrato en función de la tensión de puerta para definir la $V_{G STRESS}$ [11].	10
Fig. 1. 7. Diagrama de flujo del método de envejecimiento NBTI.....	11
Fig. 1. 8. Tensiones aplicadas al dispositivo MOS.....	12
Fig. 1. 9. Método de medida $1 \Omega / 150 \Omega$ recogido en la directiva IEC 61967-4.	14
Fig. 1. 10. Método de medida DPI (“ <i>Direct Power Injection</i> ”) recogida en la directiva IEC 62132 – 4.	14
Fig. 1. 11. Algoritmo para realizar el test de susceptibilidad DPI.....	15
Fig. 1. 12. Modelo IBIS de la entrada de un CI.....	16
Fig. 1. 13. Modelo IBIS de la salida de un CI.....	17
Fig. 1. 14. Modelo LECCS.....	18
Fig. 1. 15. Macro modelo del CI.	20
Fig. 1. 16. Componentes que describen el ICEM-CE.	20
Fig. 1. 17. Algoritmo para la extracción del modelo ICEM-CE.....	21
Fig. 1. 18. Método FSV	23
Fig. 1. 19. Variación de la corriente de saturación en función del tiempo de estrés debido al HCI [25].	25

Fig. 1. 20. Curvas características del inversor después de BD. (a) Para estrés positivo en la entrada del inversor (b) Para estrés negativa en la entrada del inversor [30]	26
Fig. 1. 21. Corriente consumida y frecuencia del oscilador en anillo [31].	27
Fig. 1. 22. Evolución de la tensión de máxima ganancia en función de la frecuencia de la señal de estrés [33].	28
Fig. 1. 23. Impacto del NBTI en (a) tensión umbral del transistor, degradación en (b) función de la capacidad de carga, (c) del "Slew Rate" y (d) de la tensión de alimentación de la puerta lógica [34]. 29	29
Fig. 1. 24. Corriente consumida por el microcontrolador ejecutando la suma de dos valores [36].	30
Fig. 1. 25. Modelo ICEM-CE de un microcontrolador PIC [37].	31
Fig. 1. 26. Circuito equivalente del microprocesador genérico [39].	32
Fig. 1. 27. Modelo eléctrico del encapsulado de un CI [40]	33
Fig. 2. 1. Circuito integrado Elmer02 en (a) oblea para medidas con las puntas de prueba y (b) CI encapsulado en el SOIC28.	37
Fig. 2. 2. Transistores MOSFET en el CI Elmer02.	38
Fig. 2. 3. Disposición de los terminales de los transistores MOSFET en el CI Elmer02.	39
Fig. 2. 4. Sistema de caracterización para estudiar el mecanismo de degradación HCl o NBTI.	40
Fig. 2. 5. Curva característica I_D - V_{DS} para varios tiempos de estrés y varias V_{GS}	43
Fig. 2. 6. Curva característica I_D - V_{GS} para varios tiempos de estrés.	43
Fig. 2. 7. Comparación entre las medidas y el modelo Sakurai-Newton para el componente sin estresar.	44
Fig. 2. 8. Comparación entre las medidas y el modelo Sakurai-Newton transcurridos 700 s de estrés.	44
Fig. 2. 9. Variación de la conductancia de drenador (λ) en función del tiempo de estrés.	45
Fig. 2. 10. Variación de la tensión umbral (V_{TH}) en función del tiempo de estrés.	45

Fig. 2. 11. Variación del parámetro n en función del tiempo de estrés.....	46
Fig. 2. 12. Variación del parámetro B en función del tiempo de estrés.	46
Fig. 2. 13. Variación del parámetro m en función del tiempo de estrés.....	47
Fig. 2. 14. Variación del parámetro K en función del tiempo de estrés.	47
Fig. 2. 15. Variación de la tensión umbral debido al NBTI en el transistor “ <i>High Voltage Long</i> ”.....	50
Fig. 2. 16. Variación de la tensión umbral debido al NBTI en el transistor “ <i>High Voltage Short</i> ”.	50
Fig. 2. 17. Variación de la tensión umbral debido al NBTI en el transistor “ <i>Low Voltage Long</i> ”.....	51
Fig. 2. 18. Tensión aplicada a cada terminal durante el estrés en (a) el transistor MOSFET de canal P y (b) en el inversor CMOS.....	52
Fig. 2. 19. Característica I_D - V_{GS} del transistor MOSFET de canal P para diferentes tiempos de estrés.	53
Fig. 2. 20. Variación de la tensión umbral del transistor MOSFET de canal P.....	53
Fig. 2. 21. Curva característica del inversor CMOS medida para diferentes tiempos de estrés.	55
Fig. 2. 22. Variación de la tensión de máxima ganancia en función del tiempo de estrés.	56
Fig. 2. 23. Márgenes de ruido del inversor CMOS en función del tiempo de estrés.	58
Fig. 2. 24. Corriente consumida para diferentes tiempos de estrés.	59
Fig. 2. 25. Variación de la corriente máxima consumida en función del tiempo de estrés.	59
Fig. 2. 26. Tensión de salida del inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.....	60
Fig. 2. 27. Corriente consumida por el inversor CMOS para diferentes tiempos de estrés cuando se inyecta a la entrada una señal cuadrada.	61
Fig. 2. 28. Variación de la corriente consumida máxima en función del tiempo de estrés.....	61
Fig. 2. 29. Curva característica del inversor CMOS con y sin EMI.....	62
Fig. 2. 30. Variación de la tensión de máxima ganancia en función del tiempo de estrés para diferentes EMI.	63

Fig. 2. 31. Circuito integrado Elmer22.....	64
Fig. 2. 32. Placa de circuito impreso para el CI Elmer22.....	64
Fig. 2. 33. Principio para la reconstrucción de la señal muestreada [49].....	67
Fig. 2. 34. Arquitectura del sensor en el CI [49].....	68
Fig. 2. 35. Esquema del núcleo digital.....	69
Fig. 2. 36. Evolución de la corriente de saturación del (a) transistor MOSFET de canal N y (b) del transistor MOSFET de canal P.....	71
Fig. 2. 37. Evolución del (a) tiempo de subida y del (b) tiempo de bajada del bloque digital de entradas y salidas en función del tiempo de estrés.	72
Fig. 2. 38. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 240 minutos con una tensión de estrés de 6,5 V.	73
Fig. 2. 39. Cambio en las interferencias electromagnéticas conducidas del bloque de entradas y salidas digitales después de 120 minutos con una tensión de estrés de 7,0 V.	73
Fig. 2. 40. Cambio en el tiempo de propagación del núcleo digital 1 para diferentes condiciones de estrés.	75
Fig. 2. 41. Cambio en la tensión de alimentación en el núcleo digital 1 después de 240 minutos a una tensión de estrés de 3,0 V.....	76
Fig. 2. 42. Cambio en la tensión de alimentación en el núcleo digital 1 después de 120 minutos a una tensión de estrés de 3,6 V.....	77
Fig. 2. 43. Evolución de las EMI conducidas del primer núcleo digital antes y después del estrés eléctrico de 3 V y 4 V	78
Fig. 2. 44. Rizado de la tensión de alimentación después de dos tipos de estrés eléctrico.....	79
Fig. 2. 45. Variación de las EMI conducidas de los cuatro núcleos digitales después de un estrés eléctrico de 3,6 V y de duración 120 minutos.	80
Fig. 3. 1. Bloques principales del modelo propuesto de emisiones conducidas.....	86

Fig. 3. 2. Configuración del analizador de redes para la medición de impedancias.(a) Medidas a un puerto y medidas a dos puertos en (b) conexión “ <i>Shunt</i> ” o (c) en conexión serie. [56]	88
Fig. 3. 3. Método de medida de la PDN IC.	89
Fig. 3. 4. Configuración para medir la IA.....	90
Fig. 3. 5. Placa de circuito impreso del DS1088.	92
Fig. 3. 6. Diagrama de bloques de la PCB con el DS1088.	93
Fig. 3. 7. Red de distribución pasiva (PDN) de las pistas “ <i>Microstrip</i> ” de los terminales de alimentación V_{CC1} y V_{CC2}	93
Fig. 3. 8. Red de distribución pasiva (PDN) de las pistas “ <i>Microstrip</i> ” de los terminales de alimentación V_{SS1} y V_{SS2}	94
Fig. 3. 9. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{CC}	94
Fig. 3. 10. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{SS}	95
Fig. 3. 11. Modelo ICEM-CE del CI DS1088.....	96
Fig. 3. 12. Red de distribución pasiva de la PCB y del CI.	97
Fig. 3. 13. Impedancia de entrada del terminal de alimentación V_{CC1}	98
Fig. 3. 14. Impedancia de entrada del terminal de alimentación V_{SS1}	98
Fig. 3. 15. Histograma GDM obtenido del análisis FSV de los datos de la Fig. 3. 13. y Fig. 3. 14.	100
Fig. 3. 16. Medidas de la corriente externa y modelo de la corriente externa: (a) Impedancia de la red de sensado de 1Ω y (b) impedancia de la red de sensado de 10Ω	102
Fig. 3. 17. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa, el modelo de la corriente externa y el modelo ICEM-CE de la corriente externa.....	103
Fig. 3. 18. Montaje experimental para caracterizar y modelizar el impacto de la temperatura en las emisiones conducidas	104
Fig. 3. 19. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{CC1}	105
Fig. 3. 20. Impedancia de entrada de la pista “ <i>Microstrip</i> ” V_{SS1}	105

Fig. 3. 21. Impedancia de entrada de la PCB y CI a través del terminal de alimentación V_{CC1}	106
Fig. 3. 22. Impedancia de entrada del CI a través del terminal de alimentación V_{SS1}	107
Fig. 3. 23. Resultado experimental de la corriente I_{EXT} para (a) Temperatura ambiente (293 K) y (b) 358 K.....	108
Fig. 3. 24. Modelo eléctrico completo de la PCB y del CI.	110
Fig. 3. 25. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{CC1}	112
Fig. 3. 26. Impedancia promedio de entrada de la PCB y CI a través del terminal de alimentación V_{SS1}	112
Fig. 3. 27. Simulación de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.....	113
Fig. 3. 28. Resultados experimentales de la corriente externa I_{EXT} para (a) 345 K y (b) 355 K.....	114
Fig. 3. 29. Histograma GDM obtenido del análisis FSV de la medida de la corriente externa y el modelo de la corriente externa para 345 K y 355 K.	115

Lista de Tablas

Tabla 1. 1. Estándar de interés para la medida de EMC (Emisiones y susceptibilidad).	13
Tabla 1. 2. Directiva IEC 62014.	17
Tabla 1. 3. Directiva IEC 62433.	19
Tabla 2. 1. Bloques principales del CI Elmer02	38
Tabla 2. 2. Tipo de transistores MOSFET de canal N medidos y tensiones de estrés aplicadas.	42
Tabla 2. 3. Tipo de transistores MOSFET de canal P medidos y tensiones de estrés aplicadas.	49
Tabla 2. 4. Bloques principales del CI Elmer22	65
Tabla 2. 5. Condensadores de desacoplo para cada núcleo.....	70
Tabla 2. 6. Medidas experimentales de los condensadores de desacoplo y del rizado de la tensión de alimentación en los núcleos digitales.....	74
Tabla 3. 1. Capacitancias e inductancias de los elementos de la PDN de la PCB.	95
Tabla 3. 2. Valores de los componentes de la PDN del CI.....	99
Tabla 3. 3. Valores de los componentes de la PDN de la PCB y de la PDN del CI.....	111

Lista de Abreviaturas y Acrónimos

ADM: Amplitude Difference Measure

ASCII: American Standard Code for Information Interchange

ASIC: Application-Specific Integrated Circuit

CI: Circuito Integrado

CMOS: Complementary Metal Oxide Semiconductor

DPI: Direct Power Injection

DUT: Device Under Test

EDA: Electronic Design Automation

ESD: Electrostatic Discharge

EMC: Electromagnetic Compatibility

EMI: Electromagnetic Interference

FDM: Feature Difference Measure

FPGA: Field Programmable Gate Array

FSV: Feature Selective Validation

GDM: Global Difference Measure

HCI: Hot Carrier Injection

IA: Internal Activity

IBC: Inter-Block Component

IBIS: Input / Output Buffer Information Specification

IC: Integrated Circuit

ICEM: Integrated Circuit Electromagnetic Model

ICIM: Integrated Circuit Immunity Model

IEC: International Electrotechnical Commission

IEEE: Institute of Electrical and Electronics Engineers

LECCS: Linear Equivalent Circuit and Current Source

LQFP: Low-profile Quad Flat Package

LSI: Low Scale Integration

MOS: Metal Oxide Semiconductor

MOSFET: Metal Oxide Semiconductor Field Effect Transistor

NBTI: Negative-Bias Temperature Instability

PCB: Printed Circuit Board

PDN: Passive Distribution Network

RF: Radio Frecuencia

SRAM: Static Random Access Memory

SOIC: Small Outline Integrated Circuit

TDDDB: Time-dependent dielectric breakdown

VNA: Vector Network Analyzer.