


1110032175
T 98/139

 **UPC**
UNIVERSITAT
POLITÈCNICA
DE CATALUNYA



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

**ANÀLISI DE L'ENERGIA DE TRANSICIÓ
MÀXIMA EN CIRCUITS
COMBINACIONALS CMOS**

Memòria per a obtenir el títol de
Doctor Enginyer Industrial de:

Salvador Manich Bou

Director:

Joan Figueras Pàmies

Novembre 1998

**Als meus pares...
que han estat guia i consell.
A l'Anna, al Carles,
i a la Roser...
que són alegria, paciència i
inestimable suport.**

Agraïments

Voldria expressar el meu agraïment a totes les persones que, d'una manera o d'altra, han col·laborat en la realització d'aquesta tesi, i especialment

A en Joan Figueras pel temps dedicat a la direcció de la tesi aportant els seus coneixements i valuosa experiència.

A l'Albert Manich per la seva opinió qualificada i assessorament en alguns temes especialitzats.

Als meus companys del D.E.E. per la seva col·laboració, especialment a en Josep Rius i en Toni Ferré per les valuoses discussions tècniques que hem fet.

A l'Àgueda Vallès per la seva ajuda desinteressada en la revisió del document.

De manera especial, vull agrair a l'Anna la seva infinita paciència amb mi i el seu suport sense reserves durant el temps dedicat a l'elaboració d'aquesta tesi.

Voldria, finalment, recordar que aquest treball ha estat possible, en part, gràcies al suport econòmic de la Comisión Interministerial para la Ciencia y Tecnología (CICYT), projectes No. TIC 98/0478 i No. TIC 94/0561, al CIRIT No. 1995SGR 00192 i als projectes europeus ARCHIMEDES (Programa ESPRIT III BRA, No. 7170) i POSEIDON (Programa ESPRIT IV WG, No. 21898).

Índex

1	Introducció	1
1.1	Preàmbul	1
1.2	Energia de transició	3
1.3	Motivació	4
1.3.1	Falles realistes	5
1.3.2	Falles funcionals	6
1.3.3	Degradació de les prestacions	6
1.4	Nivells d'abstracció d'un disseny	7
1.5	Objectius	8
1.6	Contingut de la tesi	8
2	Activitat ponderada capacitiva i de curt-circuit	11
2.1	Introducció	12
2.2	Models de l'energia de curt-circuit	13
2.3	Conceptes bàsics	16
2.4	Mètrica proposada per l'estimació a nivell lògic	18
2.5	Model per al paràmetre d	23
2.6	Validació de la mètrica	26
2.7	Cotes a la contribució de l'energia de curt-circuit	34
2.8	Cotes a l'energia de transició	36
2.9	Conclusions	38
3	Cota superior propera de l'energia de transició màxima	41
3.1	Introducció	42
3.2	Cota superior estructural. L'eina COSUS	44
3.2.1	Estat de l'art	45
3.2.2	L'eina COSUS	53
3.3	Resultats de l'eina COSUS	55

3.4	Bloqueig lògic	58
3.4.1	Plantejament del problema	61
3.4.2	Enumeració exhaustiva	61
3.4.3	Programació dinàmica (PD)	64
3.4.4	Aplicació de la (PD) al bloqueig lògic	67
3.4.5	Optimització amb restriccions a les entrades primàries del circuit	81
3.4.6	Millora del bloqueig lògic	84
3.5	Cota superior estructural i funcional, COFUS	86
3.6	Resultats de l'eina COFUS	88
3.7	Conclusions	92
4	Cota inferior propera de l'energia de transició màxima	95
4.1	Introducció	96
4.2	Models	98
4.3	Propagació de transicions habilitables	98
4.4	Transformació temps-espai	100
4.5	Determinació de la cota inferior propera	103
4.6	Heuristic per al càlcul de la cota inferior propera	105
4.7	Resultats de la cota inferior propera de l'activitat ponderada màxima	109
4.8	Comparació amb el mètode de Wang	116
4.9	Conclusions	118
5	Influència del model de retard en l'estimació de l'energia de transició	121
5.1	Introducció	122
5.2	Efectes de les variacions petites del retard en l'activitat pon- derada	124
5.2.1	Finestra de filtratge uniforme i variació petita del re- tard. Diagrama X	129
5.2.2	Finestra de filtratge inercial	136
5.3	Efectes de les variacions grans del retard en l'activitat pon- derada	140
5.3.1	Validació de les tendències de la AP	142
5.4	Validació experimental dels models de retard lògics	147
5.4.1	Disseny del circuit experimental	147
5.4.2	Mesura de l'energia de transició	148
5.4.3	Resultats experimentals	155

5.5	Conclusions	160
6	Conclusions i treball futur	165
6.1	Conclusions	165
6.1.1	Activitat ponderada capacitiva i de curt-circuit	165
6.1.2	Cota superior propera de l'energia de transició màxima	169
6.1.3	Cota inferior propera de l'energia de transició màxima	170
6.1.4	Influència del model de retard en l'estimació de l'energia de transició	172
6.2	Treball futur	174
6.3	Darreres consideracions	176
A	Circuits de prova	179
A.1	Circuits ISCAS-85	179
B	Eina COSUS	181
B.1	Propagació de transicions habilitables	181
B.2	Filtratge de transicions	189
B.3	Resultats	196
C	Transformació temps-espai	199
D	Criteri estadístic d'ordenació d'una llista de nodes segons la capacitat de consumir que tenen	203
D.1	Introducció	203
D.2	Ordenació correcte de la llista de nodes z , Z^0	204

Llista de figures

2.1	Evolució que presenta l'aproximació proposada per Tjörnström, per tal de predir l'energia de curt-circuit quan la capacitat de càrrega és diferent de zero. L'eix d'ordenades és l'energia de curt-circuit, quan la capacitat de sortida de la porta és nul·la i el temps de transició a l'entrada de la porta és t_{rI} . L'eix d'abscises és el temps de transició de la sortida t_{rO} . Quan la càrrega a la sortida de la porta augmenta, també ho fa el temps de transició t_{rO}	20
2.2	El model per estimar el paràmetre d s'obté calculant l'energia de curt-circuit, suposant que l'inversor està excitat per dues fonts de tensió controlades, una a l'entrada i l'altra a la sortida de la porta. Les dues fonts de tensió imposen dues rampes amb temps de transició coneguts.	24
2.3	Aproximació lineal de la tensió de sortida de la porta, utilitzada per estimar el paràmetre d . El pendent de sortida de la porta, $k \cdot \tau_I$ es fa tendir a infinit amb l'objectiu de minimitzar l'error d'aproximació.	25
2.4	Circuit elèctric utilitzat en el simulador HSPICE, per estimar l'energia de transició d'una porta GUM. Es proven diferents combinacions de pesos a les entrades i sortides. El pes de les entrades de la porta, F^I , es controla connectant diverses portes del mateix tipus que la GUM en paral·lel. El pes de la sortida, F^O , s'augmenta afegint inversors en paral·lel a la sortida.	27
2.5	Representació gràfica dels valors presentats a la taula anterior. L'eix abscisses correspon a les columnes " F^I " i " F^O ". L'eix d'ordenades a l'energia d'un període sencer. A la gràfica es representen les columnes "capacitiu" amb triangles, "període" amb cercles i "HSPICE" amb traç continu.	31
2.6	Cota superior i inferior de la contribució percentual que tenen les portes del circuit C1908, ordenades per ordre creixent de la cota inferior $CI[cps]$	36
2.7	Energia de transició global del circuit C1908. En el gràfic es presenten l'energia capacitiva, AP , i les cotes inferior, $CI[APSC]$, i superior, $CS[APSC]$, de l'energia de transició incloent l'energia de curt-circuit.	37

3.1	Representació en blocs del mètode d'obtenció de les cotes superior i inferior de l'activitat ponderada màxima. Els blocs grisos corresponen a la cota superior tractada en aquest capítol.	43
3.2	Formes d'ona incertes en un node g_i d'un circuit. Aquestes formes d'ona defineixen els estats múltiples en què es pot trobar la lògica del node. . .	47
3.3	La numeració parcial dels nodes interns d'un circuit permet incloure els efectes de la correlació espacial.	48
3.4	Mecanisme de transmissió de les transicions a través d'una porta AND. .	52
3.5	Cronograma típic de transicions habilitables d'un node g , obtingut després d'executar l'eina COSUS.	54
3.6	Estimació de la cota superior de l'activitat ponderada màxima, $CS[AP_{max}^*]$, de cada node del circuit C1908. Les quatre gràfiques de la figura corresponen a cada un dels models de retard indicats.	58
3.7	Estimació de la cota superior de l'activitat ponderada màxima, $CS[AP_{max}^*]$, de cada node del circuit C6288. Les quatre gràfiques de la figura corresponen a cada un dels models de retard indicats.	59
3.8	Exemple. (A) Cronograma de transicions habilitables d'una porta AND de dues entrades. (B) Cronograma de transicions reals que fa commutar la porta el màxim nombre de vegades, d'acord amb les restriccions imposades per (A).	60
3.9	Part superior, graf d'una porta AND de dues entrades. Part inferior, expansió temporal del graf de la AND d'acord amb el cronograma de transicions habilitables de la figura 3.8. Les fletxes en negreta indiquen que la transició d'estats provoquen una commutació a la porta.	62
3.10	L'optimització d'un graf amb la programació dinàmica requereix la divisió del graf en etapes. Durant el procés es calculen els pesos totals optimitzats en cada estat anant del final cap al principi del graf. En l'exemple d'aquesta figura s'indica el camí òptim dibuixant els nodes del graf en fons gris.	66
3.11	Graf reduït d'una porta AND de dues entrades. El nombre d'estats és de 3. El nombre de branques és de 7 ja que s'utilitza una commutació simplificada de les entrades.	69
3.12	La utilització de la commutació simplificada i del graf reduït de la porta permet assolir el nombre màxim de commutacions de manera més eficient.	70
3.13	Diagrama d'optimització per programació dinàmica del nombre màxim de canvis d'una porta.	72
3.14	Dues solucions del diagrama d'optimització de la figura 3.13.	74
3.15	Cronograma de transicions habilitables amb regions d'incertesa.	75

3.16	Diagrama d'optimització per a una porta AND de dos senyals d'entrada amb un cronograma de transicions que conté regions d'incertesa.	77
3.17	Dues solucions del diagrama d'optimització de la figura 3.15.	78
3.18	Cronograma de transicions habilitables genèric amb zones de regions d'incertesa coherents. Aquestes zones estan identificades amb el símbol, $\mathcal{E}_{j,i}$	78
3.19	Optimització per programació dinàmica d'un graf temporal reduït que té restriccions als estats inicial i final.	79
3.20	Resultats de l'optimització de cada zona de regions d'incertesa coherents de l'exemple de la figura 3.19.	80
3.21	En la part superior, graf temporal reduït de l'exemple proposat a la figura 3.10. La solució es presenta amb les caselles de l'estat ombrejades. En la part inferior es dona la solució en forma de cronograma.	81
3.22	Cronograma d'una porta AND de tres entrades amb un senyal d'entrada definit.	82
3.23	Diagrama d'optimització d'un cronograma de transicions habilitables on un dels senyals d'entrada té el valor lògic definit.	83
3.24	Comparació de la cota superior (línia contínua) i de la cota inferior aleatòria (àsper) node a node en els circuits C1908 i C6288.	91
4.1	El càlcul de la cota inferior propera de l'energia de transició màxima es fa en les tres fases indicades en el diagrama de la figura. El procés permet realitzar el càlcul de la cota i obtenir la parella de vectors que força l'energia de transició màxima.	97
4.2	Transformació temps-espai d'un circuit senzill G . El circuit transformat, H , té tants nodes com valors poden adoptar els nodes del circuit original, G , al llarg del temps. Les sortides de H són detectors de commutació.	102
4.3	Mida dels circuit G i del circuit H després de la transformació temps-espai. Les transformacions s'han fet suposant tres models de retard: unitari "U", variable "V" i variable amb finestra de filtratge inercial "VFI".	103
4.4	Esquema d'obtenció de la cota inferior propera de l'activitat ponderada màxima per a circuits petits.	104
4.5	Esquema proposat per al càlcul de la cota inferior propera de l'activitat ponderada màxima en circuits grans.	106
4.6	Condicions de partida en el mètode de maximització, part superior. Estratègia de construcció del conjunt de nodes Z_{max} , part inferior.	107
4.7	Evolució temporal de la cota inferior propera i aleatòria. El circuit simulat és el C1355 i el model de retard el variable amb finestra de filtratge inercial.	114

4.8	Evolució temporal de les dues cotes inferiors, la propera i la aleatòria en el circuit MBmult. El model de retard és el variable amb finestra de filtratge inercial.	115
4.9	Histograma de les activitats ponderades generades internament per cada mètode: el COIN "propera" i el SAIL "aleatòria". El circuit simulat és el C432 i el model de retard el variable amb finestra de filtratge inercial.	116
5.1	Exemple que il·lustra el Fet 1. A les portes del circuit de la figura, que contenen un retard unitari, s'introdueix una variació petita del retard, $\Delta_P = 0.08$. Els dos cronogrames inferiors mostren les commutacions dels nodes abans i després de la variació, quan l'entrada s'excita amb la parella de vectors (11) \rightarrow (01).	128
5.2	Model de la finestra de filtratge. Tota transició que surti de la porta amb una diferència de temps menor a ω queda eliminada.	129
5.3	Diagrama X. Indica el comportament de l'activitat ponderada per a diferents valors $\{\Delta_P, \omega_U\}$	130
5.4	Relació entre la zona de fluctuació màxima, Q_F , i la finestra de filtratge uniforme, ω_U , en la frontera $\{Q_F = \frac{\omega_U}{2}, \omega_U < \frac{T_N}{2}\}$ del diagrama X.	131
5.5	Relació entre la zona de fluctuació i la finestra de filtratge en la regió II.	132
5.6	Relació entre la zona de fluctuació i la finestra de filtratge en la regió III.	133
5.7	Relació entre la zona de fluctuació i la finestra de filtratge en la regió IV.	134
5.8	Representació gràfica dels nivells d'activitat ponderada obtinguts pel circuit C6288 després de fer variacions petites del retard per a diferents amplades de la finestra de filtratge uniforme.	136
5.9	Les zones sombreades indiquen les regions del diagrama X que ocupen els circuits amb finestra de filtratge inercial. Es mostren els cassos pels circuits amb $L_C = 1, 3, 6$	137
5.10	Activitat ponderada del circuit quan la variació petita del retard crea una zona de fluctuació de $Q_F = 200$ i la finestra de filtratge uniforme, ω_U , es modifica dins de l'interval $[0, 400]$, $T_N = 400$. El valor d'aquesta activitat a ω_U s'obté per aproximació d'una finestra de filtratge inercial.	139
5.11	Tendències que presenta l'evolució de l'activitat ponderada del circuit quan les variacions del retard són grans.	140
5.12	En el diagrama X s'indiquen qualitativament les zones que ocupen els circuits de prova segons el model de retard que utilitzin: model de retard unitari (RU), model de retard variable (RV) i model de retard variable amb filtratge inercial (RVFI).	142

5.13	Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.	143
5.14	Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.	144
5.15	Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.	145
5.16	Esquema de blocs del multiplicador 8x8 utilitzat en les mesures experimentals de l'energia de transició.	148
5.17	<i>LayoutLayout</i> emprat en el disseny a la mida de les cel·les migsumadores i sumadores senceres del multiplicador.	149
5.18	Esquema dels terminals externs del multiplicador. Els terminals de terra del nucli i de la perifèria estan separats.	150
5.19	Fotografia del multiplicador muntat sobre el circuit imprès del banc de mesura.	151
5.20	Esquema de blocs del banc de mesura.	152
5.21	Sistema de mesura utilitzat en aquesta part experimental. A l'esquerra es veu la màquina de test HP82000 i a la dreta l'oscil·loscopi Tektronix TDS 744A, que capta el corrent de consum del xip.	154
5.22	Detall de la resistència de sensat utilitzada per la mesura del corrent dinàmic del xip. La resistència està directament soldada als terminals del xip, per la part posterior de la placa de circuit imprès.	155
5.23	Connexió de la sonda activa amb els dos terminals que accedeixen a la resistència de sensat.	156
5.24	Captura d'una pantalla de l'oscil·loscopi. El canal (2), veure el número situat a l'esquerra de la pantalla, és la senyal de sincronisme de cicle, el (3) és el sincronisme de vector i l'(1) la tensió de sensat v_S . Cada vegada que (3) fa una transició de baixada es modifica el vector d'entrada del multiplicador i en conseqüència la tensió de sensat v_S fa un pic degut al corrent consumit pel circuit.	157
5.25	En el canal (1) de l'oscil·loscopi s'ha capturat la forma d'ona de la tensió v_S durant un transitori. La tensió màxima és de $159mV$ que correspon a un corrent de pic de $10.6mA$. L'àrea total és de $3.4985nVs$ que equival a una energia de transició de $1.1756nJ$	158

- 5.26 Histograma de les energies de transició mesurades després d'exercitar el circuit amb un conjunt de 990 parelles de vectors. 159
- 5.27 Comparació de les mesures d'energia de transició fetes en el multiplicador amb la mètrica calculada a partir de la descripció lògica del circuit. S'han emprant els quatre models de retard indicats a cada gràfica. La recta representa el resultat de la regressió lineal amb una constant inicial nul·la. A dalt a l'esquerra es donen els coeficients de correlació i de determinació per un nivell de confiança del 95%. Amb dues fletxes s'indiquen dos punts rodons. El punt negre és l'energia de transició màxima mesurada, que és igual en els quatre cassos. Amb el punt rodó blanc s'indica l'energia de transició màxima trobada mitjançant la simulació lògica. El percentatge que acompanya el punt rodó blanc indica la distància a que es troba de l'energia de transició màxima mesurada. 163
- B.1 Propagació de les transicions habilitables en un circuit lògic. 182
- B.2 Exemple que il·lustra la modificació de l'instant de temps d'una transició habilitable a la sortida d'una porta degut a les variacions que experimenta el retard. 183
- B.3 Regles 2 i 3 de propagació de les regions d'incertesa. 184
- B.4 Les regions d'incertesa que després de propagar-les a través d'una porta presentin un nombre de transicions habilitables igual o superior al de instants de temps, es redueixen a transicions habilitables simples. . . . 186
- B.5 Propagació d'una regió d'incertesa a través d'una porta amb retard múltiple. 187
- B.6 Model de porta lògica que permet propagar transicions habilitables i regions d'incertesa amb un model de retard múltiple. 188
- B.7 Exemple de propagació de transicions habilitables en una porta de dues entrades amb dos valors de retard. 189
- B.8 Cadena de quatre inversors dissenyats amb una tecnologia de $0.7\mu m$. L'entrada del primer inversor s'excita amb dues rampes separades un temps $t_{r,f}$. Quan el temps és massa petit, els següents inversors no comuten. 190
- B.9 Resposta de la cadena d'inversors a l'estimul amb dues rampes a l'entrada del primer inversor. A la gràfica (A) la separació entre les rampes és de 350 p sg. mentre que a la gràfica (B) és de 150 p sg. En el cas (B) les dues rampes són absorvides per la finestra filtratge de les portes. 191
- B.10 Energia consumida per una cadena de quatre inversors quan són excitats per dos flancs. El temps de separació entre els flancs es va modificant. A mesura que la separació es fa petita l'energia consumida decreix ràpidament. 192

B.11	Model de finestra de filtratge d'una porta lògica utilitzat per propagar les transicions habilitables. La finestra de filtratge s'aplica després calcular les transicions habilitables de sortida.	192
B.12	Exemple il·lustratiu del filtratge de dues transicions habilitables. A la sortida apareix una regió d'incertesa.	193
B.13	Exemple de la disposició que haurien de tenir les transicions habilitables contingudes en una regió d'incertesa per a no ser absorvides per un filtre de transicions	195
B.14	Exemple de filtratge d'un conjunt de transicions habilitables i regions d'incertesa amb una finestra de filtratge d'amplada 4.	197
C.1	Circuit C17 amb model de retard variable. Després de fer una propagació de les transicions habilitables es determinen els instants de temps on poden haver-hi valors lògics diferents, en cada node. Aquests instants de temps estan indicats entre parèntesis.	200
C.2	Resultats de la transformació temps-espai del circuit <i>G</i> de la figura anterior.	202
D.1	Construcció de l'interval de confiança de $(1 - \alpha) \times 100\%$ per a δ_i	206
D.2	Distribució de Poisson per a un nombre d'esdeveniments esperats $\lambda = 1, 2, 5, 10$	207
D.3	Número de vectors a simular, N_P , per aconseguir tenir ben ordenades un nombre de parelles de nodes M_P . El circuit simulat és el C432.	208
D.4	Ordenació dels nodes del circuit C432 per a $M_P = 1$ i $M_P = 6$	209
D.5	Intervals de variabilitat de les diferències, δ_i , d'activitats ponderades entre les parelles de nodes de la llista ordenada. L'interval de variabilitat es dona pel cas $M_P = 1$ i pel cas $M_P = 6$	210

Llista de taules

1.1	Prediccions de la SIA fins a l'any 2012.	2
2.1	Paràmetres utilitzats en la mètrica d'estimació de l'energia de transició, extrets de la tecnologia de $0.7\mu m$, ECPD07 de ES2, emprada en les simulacions.	28
2.2	Validació de la mètrica proposada emprant el simulador HSPICE en una porta inversora. La columna " F^I " és el pes de les entrades. La columna " F^O " és el pes del node de sortida. L'energia estimada amb HSPICE es troba a la columna "HSPICE". L'energia estimada amb un model purament capacitiu està indicada a la columna "capacitiu". L'energia estimada amb la mètrica proposada es troba a la columna "període". L'error entre "HSPICE" i "període" està a la columna "error". L'error màxim és del 1.92% i confirma el bon comportament de la mètrica en la porta inversora.	29
2.3	Taula resum dels assaigs fets amb les portes de dues o més entrades. A la columna "Porta" s'indica el tipus de porta i el seu nombre d'entrades. A la columna "Entrades que commuten" es mostren el nombre d'entrades que es fan commutar. A les columnes següents es poden trobar els valors de les resistències <i>pentode</i> dels inversors que exciten les portes " r_N^I ", " r_P^I " i, de la porta on s'estima l'energia, " r_N^O ", " r_P^O ". Més a la dreta es pot veure el valor de c_0 i c_{int} de les portes a les columnes " c_0 " i " c_{int} ", estimats a partir de les simulacions amb HSPICE. El paràmetre d del model s'ha calculat amb el model proposat anteriorment i es llista a la columna " d ". Finalment, les columnes " A_1 ", " A_2 ", " A_3 " i " A_4 " es donen els valors que permeten fer l'estimació de l'energia segons el model proposat, a partir de l'equació (2.9).	32
2.4	Resultats de la validació de la mètrica, amb les simulacions HSPICE, per a diferents tipus de portes de dues o més entrades. La descripció de cada cas es troba a la taula 2.3.	33

3.1	Resultats de l'estimació de la cota superior de l'activitat ponderada màxima, feta per l'eina COSUS. Les simulacions es fan amb quatre models de retard: el model de retard zero (Z), el de retard unitari (U), el de retard variable (V) i el de retard variable amb finestra de filtratge inercial (VFI).	55
3.2	Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard unitari.	84
3.3	Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard variable.	85
3.4	Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard variable amb finestra de filtratge inercial.	86
3.5	Comparació de la cota superior CS , millorada amb el bloqueig lògic, amb una cota inferior aleatòria $CIAL$. Aquesta cota inferior aleatòria s'obté mitjançant la simulació de 10000 parelles de vectors generats aleatòriament. Els resultats es presenten pels tres models de retard: unitari "U", variable "V" i variable amb filtratge inercial "VFI".	88
3.6	Comparació dels temps d'execució de l'algorisme COFUS, que calcula la cota superior, i de la cota inferior aleatòria.	90
4.1	En el càlcul de la cota inferior propera de l'activitat ponderada màxima, el filtratge de les transicions habilitables es tracta com si aquestes fossin reals. Amb aquesta aproximació hi ha una disminució del nombre de transicions habilitables i de instants de temps obtinguts.	100
4.2	Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el zero.	110
4.3	Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és l'unitari.	111
4.4	Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el variable.	112
4.5	Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el variable amb finestra de filtratge inercial. Les unitat són les d'activitat ponderada.	113

4.6	Comparació dels resultats de la cota inferior propera amb els obtinguts per Wang. El model de retard és el zero.	117
5.1	Valors d'activitat ponderada obtinguts de fer variacions del retard petites combinat amb diferents finestres de filtratge uniformes en el circuit C6288.	135
A.1	Característiques principals dels circuits ISCAS-85 utilitzats a la tesi. . .	180

Llista de símbols

Símbols:

a_i	<i>Constant.</i>
A_i	<i>Paràmetre genèric utilitzat en la validació del model de APSC.</i>
AP	<i>Activitat ponderada capacitiva.</i>
$APSC$	<i>Activitat ponderada capacitiva i de curt – circuit.</i>
AP_{ref}	<i>Activitat ponderada de referència.</i>
AP_{maxDIC}	<i>Activitat ponderada màxima obtinguda amb una búsqueda dicotòmica.</i>
AP_{maxALE}	<i>Activitat ponderada màxima obtinguda amb un generador aleatori.</i>
AP_N	<i>Activitat ponderada nominal.</i>
$AP(\Delta_P)$	<i>Activitat ponderada amb variacions petites del retard.</i>
AP_Z	<i>Activitat ponderada amb model de retard zero.</i>
AP'	<i>Activitat ponderada acotada entre els valors $AP_N \geq AP' \geq AP_Z$.</i>
AP	<i>Variable aleatòria de l'activitat ponderada.</i>
AP_{max}^*	<i>Activitat ponderada màxima.</i>
b_{ij}	<i>Pes de branca d'un graf acíclic.</i>
B	<i>Conjunt de branques d'un graf acíclic.</i>
B_S	<i>Conjunt de branques d'un graf acíclic on es fa commutació simplificada.</i>
c_0	<i>Capacitat paràsita mínima d'un circuit.</i>
c_{int}	<i>Capacitat paràsita interna d'una porta.</i>
cps	<i>Contribució percentual de l'energia de curt – circuit en l'energia de transició d'una porta.</i>
C	<i>Capacitat.</i>

C_L, C_L^O	Capacitat de càrrega d'una porta.
C_L^I	Capacitat de càrrega d'una porta prèvia.
$CI[APSC]$	Cota inferior de la APSC.
$CI[cps]$	Cota inferior de la cps.
$CS[APSC]$	Cota superior de la APSC.
$CS[cps]$	Cota superior de la cps.
$CS[i_{DDmax}]$	Cota superior del corrent d'alimentació màxim.
d	Paràmetre de l'aproximació de Tjörnström.
D_i	Probabilitat de commutació de la capacitat paràsita d'un transistor.
E	Energia de transició capacitiva i de curt – circuit.
E_C	Energia de transició capacitiva.
E_M	Energia de transició mesurada.
$E_{periode}$	Energia de transició d'un període senser.
E_S	Energia de curt – circuit.
$\mathcal{E}_{i,j}$	Zona de regions d'incertesa coherents.
F, F^O	Pes del node de sortida d'una porta.
g, g_i	Node intern d'un circuit G.
G	Circuit combinacional genèric.
$h_{i,j}$	Node intern d'un circuit H.
H	Circuit combinacional G al que s'ha aplicat una transformació temps – espai.
H_0	Hipòtesis nul·la.
i_{DD}	Corrent d'alimentació.
i_{DDmax}	Corrent d'alimentació màxim.
i_{SS}	Corrent de terra.
I_{D0}	Corrent de saturació d'un transistor NMOS o PMOS equilibrats.
I_{DON}, I_{DON}^O	Corrent de saturació d'un transistor NMOS.
I_{DOP}, I_{DOP}^O	Corrent de saturació d'un transistor PMOS.
I_{DON}^I	Corrent de saturació del transistor NMOS d'una porta prèvia.
I_{DOP}^I	Corrent de saturació del transistor PMOS d'una porta prèvia.
I_I	Corrent que circula per la capacitat d'acoblament d'una porta.
I_N	Corrent que circula per la xarxa N d'una porta.
I_P	Corrent que circula per la xarxa P d'una porta.

k	<i>Coefficient.</i>
L	<i>Inductància.</i>
L_C	<i>Longitud del camí crític.</i>
M	<i>Vector de transicions disponibles.</i>
M_P	<i>Nombre de parelles de nodes correctament ordenades.</i>
M_R	<i>Constant que acota superiorment el nombre d'instants de temps i de transicions habilitables d'una regió d'incertesa.</i>
n_i	<i>Número de commutacions que fa un node intern g_i.</i>
N_E	<i>Nombre d'entrades d'una porta o d'un circuit.</i>
N_P	<i>Nombre de mostres d'una població estadística.</i>
p	t_1/t_{TH}
P	<i>Nombre de portes d'un circuit.</i>
Q	<i>Graf acíclic.</i>
Q_F	<i>Extensió màxima de la zona de fluctuació.</i>
Q_R	<i>Graf acíclic reduït.</i>
Q_{sf}	<i>Càrrega de curt – circuit en una transició de baixada.</i>
Q_{sr}	<i>Càrrega de curt – circuit en una transició de pujada.</i>
r_N, r_N^O	<i>Resistència pentode d'una xarxa formada per transistors NMOS equilibrats.</i>
r_P, r_P^O	<i>Resistència pentode d'una xarxa formada per transistors PMOS equilibrats.</i>
r_N^I	<i>És la r_N d'una porta prèvia.</i>
r_P^I	<i>És la r_P d'una porta prèvia.</i>
R	<i>Resistència.</i>
R_S	<i>Resistència de sensat.</i>
R^2	<i>Coefficient de determinació.</i>
s	<i>Desviació estàndard de la mostra.</i>
s_i	<i>Nombre de transicions que fa una porta i.</i>
s_i, s_j	<i>Estats d'una graf acíclic.</i>
s_i^*	<i>Estat que pertany al camí òptim d'un graf acíclic.</i>
$s_i \rightarrow s_j$	<i>Branca que connecta dos estats d'un graf acíclic.</i>
SS_1	<i>Suma de quadrats de l'energia de transició estimada per la regressió.</i>
SS_{m-1}	<i>Suma de quadrats de l'energia de transició mesurada.</i>
S	<i>Conjunt d'estats d'un graf acíclic.</i>
S_R	<i>Conjunt d'estats d'un graf acíclic reduït.</i>
S_t	<i>Subconjunt d'estats que formen l'etapa d'un graf acíclic.</i>

t_0	<i>Instant de temps en el que el vector V_p es substitueix per V_a.</i>
t_1	<i>Temps en el que la sortida d'una porta comença a canviar.</i>
t_i	<i>Instants de temps en els que commuten els nodes interns d'un circuit.</i>
t_{TH}	<i>Temps que es triga en assolir la tensió V_{TH}.</i>
t_{tp}	<i>Instant de temps en el que els transistors d'una porta passen de la regió triode a la pentode.</i>
t_{rf}	<i>Temps de transició d'un senyal.</i>
t_{rfI}	<i>Temps de transició d'un senyal d'entrada.</i>
t_{rfO}	<i>Temps de transició d'un senyal de sortida.</i>
$t_{\frac{\alpha}{2}}$	<i>t - student per un nivell de confiança $(1 - \alpha) * 100\%$.</i>
T	<i>Darrera etapa d'un graf acíclic.</i>
T_N	<i>Retard nominal d'una porta.</i>
T_p	<i>Temperatura.</i>
v_{D0}	V_{D0}/V_{DD}
v_i	<i>Node d'entrada d'un circuit CMOS.</i>
v_{ins}	<i>Tensió instantània interna.</i>
v_{TH}	V_{TH}/V_{DD}
V_1	<i>Tensió d'entrada de la porta quan ha transcorregut el temps t_1.</i>
V_a	<i>Vector d'entrada anterior.</i>
V_{DD}	<i>Tensió d'alimentació.</i>
V_{D0}	<i>Tensió de saturació equivalent d'un transistor MOS.</i>
V_{DON}	<i>Tensió de saturació d'un transistor NMOS.</i>
V_{DOP}	<i>Tensió de saturació d'un transistor PMOS.</i>
V_i	<i>Vectors d'entrada d'una porta o d'un circuit.</i>
V_i^*	<i>Vectors d'entrada que excita el circuit o porta amb la AP màxima.</i>
V_I	<i>Tensió d'un node d'entrada.</i>
V_O	<i>Tensió d'un node de sortida.</i>
V_p	<i>Vector d'entrada present.</i>
V_{SS}	<i>Tensió de terra.</i>
V_{TH}	<i>Tensió llindar d'un transistor MOS.</i>
V_{THN}	<i>Tensió llindar d'un transistor NMOS.</i>
V_{THP}	<i>Tensió llindar d'un transistor PMOS.</i>
X	<i>Variable aleatòria genèrica.</i>

z_{ij}	<i>Node de sortida d'un circuit H.</i>
$\{z_{ij}\}_{AND}$	<i>Conjunt de nodes connectats a la porta AND.</i>
Z_{max}^*	<i>Conjunt de nodes de sortida z_{ij} que valen 1 quan l'activitat ponderada és màxima.</i>
$\widehat{Z_{max}}$	<i>Conjunt de nodes de sortida z_{ij} que valen 1 quan l'activitat ponderada és una estimació del valor màxim.</i>
Z^O	<i>Llista de nodes z ordenats pel seu nivell potencialment energètic.</i>
α	<i>Índex de saturació equivalent d'un transistor MOS. Nivell de confiança de la distribució $t - student$.</i>
α_N	<i>Índex de saturació d'un transistor NMOS.</i>
α_P	<i>Índex de saturació d'un transistor PMOS.</i>
η_i	<i>Mitjana d'una població d'activitat ponderades dels nodes z.</i>
ρ	<i>Coefficient de correlació.</i>
ρ_{sh}	<i>Resistència quadrada de la porta d'un transistor MOS.</i>
σ	<i>Desviació estàndard de la població total.</i>
δ_i	<i>Diferències de les mitjanes de les activitats ponderades de dos nodes diferents.</i>
τ	<i>Retard d'una porta.</i>
ω	<i>Amplada de la finestra de filtratge.</i>
ω_I	<i>Amplada de la finestra de filtratge inercial.</i>
ω_I^-	<i>Límit inferior de la finestra de filtratge inercial.</i>
ω_I^+	<i>Límit superior de la finestra de filtratge inercial.</i>
ω_U	<i>Amplada de la finestra de filtratge uniforme.</i>
Δ	<i>Variació màxima del retard d'una porta.</i>
Δ_P	<i>Variació petita del retard d'una porta.</i>
Θ	<i>Paràmetre del model APSC que conté la informació tecnològica.</i>
Φ	<i>Paràmetre del model de d que conté la informació tecnològica.</i>

Acrònims:

ASIC	<i>Circuit integrat d'aplicació específica.</i>
CAE	<i>Computer Aided Engineering.</i>

CMOS	<i>MOS complementari.</i>
COFUS	<i>Eina de càlcul de la cota superior estructural i funcional.</i>
COIN	<i>Eina de càlcul de la cota inferior.</i>
COSUS	<i>Eina de càlcul de la cota superior estructural.</i>
ENTICE-ASPEN	<i>Eina d'estimació de consum a nivell lògic.</i>
GUM	<i>Porta lògica en la que es mesura l'energia de transició.</i>
HSPICE	<i>SPICE de Meta – Software.</i>
ISCAS	<i>International Symposium on Circuits and Systems.</i>
MOS	<i>Metall – Òxid – Semiconductor.</i>
NMOS	<i>Transistor MOS de canal N.</i>
PMOS	<i>Transistor MOS de canal P.</i>
POWERMILL	<i>Estimador de consum pseudoelèctric.</i>
RTL	<i>Register Transfer Level.</i>
RZ, Z	<i>Model de retard zero.</i>
RU, U	<i>Model de retard unitari.</i>
RV, V	<i>Model de retard variable.</i>
RVFI, VFI	<i>Model de retard variable amb finestra de filtratge inercial.</i>
SAIL	<i>Eina d'avaluació de l'energia de transició en circuits lògics.</i>
SPICE	<i>Simulador elèctric.</i>
STI	<i>State Transition Interval.</i>
STP	<i>State Transition Point.</i>
VLSI	<i>Circuit integrat de molt alta escala d'integració.</i>

Capítol 1

Introducció

1.1 Preàmbul

En la història de l'electrònica digital es poden destacar tres punts de ruptura importants amb referència al consum energètic. El primer moment va ser degut a la invenció del transistor bipolar l'any 1947. La invenció del primer dispositiu d'estat sòlid, per part de Bardeen, Shockley i Brattain, va permetre la substitució de les vàlvules de buit en els sistemes electrònics. Aquestes vàlvules de buit treballaven amb voltatges de centenars de volts i consumien de l'ordre d'uns quants watts de potència, sobretot a causa dels filaments incandescents que contenien. Amb els nous transistors bipolars, els consums de potència es van reduir a nivells de l'ordre dels miliwatts, [119].

La plena utilització de les propietats de baix consum que presentava el transistor bipolar no es van arribar a explotar a fons, fins que es va produir el segon punt de ruptura important, l'aparició de les tècniques d'integració de circuits als vols de l'any 1958. Aquestes van ser desenvolupades inicialment per Jack Kilby a l'empresa Texas Instrument. Gràcies al seu avenç tecnològic, l'inventor va rebre la Medalla Nacional de les Ciències, que és la distinció més important, al Estats Units, en el camp tecnològic, [50].

Encara que molt menys reconegut com a salt decisiu, el tercer punt de ruptura es va donar gràcies a la invenció del primer circuit integrat CMOS, *complementary metal-oxide-semiconductor* [37], cap a l'any 1963. Aquest tercer avenç va marcar l'era moderna de l'electrònica digital de baix consum. En el seu desenvolupament destaca Frank Wandlass, que va treballar a l'empresa de Semiconductors Fairchild de Palo Alto, Califòrnia. En la seva patent, va descriure la construcció dels tres circuits CMOS bàsics, a partir

dels quals es pot construir qualsevol funció lògica; l'inversor, la porta NOR i la porta lògica NAND, [50].

La introducció de la tecnologia CMOS ha permès parlar de l'energia de transició, *the switching energy*. Es coneix com a energia de transició d'un bit a l'energia que és necessària subministrar a un circuit per a canviar un bit d'informació "0" per un "1" o a l'inrevés. Això és gràcies a que en aquests circuit el consum energètic és pràcticament nul quan no es modifica la informació. La importància de la tecnologia CMOS ha estat de tal magnitud que actualment ha desplaçat la tecnologia bipolar i ha pres una posició dominant en el mercat dels circuits integrats [104]. Segons l'informe de la *Semiconductor Industry Association* [122], aquesta tecnologia ocupa el 75% del mercat mundial de circuits integrats.

Des de sempre, els requisits de mida, pes i autonomia llarga han estat els motors que han generat un interès per al consum energètic en els sistemes electrònics. Però no ha estat fins a la dècada del 1990 que el consum energètic ha pres una importància crucial en el disseny electrònic. L'impuls fonamental ha surgit de la dificultat d'extreure el calor generat en els circuits integrats i de les repercussions directes que això ha tingut sobre el factor econòmic i sobre les prestacions dels xips [111] [106] [67] [73] [83] [75] [76] [61] [55] [112]. La creació de la conferència en electrònica de baix consum, *Low Power Electronics Conference*, a l'any 1993, dona una idea de la posició rellevant que té el consum energètic en la dècada actual. A la taula 1.1 es presenta la predicció de la potència dissipada que fa l'associació de fabricants de circuits integrats, *Semiconductor Industry Association* (SIA), pels propers 6 anys [122]. Aquesta associació preveu que a l'any 2012 les mides dels

Primer any de producció	1997	1999	2001	2003	2006	2009	2012
Tecnologia (nm)	250	180	150	130	100	70	50
Tensió d'alimentació							
V_{DD} (V) lògica mínima	1.8-2.5	1.5-1.8	1.2-1.5	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6
Potència màxima							
Màximes prestacions amb dissipador de calor (W)	70	90	110	130	160	170	175
Amb bateria, <i>hand-held</i> (W)	1.2	1.4	1.7	2	2.4	2.8	3.2

Taula 1.1: Prediccions de la SIA fins a l'any 2012.

transistors disminueixin fins als 50nm (fila segona) i la tensió d'alimentació dels circuits integrats es situï en l'interval que va dels 0.5 als 0.6V (fila tercera). Malgrat aquestes estimacions a la baixa, es preveu un increment

de la potència dissipada. En els circuits de màximes prestacions, aquesta potència s'estima que arribi a $175W$ (fila quarta) mentre que en els circuits orientats a sistemes mòbils, alimentats amb bateries, es preveu que sigui de $3.2W$ (fila cinquena).

Per tenir una idea de les repercussions que suposen aquests nivells de potència en els encapsulats i en la refrigeració dels circuits, es fan les següents consideracions. En els sistemes mòbils, per exemple en la telefonia mòbil, no és possible la utilització de la ventilació forçada. Per construcció mecànica tampoc es pot recórrer als radiadors de convecció natural. S'estima que a partir $2.5W$ per xip caldrà utilitzar sistemes de drenatge de calor que transportin aquest cap a la superfície de l'aparell que estigui en contacte amb la mà. En els sistemes d'altres prestacions emprats en aviació, *mainframes*, etc, els sistemes de ventilació forçada són els més utilitzats pel seu baix cost. Cal tenir en compte que cada $10^{\circ}C$ d'increment de la temperatura es duplica el risc de fallada del circuit [69] [67]. En circuits amb dissipacions de potència superiors a $60 - 70W$ poden aparèixer problemes de punts calents [122]. A partir de $80^{\circ}C$ de temperatura d'unió es degraden les prestacions del xip [111]. Per mantenir unes condicions de temperatura d'unió acceptables, els sistemes de refrigeració convencionals hauran d'augmentar de volum. Es preveu que a partir de dissipacions de potència de l'ordre dels $110 - 120W$ aquest volum resultarà excessiu [122] i caldrà recórrer a altres sistemes com els basats en refrigerants de dues fases (líquid/gas), [70]. Una de les solucions de refrigeració més extremes implementades en l'actualitat, és la del supercomputador Cray III, que utilitza 62738 xips de GaAs, funcionant a una freqüència de $480MHz$. Aquest sistema dissipa una potència tèrmica de $90KW$ en el volum equivalent al d'una rentadora. Tots els xips es troben submergits en un refrigerant, *Fluorinert*, que té un punt d'ebullició de $57^{\circ}C$. La superfície de contacte dels circuits amb aquest líquid es maximitza mantenint totes les cares del mateixos en contacte amb el líquid. La temperatura del líquid s'acondiciona amb un sistema de refrigeració extern [69].

Quan es vol mesurar l'energia que necessita un circuit CMOS per a processar una certa quantitat d'informació bàsica es parla de l'energia de transició.

1.2 Energia de transició

Sigui un circuit CMOS combinacional, al que es modifica el vector d'entrada, d'un vector anterior a un de present, $V_a \rightarrow V_p$. A partir de l'instant de temps t_0 en què s'introdueix el nou vector, el circuit entrarà en un règim transitori

durant el qual, els nodes interns assoliran un nou nivell de tensió estable. Durant aquest règim transitori, les tensions dels nodes interns poden fluctuar diverses vegades generant un consum energètic degut, en primera aproximació, a la commutació de les capacitats paràsites associades a cada node. S'anomena **energia de transició**, a l'energia total consumida pel circuit al llarg del règim transitori. Aquesta energia és funció, tant de la parella de vectors d'entrada $\{V_a, V_p\}$, com de la síntesi de la funció combinacional i de la tecnologia utilitzada en la implementació.

A la propera secció es motivarà l'interés de l'anàlisi de l'energia de transició màxima en els circuits combinacionals CMOS.

1.3 Motivació

L'energia de transició màxima està fortament relacionada amb la fiabilitat dels circuits integrats [77]. Degut al desequilibri en els temps de propagació dels senyals interns del circuit, hi ha nodes que poden experimentar reiterades commutacions, *hazards* o transicions falses, durant el règim transitori del circuit. Aquest augment de l'estrès en aquests nodes pot actuar directament sobre l'energia d'activació de determinades falles físiques i per tant, augmentar el risc d'aparició d'aquestes. Indirectament, també pot actuar a través d'escalfaments puntuals, en les zones on hi hagi activitat elevada, provocant increments locals de la temperatura i, en conseqüència, engendrant un risc d'aparició de falles físiques. Una tercera via a través de la qual la fiabilitat es veu afectada per l'energia de transició màxima és a través del corrent. L'energia i el corrent són dos fenòmens físics que estan intrínsecament relacionats a través de l'estructura interna del circuit. En circuits on les energies de transició siguin elevades hi haurà una gran possibilitat de que els corrents siguin grans en les línies d'alimentació. Aquest augment dels corrents accelera el mecanisme conegut com electromigració.

A banda dels efectes directes que tenen les falles físiques sobre la fiabilitat, també es poden produir falles de tipus funcional. Aquestes falles no són permanents i tenen la característica d'aparèixer i desaparèixer fortuïtament, per exemple l'amagatzematge d'un bit incorrecte en el registre de sortida d'un circuit combinacional. L'energia de transició màxima actua sobre aquest tipus de falles a través de l'augment del retard en les portes. Aquest retard es veu afectat pels escalfaments puntuals del circuit, que incrementen localment la temperatura, o bé per la fluctuació de la tensió d'alimentació de les portes degut al soroll generat pel circuit. Finalment, l'energia de transició màxima

també pot afectar, encara que de manera molt indirecta, a les prestacions del circuit. Aquestes es poden veure degradades per una modificació de les tensions llindars dels transistors i de les seves transconductàncies. En els propers paràgrafs es descriuen més detalladament alguns dels aspectes indicats en aquest paràgraf.

1.3.1 Falles realistes

La perforació de l'òxid de porta és un defecte físic, també anomenat realista, que apareix en les portes dels transistors com a resultat de la injecció d'electrons en aquest òxid. Aquesta injecció d'electrons crea parelles electròforat que són capturades a l'òxid i augmenten el camp elèctric intern [11] [17] [21]. Un increment excessiu d'aquest camp elèctric, pot desencadenar la perforació del dielèctric per efecte d'allau. Els transistors sotmesos pels *hazards*, a un gran nombre de commutacions, augmenten la probabilitat de capturar càrregues a l'òxid de porta, i disminueixen així el temps mig de fallada del dispositiu [100].

Quan la densitat de corrent en un conductor és excessivament elevada, es poden produir moviments dels àtoms metàlics. La desaparició del material conductor en una certa regió, pot accelerar el fenomen degut a l'increment progressiu de la densitat de corrent en aquella zona. Finalment, aquest efecte pot derivar en un tall en la pista conductora. Per aquest mateix principi, també s'observa la formació de curt-circuits entre pistes metàl·liques. A aquest tipus de fenomen se'l coneix amb el nom d'electromigració [3] [4] [5] [15] [21] [100]. Les pistes dels circuits on es detecta majoritàriament aquest fenomen són en les d'alimentació i terra, degut a que són les que transporten els corrents més elevats del circuit. Un dimensionat incorrecte d'aquestes pistes és la principal causa de l'aparició de l'electromigració. Cal fer notar que aquest fenomen és molt menys important en les línies de senyal, on la component del corrent és bàsicament de tipus altern [22]. La temperatura, és una segona causa de l'aparició de l'electromigració, donat que aquest tipus de defecte té una energia d'activació molt elevada [15]. En circuits amb alta densitat d'integració, problemes en els diferents processos de fabricació poden debilitar el gruix de les pistes de metall. En conseqüència, un augment local de la temperatura acceleraria l'electromigració en les zones debilitades [21].

1.3.2 Falles funcionals

El retard, τ , d'una porta està relacionat amb la temperatura, T_p , a través de l'equació $\tau \propto a_1 + T_p^{3/2}$, on a_1 és una constant [9] [60]. A [100] s'observen increments del retard d'un 20% en un inversor, quan s'augmenta la temperatura del circuit en 75°C . Una energia de transició excessivament elevada pot produir escalfament locals que degradin el retard dels senyals. Si a la sortida del circuit hi ha biestables, una violació dels temps de *setup-time* i *hold-time* d'aquests pot provocar errors lògics en els resultats.

Una energia de transició elevada, induïx corrents intensos en les línies d'alimentació. Degut a les resistències, $R \cdot i_{DD}$, i a les inductàncies, $L \cdot (di_{DD}/dt)$ de les línies, la tensió d'alimentació pot fluctuar i ser la causa de falles funcionals a través de la variació del retard en els portes [26] [84] [106]. A [100] s'observa experimentalment que un decrement de 0.3V en un circuit alimentat a 3.3V degrada un 10% el retard. Un altre mecanisme d'influència és a través del *crossstalk*. Si en les línies d'alimentació apareix soroll, aquest soroll pot afectar als nivells de tensió dels senyals a través de les capacitats paràsites d'acoblament, $C \cdot (dv_{ins}/dt)$, provocant errors lògics [14] [20] [68] [96] [125].

1.3.3 Degradació de les prestacions

En els transistors de canal curt, els camps elèctrics existents entre els terminals drenador, surtidor i substrat, poden ser elevats. En aquest cas, es poden produir injeccions de portadors molt energètics, portadors calents, a través de la unió silici-òxid de la porta [17] [52] [69]. Com a conseqüència s'augmentaran el nombre de càrregues atrapades a l'òxid i a la interfície òxid-silici d'aquesta. L'acumulació de càrregues en les dues regions modifica la tensió llindar i també la transconductància dels transistors [16] [21] degradant les prestacions del circuit. Les energies de transició elevades fan augmentar la probabilitat d'atrapar càrregues per causa dels portadors calents [100].

Es coneix per migració d'ions alcalins al moviment en direcció a l'òxid de porta, per efecte d'un camp elèctric, de metalls alcalins carregats positivament [6]. Aquesta migració es dona per sobre dels 100°C . Els metalls alcalins tenen el seu origen en les diferents impureses acumulades durant el procés de fabricació com poden ser la saliva, pols, materials per soldar els encapsulats, etc. Si bé, en les tecnologies actuals la presència d'aquests ions està controlada rigorosament, es segueixen detectant problemes degut

a aquests ions [11] [17]. L'acumulació d'ions alcalins a l'òxid té com a conseqüència el desplaçament de la tensió llindar dels transistors. Com que l'energia d'activació d'aquest fenomen és elevada [15] [21], un augment local de la temperatura pot accelerar aquest tipus de degradació.

L'interés doncs per controlar l'energia de transició, ha fet que en els darrers anys s'hagin desenvolupat tot un conjunt de tècniques, orientades a l'estimació de l'energia de transició màxima. L'objectiu d'aquestes tècniques és el de garantir la fiabilitat del circuit, des dels inicis del disseny. La majoria d'aquestes tècniques, han estat orientades a l'anàlisi de circuits combinatorials. El tractament dels circuits seqüencials es fa, habitualment, com a una extensió del cas anterior.

Els nivells d'abstracció en què es pot plantejar un disseny són diversos. L'anàlisi de les característiques energètiques d'un circuit, requereix plantejar sobre quin nivell d'abstracció es treballa. La raó és que el tipus d'informació energètica que hi ha disponible a cada nivell és diferent. A la propera secció s'exposa el nivell d'abstracció que s'utilitzarà al llarg de la tesi.

1.4 Nivells d'abstracció d'un disseny

Els diferents nivells d'abstracció en què es pot plantejar un disseny són: sistema, algorímic, arquitectural o RTL, lògic, circuital i tecnològic. Quan es fan estimacions de l'energia de transició, és habitual recórrer al nivell circuital amb l'objectiu d'assolir una precisió elevada. A aquest nivell, les simulacions contemplen el comportament elèctric dels circuits descrits amb transistors. Per tant, és possible obtenir l'energia directament de la integració del corrent que consumeix el circuit durant el règim transitori i de la tensió d'alimentació.

La limitació del tamany dels circuits analitzables a nivell elèctric, fa que sigui habitual recórrer al nivell lògic. A aquest nivell es proposen models de l'energia de transició amb una precisió acceptable. Aquests permeten fer l'estimació per mitjà de simulacions lògiques. D'aquesta manera, la precisió de l'estimació no és tant bona però per altre cantó, la velocitat d'obtenció de l'estimació és ordres de magnitud més alta que a nivell elèctric i permet, alhora, fer l'anàlisi de circuits molt més grans. També cal considerar l'existència d'altres eines d'anàlisi, disponibles a nivell lògic, com poden ser generadors de patrons de test, analitzadors de camins falsos, etc. Per aquesta raó és molt habitual trobar dins del conjunt d'eines CAE, a més de les eines a nivell elèctric com POWERMILL [78], eines d'anàlisi del consum energètic

desenvolupades a nivell lògic, com ENTICE-ASPEN [59] [91].

A la propera secció s'exposen els objectius de la tesi.

1.5 Objectius

En aquesta tesi es planteja com a objectiu l'anàlisi de l'energia de transició màxima en circuits combinacionals CMOS. L'anàlisi es durà a terme en circuits descrits a nivell lògic.

1.6 Contingut de la tesi

El contingut de la tesi està estructurat en sis capítols i quatre apèndixs.

Al capítol 2 es presenta la mètrica que s'utilitza habitualment a nivell lògic per estimar l'energia de transició [10] [27] [53] [54] [71] [107] [114] [117]. Aquesta mètrica es basa en la commutació dels nodes interns del circuit, assumint que cada commutació representa la càrrega o descàrrega d'una capacitat paràsita. Aquest model no contempla altres fonts de consum com poden ser els corrents directes que apareixen en les commutacions imperfectes de les portes lògiques, anomenats també **corrents de curt-circuit**. En aquest capítol es proposa una ampliació d'aquesta mètrica a fi d'incloure els efectes de curt-circuit. La mètrica inclou l'estimació dels temps de transició, de manera que coneixent els pesos d'entrada i sortida d'una porta i les portes que exciten les seves entrades, es pugui determinar aquesta energia de curt-circuit i per tant obtenir un refinament en l'estimació de l'energia de transició. La formulació de la mètrica permet també calcular unes cotes, *a priori*, de quin és el percentatge de curt-circuit que es pot esperar en l'energia de transició global del circuit. Aquesta contribució del curt-circuit és útil en el dimensionat de les portes durant la síntesi del circuit lògic.

En els capítols 3 i 4 s'aborda l'estimació de l'energia de transició màxima. Aquesta estimació es fa a partir del càlcul de dues cotes properes a aquesta energia màxima, una de superior i una de inferior.

En el capítol 3, es planteja el càlcul de la cota superior propera de l'energia de transició màxima. Aquesta estimació es fa a partir d'una eina basada en tècniques no-depenents-d'entrada. L'eina es basa en realitzar una propagació de formes d'ona incertes utilitzant criteris merament estructurals. En aquest capítol es proposa una millora a aquesta propagació estructural. La millora consisteix en utilitzar el bloqueig que realitzen les funcions lògiques de les portes, anomenat **bloqueig lògic**, a la propagació

de les commutacions internes del circuits. Aquest bloqueig lògic permet considerar les correlacions temporals dels senyals interns a nivell de porta, que permet disminuir la cota superior calculada i per tant millorar el valor final obtingut. La tècnica es valida a partir de les simulacions fetes en un conjunt de circuits de prova que inclouen majoritàriament els ISCAS-85.

En el capítol 4, es planteja el càlcul de la cota inferior propera. Les tècniques utilitzades habitualment en el càlcul d'aquesta cota es basen en metodologies depenents-d'entrada [18] [26] [27] [28] [42] [99] [108] [109] [114] [115]. De totes elles, la que s'ha demostrat més eficients són les que es basen en tècniques de test de circuits lògics. Els inconvenients que presenten aquestes darreres són la dificultat en el tractament del domini temporal dels circuits [18] [28] [109]. En aquest capítol es presenta una millora d'aquest tipus de tècniques que millora el tractament del domini temporal i el fa extensible per a diferents models de retard i filtratge. El problema de la selecció de l'energia de transició màxima es transforma a un problema de test lògic. Una vegada s'ha transformat el problema, s'enfoca l'obtenció de la parella de vectors que ens permeti forçar l'energia de transició màxima utilitzant les eines de test. Junt amb aquesta parella de vectors es calcula la cota inferior. Com abans, el banc de simulació està format pel conjunt de circuits de prova indicat anteriorment. Els resultats obtinguts es comparent amb els resultats presentats per un altre autor que planteja una tècnica similar.

El càlcul de les cotes abordat anteriorment s'ha dut a terme per a diferents models de retard. S'ha observat que la modificació del model de retard afecta significativament al valor de les cotes obtingut. Aquest fenomen ja havia estat observat per altres autors [44] [80]. En el capítol 5 s'aborda l'anàlisi del comportament de l'activitat ponderada, en front dels models de retard estàtics [23] [31] [45]. El capítol es troba dividit en dues parts. En la primera part, s'interpreta el comportament que té aquesta mètrica quan es modifica el model de retard. Existeixen un límits a la variació del model retard i de la finestra de filtratge de les portes per sota dels quals, el comportament de l'activitat ponderada és predictable. Per sobre d'aquests límits, no es pot assegurar un comportament clar, però es poden indicar unes tendències en base als mecanismes de generació i absorció de transicions.

En la segona part del capítol, es verifica la bondat de l'activitat ponderada com a estimador de l'energia de transició. S'utilitza la mètrica únicament capacitiva per estimar l'energia de transició d'un circuit multiplicador de 8 bits, en un conjunt de 1000 parelles de vectors. L'estimació de l'energia de transició es fa per a quatre models de retard diferents. Posteriorment, les

estimacions es comparen amb les mesures reals obtingudes d'un circuit multiplicador. El circuit està dissenyat i fabricat amb una tecnologia de $1\mu m$. Aquestes mesures es realitzen sobre el mateix conjunt de 1000 parelles de vectors. A partir de les comparacions es determina quin és el millor i el pitxor model de retard per a calcular l'activitat ponderada.

Finalment, en el capítol 6, es presenten les conclusions generals de la tesi i el treball futur. Aquest treball futur ha sorgit de les investigacions realitzades i té com a objectiu profunditzar i millorar les tècniques presentades al llarg dels diferents capítols.

En els apèndixs es dona informació addicional dels següent temes. A l'apèndix A es llisten les característiques principals dels circuits de prova ISCAS-85 [13]. A l'apèndix B es dona informació detallada de l'eina COSUS. Aquesta eina es l'estimador de l'energia de transició màxima utilitzat com a punt de partida en el capítol 4. En l'apèndix C es dona un exemple complet de la transformació temps-espai per al circuit de prova C17. Aquesta transformació és utilitzada en el capítol 4 per a transformar el problema de maximització a un problema de test lògic. Finalment en l'apèndix D s'explica un criteri d'ordenació de nodes utilitzat també en el capítol 4 per a obtenir la parella de vectors que exciten el circuit en l'activitat ponderada màxima. Aquest criteri d'ordenació es basa en la comparació dels nodes per parelles fins que un estadístic basat en la diferència de les magnituds a comparar és diferent de zero segons un nivell de confiança preestablert. A partir d'aquest moment es considera la llista correctament ordenada.

Per acabar aquesta introducció, es fa notar que si bé en el capítol dos s'amplia la mètrica d'activitat ponderada per a que inclogui tant la component dinàmica capacitiva com la de curt-circuit en els capítols 3, 4 i 5 la mètrica que s'utilitza és la purament capacitiva. L'explicació d'això és que la millora que es proposa del model, en el capítol 2, ha estat posterior en el temps al treball d'investigació presentat en els capítols 3, 4 i 5. Malgrat això, s'ha cregut més indicat començar a presentar els continguts de la tesi pel nivell elèctric i posteriorment passar al nivell lògic.

Capítol 2

Activitat ponderada capacitiva i de curt-circuit

En aquest capítol es proposa una mètrica per estimar, a nivell lògic, l'energia de transició capacitiva i de curt-circuit. La mètrica es basa en l'estimador d'activitat ponderada al qual s'afegeix la component de l'energia de curt-circuit. L'equació de l'energia de curt-circuit s'ha obtingut a partir dels models α -*power* proposats per Sakurai. Els paràmetres més importants de la mètrica són els pesos dels nodes d'entrada i de sortida, i les resistències *pentode* de les xarxes P i N de la porta avaluada i de les portes connectades al *fanin*. La validació de la mètrica s'ha fet emprant el simulador HSPICE en un conjunt de portes lògiques. Posteriorment, amb aquesta mètrica es proposa el càlcul de dues cotes, superior i inferior, per delimitar la influència que té l'energia de curt-circuit en l'energia de transició total d'un circuit.

El capítol està estructurat de la següent manera. En primer lloc, a 2.1, es motiva la necessitat d'incloure la component de curt-circuit en les mètriques d'activitat ponderada. En la secció 2.2, es comenten els antecedents i els articles recents apareguts a la bibliografia sobre aquest tema. En l'apartat 2.3, s'introdueixen les definicions i conceptes bàsics utilitzats en la descripció de les mètriques, emprades a nivell lògic. Aquesta mètrica es millora incorporant el curt-circuit en l'apartat 2.4 i 2.5. En l'apartat següent, a 2.6, es valida la mètrica emprant el simulador HSPICE. A continuació, a 2.7 i a 2.8 es calculen les cotes de l'energia de transició total d'un circuit. Finalment, a l'apartat 2.9 es presenten les conclusions del capítol.

2.1 Introducció

La mètrica utilitzada més habitualment a nivell lògic per a l'estimació de l'energia de transició és l'activitat ponderada [10] [27] [53] [54] [71] [107] [114] [117]. Aquesta mètrica assumeix que tot el consum és degut a la commutació de les capacitats paràsites internes, modelades com una capacitat única a la sortida de cada porta. Qualsevol altra font de consum és obviada. Per tant, l'estimació es fa comptabilitzant el nombre de canvis dels nodes lògics interns, multiplicant-lo per un pes que dona raó de la magnitud relativa de les capacitats paràsites entre els nodes. En les estimacions independents de la tecnologia, aquest pes sol ser el *fanout* de les portes.

Una altra font de consum ben coneguda és l'anomenada energia de curt-circuit [12] [40] [56] [74] [94] [95] [101] [105] [113] [123]. El corrent responsable d'aquest consum energètic té origen en les commutacions no ideals dels circuits CMOS. Com a resultat, durant la commutació dels senyals d'entrada es crea un camí per on passa el corrent que va de la línia de tensió, V_{DD} , a la línia de terra, V_{SS} . Aquest camí permet, doncs, que hi hagi una transferència de càrrega directa entre aquest dos nodes. Segons les observacions fetes per Veendrick en el seu treball pioner [12], en els circuits que tenen un "bon disseny", la càrrega total entregada per la font a aquest camí directe és petita en comparació a la requerida per fer commutar la tensió de les capacitats paràsites. Els valors típics són inferiors al 20%. El terme "bon disseny" fa referència a què els temps de transició de les entrades i de les sortides de les portes són iguals. Altres autors han refinat aquests resultats per a tecnologies submicròniques [95] [105] [113] [123].

A [97] A. Chatterjee et al. fan una anàlisi de la influència que té l'escalat de la tecnologia en l'energia de curt-circuit. Una de les conclusions principals és que en les tecnologies ràpides, amb una tensió de llindar petita, el criteri de disseny per ajustar els *slew-rates* de les portes serà dominat per l'energia de curt-circuit, en lloc de per les prestacions. Per tant es fa necessària la utilització, a nivell lògic, de models que tinguin en compte el curt-circuit. La necessitat del modelatge del curt-circuit a nivell lògic també és recomanat per Rabe a [98] després de fer una anàlisi de la influència de les transicions espúries, *glitches*, en diferents circuits.

La utilització de la mètrica d'activitat ponderada, en l'optimització del curt-circuit, requereix d'una ampliació de la mètrica. Per aquesta raó, es proposa en aquest capítol, incorporar el curt-circuit a aquesta. La nova mètrica s'anomena Activitat Ponderada de curt-circuit i Capacitiva, *APSC*. En aquesta, l'energia de curt-circuit es modela emprant els models α -*power*

de Sakurai i l'aproximació proposada per Tjörnström a [24].

Al proper apartat es presentaran els models existents que estimen l'energia de curt-circuit.

2.2 Models de l'energia de curt-circuit

Un dels articles pioners, molt referenciats a la bibliografia, és el de H. J. Veendrick, [12]. En ell, es fa una anàlisi del corrent de curt-circuit i es proposa un model d'aquest per a una porta inversora. El model està basat en les equacions de Shichman i Hodges, [2], i suposa que els transistors PMOS i NMOS estan equilibrats. El model també considera que la capacitat de sortida de la porta és nul·la. El seu model depèn de la tensió d'alimentació, del temps de transició a l'entrada de la porta, de la tensió llindar i de les transconductàncies dels transistors.

En el seu article, s'analitzen també els casos on la capacitat paràsita de sortida de la porta és diferent de zero. Aquesta anàlisi es duu a terme mitjançant simulacions SPICE. El resultat més rellevant i també més citat és que si es té una capacitat de sortida tal que els temps de transició d'entrada i de sortida de la porta siguin semblants, l'energia de curt-circuit no supera el 20% del consum de la porta. La importància d'aquest resultat està en què en una cadena de portes inversores, els temps de transició tendeixen a equilibrar-se a mesura que ens allunyem de l'entrada primera.

Posteriorment, a l'any 1989, Tjörnström va publicar un treball, [24], on s'estimava l'energia consumida per un circuit descrit a nivell lògic. El seu model tenia en compte l'energia de curt-circuit. El seu model de curt-circuit millora el proposat per Veendrick, [12], en què inclou l'efecte de la capacitat paràsita de sortida. En canvi, els models dels transistors són resistius, la qual cosa obliga a fer ajustos numèrics dels models per a cada porta diferent.

Sakurai *et al.* fan a [30] una reformulació del model proposat per Veendrick. Utilitzen els models dels transistors propis, els α -power. Les condicions de contorn del model de curt-circuit es mantenen.

Un altre model per estimar l'energia de curt-circuit va ser proposat per Vemuru et al. a l'any 1993. Aquest model partia de les equacions α -power i estimava l'energia suposant una rampa a l'entrada i una capacitat paràsita no nul·la a la sortida de la porta. Si bé, el model proposat millora els anteriors, es fa la hipòtesi de què la capacitat paràsita de la sortida és gran. Amb aquestes condicions, el domini d'aplicació del model són *buffers* o portes, en general, que controlin línies molt capacitives.

Caufapé *et al.* plantegen a [74], un altre model basat en les equacions α - *power* dels transistors. El model prediu el comportament amb una capacitat de sortida variable. Les equacions s'obtenen fent una aproximació de la forma del corrent triangular i estimant el corrent màxim amb gran precisió.

Un enfocament diferent és l'utilitzat per Turgis *et al.* a [94]. L'energia de curt-circuit s'obté amb un model semblant al consum capacitiu. S'estima una capacitat fictícia de curt-circuit. Aquesta capacitat fictícia té un model que depèn dels temps de transició i de la capacitat de càrrega de sortida. L'expressió del model és explícita però té l'inconvenient de dependre del temps de transició de la sortida de la porta, en lloc de la capacitat de càrrega. Això obliga a utilitzar una altra expressió per estimar aquest temps de transició i per tant complica la utilització del model. A més a més, el model utilitza les expressions quadràtiques dels transistors MOS, que no s'ajusten als comportaments dels dispositius submicrònics.

L. Bisdounis *et al.* presenten un model a [95], que inclou tots els efectes presents en una porta inversora. Entre ells el de la capacitat d'acoblament d'entrada-sortida. No es fan simplificacions respecte a la forma d'ona de tensió de sortida i plantegen totes les equacions diferencials segons les lleis de Kirchoff. Analitzen el cas en que hi ha una transició de pujada a l'entrada de la porta inversora. Es plantegen tres equacions diferencials. La primera equació correspon al cas en que hi ha sobretensió a la sortida de la porta, degut a la capacitat d'acoblament, amb el transistor NMOS en tall. La segona equació diferencial inclou l'efecte de sobretensió però amb el transistor NMOS en conducció. La tercera equació modela el corrent de curt-circuit que apareix després d'eliminar-se la sobretensió. Finalment, s'arriba a una expressió tancada de l'energia de curt-circuit. Per poder obtenir aquesta expressió s'han d'aplicar simplificacions a la resolució de les equacions diferencials donat que algunes d'elles són irresolubles analíticament.

A l'any 1996, A. Hill va proposar un model sense cap significat físic, obtingut a partir d'un ajust estadístic. Utilitzant un model polinòmic com a patró, s'afegeixen els termes que poden ser més representatius en l'energia de curt-circuit, multiplicats per uns coeficients que s'ajusten a partir de dades obtingudes per simulació. Els termes amb coeficients poc significatius són eliminats de l'expressió. Finalment s'obté el següent model per a potència de curt-circuit,

$$P_S(\tau, C_L) = a_1 + a_2 \cdot t_{rf} + a_3 \cdot t_{rf}^2 + (a_5 \cdot t_{rf} + a_6 \cdot t_{rf}^2) \cdot C_L + (a_7 \cdot t_{rf} + a_8 \cdot t_{rf}^2) \cdot C_L^2$$

on t_{rf} és el temps de transició a l'entrada de la porta, C_L la capacitat paràsitica

de sortida i a_i els coeficients d'ajust.

El mateix any, M. A. Ortega *et al.*, publiquen a [105] un altre model que inclou també la capacitat d'acoblament entre les entrades i sortides de la porta. Aquesta capacitat, formada per la suma de les capacitats porta-drenadors i porta-surtidors dels transistors, provoca una sobretensió al node de sortida en el moment en què hi ha de fer una transició de baixada. De la mateixa manera, indueix una sotatensió quan el node de sortida fa una transició de pujada. L'efecte que tenen aquestes modificacions de la tensió de sortida, és la disminució del temps durant el qual hi ha corrent de curt-circuit. Els autors, inclouen aquest efecte de sobretensió en el seu model amb la qual cosa s'aconsegueixen uns errors menors al 5% comparant amb HSPICE, tot i utilitzar una aproximació triangular per al corrent de curt-circuit. L'anàlisi i les simulacions es fan, però, assumint una rampa de tensió d'entrada.

S. Turgis *et al.* publiquen a l'any 1997 un altre model que inclou la capacitat d'acoblament d'entrada-sortida, [123]. Aquest model es basa en el concepte de capacitat virtual de curt-circuit, utilitzat en publicacions prèvies dels mateixos autors. Si bé es demostra que la precisió del model, comparant amb SPICE, és bona, les expressions estan en funció dels temps de transició dels senyals d'entrada-sortida i del retard de la porta. No inclou la capacitat de càrrega de la porta. Això comporta la utilització de models addicionals per estimar el retard de la porta amb la capacitat de càrrega i els temps de transició de les entrades, la qual cosa fa la seva manipulació molt feixuga. Per modelar els transistors, s'assumeix el model lineal que es dedueix de les equacions α -power amb una $\alpha = 1$. Això comporta que el domini d'aplicació de les expressions sigui el de les tecnologies submicròniques avançades.

A. Hirata proposa la formulació de l'estimació de l'energia de curt-circuit per a una porta amb càrrega CRC π , [113]. El treball es basa en una publicació anterior dels mateixos autors on es presenta model de curt-circuit per a càrregues únicament capacitives [101]. En aquest model s'inclou la capacitat d'acoblament entrada-sortida i s'assumeix, un comportament del corrent triangular. Basant-se en aquesta evolució del corrent, es calcula el corrent màxim amb tota precisió, plantejant les equacions diferencials i cercant una solució analítica, fent diferents aproximacions. Com a conclusions més importants es destaquen les diferències entre l'energia de curt-circuit amb una càrrega CRC o bé amb una càrrega simplement capacitiva. Segons els seus resultats, amb línies de $0.2pF/mm$ i $100\Omega/mm$ aquestes diferències són apreciables a partir de $3mm$ de longitud.

A la propera secció es presenta breument la mètrica utilitzada en l'estimació

de l'energia de transició, a nivell lògic.

2.3 Conceptes bàsics

Es recorda la definició que s'havia fet al capítol 1 de l'energia de transició. Sigui un circuit CMOS combinacional, al qual es modifica el vector d'entrada, passant d'un vector anterior a un de present, $V_a \rightarrow V_p$. A partir de l'instant de temps t_0 en què s'introdueix el nou vector, el circuit entra en un règim transitori durant el qual, els nodes interns assoleixen un nou nivell de tensió estable. Durant aquest règim transitori, les tensions dels nodes interns poden fluctuar diverses vegades generant un consum energètic degut, en primera aproximació, a la commutació de les capacitats paràsites associades a cada node. Es pren com a model simplificat el de la capacitat de càrrega, C_L , concentrada a la sortida de la porta i connectada a terra. S'anomena energia de transició, l'energia total consumida pel circuit al llarg del règim transitori. Aquesta energia és funció, tant de la parella de vectors d'entrada $\{V_a, V_p\}$, com de la implementació de la funció combinacional i de la tecnologia utilitzada.

Sigui Q_{Sr} la càrrega perduda entre els nodes de tensió i terra de la porta degut al corrent de curt-circuit, durant una transició de pujada de les entrades i, Q_{Sf} la càrrega perduda per la mateixa causa però durant una transició de baixada de les mateixes. L'energia total consumida, capacitiva i de curt-circuit, durant un període del senyal, serà la suma de les energies de la transició de pujada i de la de baixada, és a dir:

$$E = C_L \cdot V_{DD}^2 + Q_{Sr} \cdot V_{DD} + Q_{Sf} \cdot V_{DD}$$

El terme $C_L \cdot V_{DD}^2$ correspon a l'energia consumida durant el semiperíode on es carrega la capacitat C_L . Durant l'altre semiperíode, la capacitat es descarrega i per tant, l'energia consumida és 0. Els altres dos termes de l'expressió calculen l'energia consumida pel curt-circuit durant les transicions de pujada i de baixada respectivament.

Si es promitgen les energies dels dos semiperíodes, l'energia consumida durant un semiperíode serà,

$$E = \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} (Q_{Sr} + Q_{Sf}) V_{DD}$$

Aquesta expressió serà la que s'utilitzarà en aquest capítol, per modelar l'energia consumida en una transició.

La capacitat paràsita d'un node es pot modelar com el producte d'una capacitat mínima c_0 i un pes F^O , és a dir que $C_L = c_0 \cdot F^O$. Per tant, a nivell lògic, el pes F^O és una indicació de la importància relativa de les capacitats paràsites del circuit. Tenint en compte això, l'energia d'una única transició es pot escriure com,

$$E_C = \frac{1}{2} \cdot c_0 \cdot F^O \cdot V_{DD}^2 \quad (2.1)$$

Dividint l'equació en dues parts, s'extreu el terme adimensional. Aquest és la mètrica anomenada Activitat Ponderada d'una transició simple i s'utilitza a nivell lògic per predir l'energia de transició.

$$E_C = \frac{1}{2} \cdot c_0 \cdot V_{DD}^2 \cdot F^O$$

$$AP = F^O \quad (2.2)$$

L'estimació de Q_{Sr} i Q_{Sf} és complexa donada la seva dependència de les característiques estructurals i tecnològiques del circuit. El mètode més directe utilitzat per a la seva estimació és la simulació elèctrica basada en programes com el SPICE. Com que els temps de simulació d'un circuit gran poden ser importants, s'utilitzen estratègies alternatives basades en pre-simulacions. Durant la fase prèvia, s'utilitza un simulador elèctric que inclou tots els paràmetres tecnològics i els models necessaris per obtenir una bona precisió en els resultats. A partir d'aquí es van construint uns models tabulars que inclouen diferents tipus d'excitacions. A continuació, es duen a terme les simulacions lògiques del circuit emprant aquests models tabulars, en els quals es fa una interpolació lineal entre els punts, [34] [78] [91]. Tot i que la precisió que es pot arribar a assolir amb aquests mètodes és alta, qualsevol canvi en les condicions tecnològiques o en les primitives de la llibreria forçaria la resimulació dels models amb la consegüent despesa de temps. Igualment, la manipulació de models tabulars suposa una quantitat important de memòria que en alguns casos pot suposar un inconvenient. Altres simuladors utilitzen models no tabulars. A [100] [116] [121] s'obtenen models del curt-circuit mitjançant ajusts estadístics. A [28] es prediu el consum dels elements d'una llibreria ajustant els coeficients d'un model basat en principis físics molt bàsics. Malauradament, aquests models segueixen sent dependents de la llibreria utilitzada.

Tal com s'ha presentat en la secció anterior, altres models de l'energia de curt-circuit més sofisticats han estat proposats per [72] [94] [95] [101] [105] [113] [123]. Aquests models prediuen, en general, l'energia de curt-circuit

com a funció del temps de transició d'entrada, la capacitat de càrrega de la sortida i dels paràmetres dels transistors. En alguns casos, també s'inclou la capacitat d'acoblament porta-drenador [95] [101] [105] [113] [123].

Els simuladors lògics ràpids estimen habitualment el temps de propagació dels senyals per mitjà de models estàtics [31]. Això fa innecessari haver de calcular internament els temps de transició dels senyals. Com que aquests temps de transició són essencials en l'estimació de l'energia de curt-circuit, seria convenient obtenir-los a partir de les capacitats paràsites dels nodes i de la capacitat de conducció de les xarxes P i N de les portes. Per tant, si es substituïssin les equacions que estimen els temps de transició en els models de l'energia de curt-circuit, es podria predir aquesta a partir de les capacitats paràsites dels nodes i de la capacitat de conducció de les xarxes P i N. Aïllant les capacitats paràsites de les entrades i sortides de les portes, les equacions es podrien expressar amb els pesos relatius en lloc d'utilitzar la seva magnitud real. Aquest enfocament és útil perquè, a nivell lògic, és més fàcil parlar en termes de pesos relatius que de magnituds reals.

El model per estimar l'energia de transició que es proposa en aquest capítol té en compte les recomanacions esmentades en aquest darrer paràgraf.

A la propera secció es presenta la mètrica. Partint de l'energia de curt-circuit màxima, que es dona quan la càrrega de la porta és nul·la, i de la mínima, quan la capacitat és infinita, es dedueix l'expressió general utilitzant una aproximació proposada per Tjörnström a [24]. Aquesta aproximació connecta els dos límits esmentats anteriorment de manera suau. L'energia obtinguda d'aquesta manera, s'afegeix a la capacitiva per poder donar la mètrica *APSC*.

2.4 Mètrica proposada per l'estimació a nivell lògic

La mètrica que es proposa a continuació, és una mètrica que es pot calcular en qualsevol tipus de porta lògica, amb un nombre d'entrades genèric. Transforma les xarxes P i N de la porta inicial en dos transistors equivalents PMOS i NMOS. Per tant, fixades les commutacions d'unes certes entrades de la porta, s'obté un inversor que té un comportament similar al de la porta original. La mètrica calcula l'energia de curt-circuit a partir d'aquest inversor. Aquesta compactació de la porta ha estat utilitzada per altres autors com Chowdhury *et al.* a [26].

En els propers paràgrafs s'explica la utilització, que es fa en aquest capítol, de l'aproximació suggerida per Tjörnström. Aquesta aproximació

permet modelar l'energia de curt-circuit, per a qualsevol valor de la capacitat de sortida de la porta, C_L . L'aproximació es millora incorporant els models $\alpha - power$ dels transistors, i modelant els temps de transició dels senyals d'entrada i de sortida en funció de les capacitats paràsites de les portes, i de les característiques de les xarxes P i N dels transistors.

Es consideren els dos límits fonamentals de l'energia de curt-circuit. Donat un temps de transició a l'entrada donat, l'energia de curt-circuit tendeix a zero si la capacitat de la sortida de la porta augmenta indefinidament. La raó és que, en el límit, no hi ha camí de tensió a terra durant la commutació, ja que la tensió de sortida no es veu modificada. De la mateixa manera, si la capacitat paràsita de sortida decreix cap a zero, el corrent conduït per les xarxes N i P està controlat pels modes de saturació dels transistors. En aquest darrer cas, l'energia de curt-circuit s'identifica com $E_S(t_{rFI}, C_L = 0)$. Per qualsevol altre cas intermedi del valor de C_L , l'energia de curt-circuit decreix monotònicament a mida que la capacitat C_L augmenta.

D'acord amb les simulacions fetes per Veendrick a [12], el valor de l'energia de curt-circuit depèn principalment de la relació entre els temps de transició dels senyals a l'entrada i a la sortida. Altres treballs refermen aquest comportament, [105] [123].

Una aproximació de l'energia de curt-circuit va ser proposada per Tjärnström a [24]. El seu model queda resumit en la següent expressió,

$$E_S = E_S(t_{rFI}, C_L = 0) \cdot \left(\frac{1}{1 + d \cdot \frac{t_{rFO}}{t_{rFI}}} \right) \quad (2.3)$$

En aquesta equació, t_{rFO} és el temps de transició del senyal de sortida, t_{rFI} el temps de transició de l'entrada. $E_S(t_{rFI}, C_L = 0)$ és l'energia de curt-circuit amb capacitat de càrrega nul·la i d un paràmetre que representa la disminució de l'energia, $E_S(t_{rFI}, C_L = 0)$, quan els temps de transició de l'entrada i de la sortida són iguals.

A la figura 2.1 es representa gràficament l'equació (2.3) per un temps d'entrada donat, en funció del temps de transició de la sortida. A l'eix d'ordenades es representa l'energia de curt-circuit en escala lineal, des del zero fins al màxim: $E_S(t_{rFI}, C_L = 0)$. L'eix d'abscises conté el temps de transició de la sortida, que varia de zero fins a infinit. Com es pot veure en les corbes del gràfic, l'equació connecta els dos límits, disminuint el valor de l'energia de curt-circuit a mesura que s'incrementa el temps de transició de la sortida. El punt en què els temps d'entrada i de sortida són iguals, s'indica amb una línia discontinua. La intersecció d'aquesta línia vertical

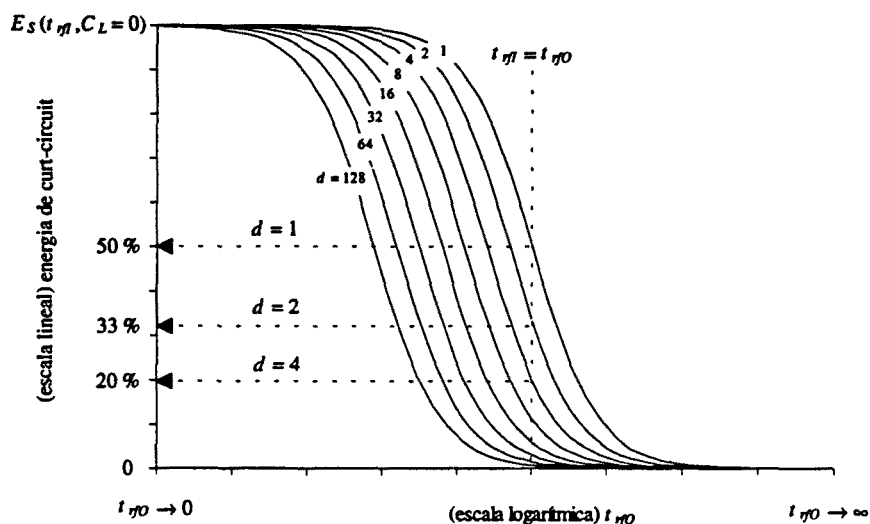


Figura 2.1: Evolució que presenta l'aproximació proposada per Tjörnström, per tal de predir l'energia de curtcircuit quan la capacitat de càrrega és diferent de zero. L'eix d'ordenades és l'energia de curtcircuit, quan la capacitat de sortida de la porta és nul·la i el temps de transició a l'entrada de la porta és t_{rFI} . L'eix d'abscises és el temps de transició de la sortida t_{rFO} . Quan la càrrega a la sortida de la porta augmenta, també ho fa el temps de transició t_{rFO} .

amb les corbes dona el punt $E(t_{rFI} = t_{rFO})$, que té representada la seva magnitud en forma de percentatge respecte el màxim a l'eix vertical. Tal com està previst, en augmentar el valor de d , disminueix el percentatge de $E(t_{rFI} = t_{rFO})$.

A [24], Tjörnström obté l'equació de $E_S(t_{rFI}, C_L = 0)$ amb un model resistiu pels transistors MOS. El valor de les resistències cal ajustar-lo per cada element de la llibreria. Igualment, s'assumeix que el paràmetre d és una constant. En aquest capítol, la $E_S(t_{rFI}, C_L = 0)$ s'obté a partir dels models α - power dels transistors i es troba una expressió que permet estimar el paràmetre d a fi de no haver de recórrer al simulador cada vegada que es canvia de porta. A continuació es calcula l'expressió de $E_S(t_{rFI}, C_L = 0)$ emprant els models α - power dels transistors.

Com que el model que es proposa està orientat a fer estimacions a nivell lògic, es fan una sèrie d'aproximacions de segon ordre que simplifiquen el

tractament de les expressions. En primer lloc s'assumeix que les tensions llindars dels transistors PMOS i NMOS són iguals, $V_{THN} = V_{THP} = V_{TH}$. D'igual manera es tracten les tensions de saturació, $V_{D0N} = V_{D0P} = V_{D0}$ i els índexs de saturació de la velocitat, $\alpha_N = \alpha_P = \alpha$. Seguint els mateixos passos que a [12] però amb els models $\alpha - power$ i considerant els transistors NMOS i PMOS diferents, s'obté l'expressió de l'energia de curt-circuit d'un inversor,

$$E_S(t_{rfl}, C_L = 0) = \frac{t_{rfl}}{\alpha + 1} \cdot \frac{1}{\left(\left(\frac{1}{I_{D0N}} \right)^{\frac{1}{\alpha}} + \left(\frac{1}{I_{D0P}} \right)^{\frac{1}{\alpha}} \right)^{\alpha}} \cdot \frac{(V_{DD} - 2 \cdot V_{TH})^{\alpha+1}}{(V_{DD} - V_{TH})^{\alpha}} \quad (2.4)$$

En aquesta expressió, t_{rfl} és el temps de transició de l'entrada, I_{D0N} el corrent de saturació del transistor NMOS i I_{D0P} el del PMOS. Cal fer notar, que l'expressió assumeix una rampa en la tensió d'entrada, proporcional al temps t_{rfl} .

Com que és preferible treballar amb capacitats en lloc de amb temps de transició, el temps de transició t_{rfl} s'estima a partir de la porta prèvia, excitant aquesta amb un graó de tensió. Fent aquesta simplificació del graó de tensió, l'expressió final de l'energia de curt-circuit queda únicament lligada a la porta prèvia. Altrament, si no s'assumís aquest graó de tensió a la porta prèvia, la dependència de l'energia es propagaria fins a les entrades primàries del circuit, involucrant totes les portes que es trobessin en el camí. Tot i això, la millora en la precisió del model seria petita donat que la dependència decreix ràpidament, a mesura que es van travessant portes en direcció a les entrades primàries.

Seguidament, es calcula l'expressió del temps de transició t_{rfl} , tenint en compte les restriccions plantejades en el paràgraf anterior. Aquesta expressió s'incorporarà posteriorment a l'equació (2.3) amb l'objectiu d'eliminar el temps de transició del model de l'energia.

A [30], Sakurai *et al.* calculen el model del temps de transició a la sortida d'un inversor equilibrat, utilitzant els models $\alpha - power$ i, partint d'un graó de tensió a l'entrada. Aquí, es segueixen els mateixos passos però per a un inversor no equilibrat, promitjant els temps de transició de pujada i de baixada. El model obtingut del temps de transició promig és el següent,

$$t_{rfl} = \frac{1}{0.8} \cdot C_L^I \cdot \left(\frac{1}{I_{D0N}^I} + \frac{1}{I_{D0P}^I} \right) \cdot \frac{V_{DD}}{2} \cdot (0.9 + v_{D0} \cdot (\ln(10 \cdot v_{D0}) - 1)) \quad (2.5)$$

Com que aquest model calcula el temps de transició entre el 10% i el

90% del senyal de sortida, es divideix per 0.8 per estendre aquest temps del 0% al 100% de la tensió, fent una aproximació lineal. En l'expressió anterior, C_L^I representa la capacitat paràsita que suporta la porta prèvia, que és també la capacitat de la línia d'entrada de la porta en la que s'avalua l'energia de transició. Igualment, els corrents de saturació corresponen als dels transistors de la porta prèvia. Com en el cas de l'expressió (2.4), les tensions de saturació dels transistors NMOS i PMOS es consideren iguals i estan normalitzades, $v_{D0} = \frac{V_{DD}}{V_{DD}}$.

Seguidament, s'obté l'expressió de l'energia de curt-circuit indicada a l'equació (2.3). Es substitueix el terme $E_S(t_{rfI}, C_L = 0)$ per l'expressió (2.4). De l'expressió resultant s'elimina t_{rfI} , substituint aquest per l'expressió donada a (2.5). El temps de transició de la sortida t_{rfO} , també s'estima a partir de l'expressió (2.5), però emprant els paràmetres $\{C_L^O, I_{D0N}^O, I_{D0P}^O\}$, enlloc dels $\{C_L^I, I_{D0N}^I, I_{D0P}^I\}$. Aquests nous paràmetres són: C_L^O la capacitat de càrrega de la porta on s'estima l'energia de curt-circuit i $\{I_{D0N}^O, I_{D0P}^O\}$ els corrents de saturació d'aquesta mateixa porta. Les capacitats de l'expressió resultant es substitueixen pel model de la capacitat mínima, $C = c_0 \cdot F$. Per a una porta genèrica, els corrents de saturació s'obtenen a partir de la connexió serie i paral·lela dels transistors de la xarxa. Si es pren com a restricció arquitectural la utilització de transistors NMOS i PMOS equilibrats, llavors els corrents de saturació equivalents de les xarxes es poden expressar en forma de les resistències *pentode* normalitzades, r_N i r_P , [30]. Per tant, es farà la següent substitució de paràmetres,

$$\frac{1}{I_{D0N}} = \frac{r_N}{V_{DD}} \cdot \frac{V_{DD}}{I_{D0}}$$

$$\frac{1}{I_{D0P}} = \frac{r_P}{V_{DD}} \cdot \frac{V_{DD}}{I_{D0}}$$

El terme $\left(\frac{V_{DD}}{I_{D0}}\right)$ és la resistència *pentode* dels transistors NMOS i PMOS equilibrats que hi ha dins de les xarxes N i P.

Finalment, després de totes les substitucions s'obté l'expressió de l'energia de curt-circuit que és,

$$E_S = \frac{1}{2} \cdot c_0 \cdot F^I \cdot V_{DD}^2 \cdot \frac{(r_N^I + r_P^I)}{\left(\left(\frac{r_N^O}{F^O}\right)^{\frac{1}{\alpha}} + \left(\frac{r_P^O}{F^O}\right)^{\frac{1}{\alpha}}\right)^{\alpha}} \cdot \left(\frac{1}{1 + d \cdot \left(\frac{F^O \cdot (r_N^O + r_P^O)}{F^I \cdot (r_N^I + r_P^I)}\right)}\right) \cdot \frac{1}{\alpha + 1} \cdot \frac{(1 - 2 \cdot v_{TH})^{\alpha + 1}}{(1 - v_{TH})^{\alpha}} \cdot \left(\frac{0.9}{0.8} + \frac{v_{D0}}{0.8} \cdot (\ln(10 \cdot v_{D0}) - 1)\right) \quad (2.6)$$

on r_N^I i r_P^I són les resistències *pentode* de la porta prèvia i r_N^O i r_P^O les de la porta avaluada. Les tensions de saturació i llindars estan normalitzades a la tensió d'alimentació.

Com que interessa tenir en una única expressió l'energia capacitiva i de curt-circuit, es sumen aquests dos termes obtenint-se l'energia de transició,

$$E = \frac{1}{2} \cdot c_0 \cdot F^O \cdot V_{DD}^2 + E_S$$

Si s'extreu la part adimensional d'aquesta expressió s'obté la mètrica *APSC*, és a dir,

$$E = \frac{1}{2} \cdot c_0 \cdot V_{DD}^2 \cdot APSC$$

Per tant, la mètrica és

$$APSC = F^O + \Theta \cdot \frac{F^I \cdot (r_N^I + r_P^I)}{\left((r_N^O)^\alpha + (r_P^O)^\alpha \right)^\alpha} \cdot \frac{1}{1+d \cdot \left(\frac{F^O \cdot (r_N^O + r_P^O)}{F^I \cdot (r_N^I + r_P^I)} \right)} \quad (2.7)$$

$$\Theta = \frac{1}{\alpha+1} \left(\frac{0.9}{0.8} + \frac{v_{D0}}{0.8} \cdot (\ln(10 \cdot v_{D0}) - 1) \right) \left(\frac{(1-2 \cdot v_{TH})^{\alpha+1}}{(1-v_{TH})^\alpha} \right)$$

Cal fer notar que la mètrica proposada és fàcil d'utilitzar a nivell lògic, donat que no necessita l'estimació dels temps de transició de les entrades ni de les sortides dels nodes. Tampoc no necessita els valors absoluts de les capacitats dels nodes del circuit. Les capacitats es modelen a partir del pes relatiu entre elles. La resta de paràmetres α , v_{D0} i v_{TH} són tecnològics i independents del *layout*.

A la propera secció es calcula una expressió teòrica per estimar el paràmetre d .

2.5 Model per al paràmetre d

Tal com s'ha indicat prèviament, el paràmetre d representa la disminució que experimenta l'energia de curt-circuit quan els temps de l'entrada i de la sortida de la porta s'igualen, veure figura 2.1. En una primera aproximació, aquest paràmetre es pot prendre com a una constant per a cada tipus de porta. No obstant això, aquest es pot veure també afectat pel tipus d'excitació que rebí la porta. És per això que, en aquest apartat, es proposa un model que permet estimar d en funció del tipus de porta i d'excitació.

La metodologia emprada per a aconseguir el model de d és la següent. En primer lloc es calcula l'expressió de l'energia de curt-circuit, E_S , per a

un temps de transició d'entrada i de sortida. Després, aquesta expressió es substitueix a (2.3) i s'aïlla el terme d .

Malauradament, el càlcul de l'expressió de E_S exacta que inclogui la capacitat de càrrega de la porta, resulta complex i de difícil manipulació, inclús per a un inversor senzill. Per a poder abordar l'expressió de E_S , es linealitzava inicialment la tensió de sortida. La linealització ha de complir que els temps de transició de la sortida, linealitzada i no linealitzada siguin els mateixos. Això s'aconsegueix fent la substitució de la capacitat de sortida per una font de tensió controlada. Aquesta font, imposa una rampa de tensió durant un temps prefixat, veure figura 2.2. D'aquesta manera, per a una

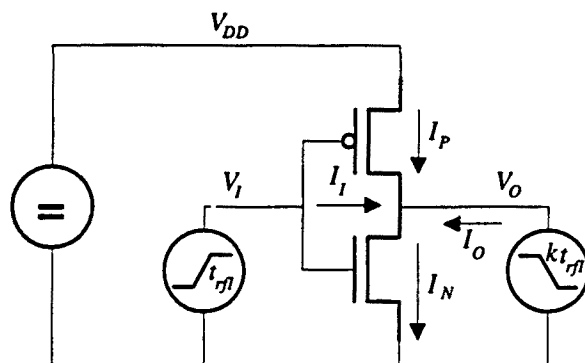


Figura 2.2: El model per estimar el paràmetre d s'obté calculant l'energia de curt-circuit, suposant que l'inversor està excitat per dues fonts de tensió controlades, una a l'entrada i l'altra a la sortida de la porta. Les dues fonts de tensió imposen dues rampes amb temps de transició coneguts.

rampa de pujada a l'entrada de la porta, el corrent que circula pel transistor PMOS és independent de les característiques del transistor NMOS.

L'energia de curt-circuit s'obté integrant el corrent que passa pel transistor PMOS(NMOS), segons sigui una rampa de pujada o de baixada a l'entrada de la porta. En el cas de la rampa de pujada, mostrat a la figura 2.2, s'integra el corrent I_P que depèn únicament dels paràmetres del transistor PMOS. El corrent I_I produeix un efecte de segon ordre sobre el corrent de curt-circuit, a través de les capacitats d'acoblament, porta-drenador i porta-surtidor dels transistors. Aquest corrent indueix sobretensions al node de sortida, que pot fer disminuir l'energia de curt-circuit real. En el model plantejat en aquesta secció, no es considera la influència de I_I , amb

l'objectiu de mantenir manipulable la complexitat de les expressions. En la figura 2.2, la utilització d'una font de tensió per controlar la sortida de l'inversor, elimina automàticament la influència de I_I .

L'evolució de les tensions d'entrada i de sortida, proposada a la figura 2.2, es representa gràficament a la figura 2.3. Es representa amb traç fi

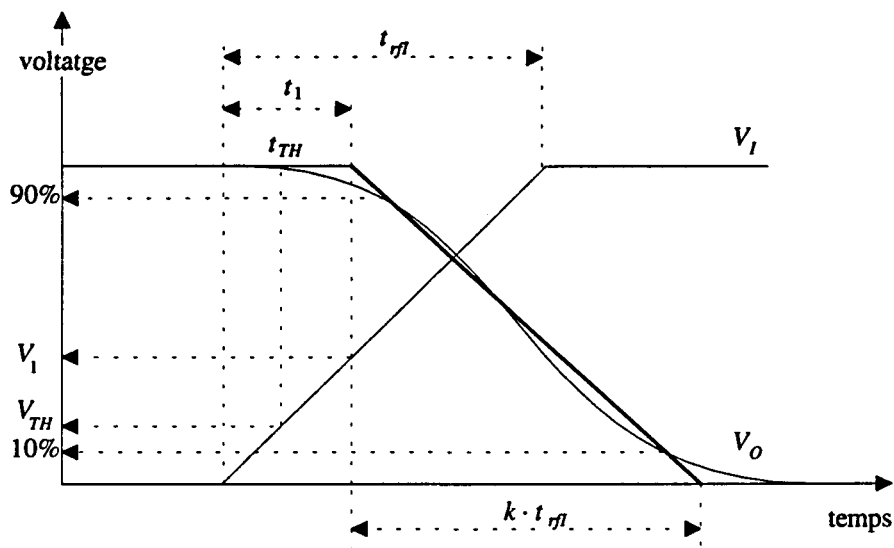


Figura 2.3: Aproximació lineal de la tensió de sortida de la porta, utilitzada per estimar el paràmetre d . El pendent de sortida de la porta, $k \cdot \tau_I$ es fa tendir a infinit amb l'objectiu de minimitzar l'error d'aproximació.

l'evolució real de la tensió de sortida i amb traç gruixut l'aproximació lineal. A fi d'obtenir la millor aproximació, la rampa començarà t_1 segons després de l'entrada. En general $t_1 \geq t_{TH}$ on t_{TH} és el moment en què el transistor NMOS comença a conduir.

Un cop obtinguda l'expressió de l'energia de curt-circuit, E_S , es substitueix a (2.3) i s'aïlla el terme d . L'error que pugui representar l'aproximació lineal de la tensió de sortida, es minimitza augmentant el temps de transició de sortida, fent-lo tendir a infinit.

Per a una transició de baixada al node de sortida, l'energia de curt-circuit s'obté integrant el corrent I_P en dos passos. Primer, dins de l'interval de temps $[t_1, t_{tp}]$, el transistor PMOS està en la regió *triode*. Després, dins de

l'interval $[t_{tp}, t_2]$, el transistor passa a treballar a la regió *pentode*. Per a un índex de saturació de velocitat de $\alpha = 2$, una tensió de saturació igual a $V_{D0} = (V_{DD} - V_{TH})$, un temps de transició a la sortida de $t_{rfo} = k \cdot t_{rfi}$ i definint el quocient entre els temps t_1 i t_{TH} com a paràmetre $p = \frac{t_1}{t_{TH}}$, els instants de temps dels intervals són,

$$\begin{cases} t_1 = p \cdot v_{TH} \cdot t_{rfi} \\ t_{tp} = \frac{k \cdot t_{rfi} + v_{TH} \cdot (p \cdot t_{rfi} - k \cdot t_{rfi})}{1+k} \\ t_2 = (1 - v_{TH}) \cdot t_{rfi} \end{cases}$$

Després d'integrar i promitjar l'energia de curt-circuit en les transicions de pujada i de baixada, s'obté la següent expressió,

$$E_S = \frac{1}{6} \cdot V_{DD} \cdot \left(\frac{I_{D0N} + I_{D0P}}{2} \right) \cdot t_{rfi} \cdot \frac{(1 - (1+p) \cdot v_{TH})^3}{(1 - v_{TH})^2} \cdot \frac{(k+2)}{(1+k)^2}$$

Substituint E_S a l'equació (2.3), s'aïlla $d(k)$ i es calcula el límit de $k \rightarrow \infty$. Finalment s'obté,

$$d = 4 \cdot \frac{(1 - 2 \cdot v_{TH})^3}{(1 - (1+p) \cdot v_{TH})^3} \cdot \frac{1}{\left(\sqrt{r_N^O} + \sqrt{r_P^O} \right)^2} \cdot \frac{1}{\left(\frac{1}{r_N^O} + \frac{1}{r_P^O} \right)}$$

Per a una α i V_{D0} genèriques l'expressió serà,

$$d = \Phi \cdot \frac{1}{\left(\sqrt[\alpha]{r_N^O} + \sqrt[\alpha]{r_P^O} \right)^\alpha} \cdot \frac{1}{\left(\frac{1}{r_N^O} + \frac{1}{r_P^O} \right)} \quad (2.8)$$

El terme Φ , pot ser irresoluble analíticament per a alguns valors de α . Ara bé, com que depèn de paràmetres tecnològics i de la p , el seu valor es pot estimar simulant l'inversor elemental de la llibreria emprada.

A la propera secció es compara el model, amb els resultats obtinguts de les simulacions fetes amb HSPICE.

2.6 Validació de la mètrica

La validació de la mètrica, es realitza comparant els resultats d'aquesta, amb simulacions fetes amb HSPICE. S'ha implementat un conjunt de portes; format per una porta NOT i portes NOR i NAND de 2, 3, 4 i 5 entrades.

Les portes s'han dissenyat utilitzant transistors PMOS i NMOS equilibrats i implementats amb una tecnologia de $0.7\mu\text{m}$, ECPD07 de ES2. En la simulació amb HSPICE, s'utilitzen els models del nivell 13. Els paràmetres α i V_{TH} es promitgen pels dos transistors i, V_{D0} i Φ s'obtenen a partir de la simulació de la porta NOT.

A la figura 2.4, es mostra l'esquema elèctric utilitzat en el simulador

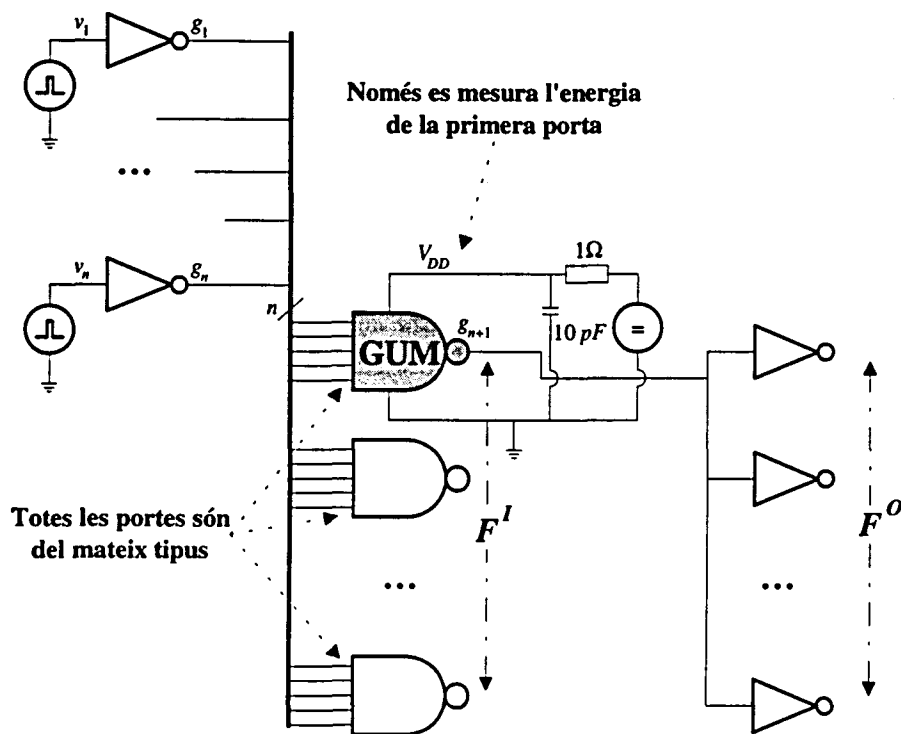


Figura 2.4: Circuit elèctric utilitzat en el simulador HSPICE, per estimar l'energia de transició d'una porta GUM. Es proven diferents combinacions de pesos a les entrades i sortides. El pes de les entrades de la porta, F^I , es controla connectant diverses portes del mateix tipus que la GUM en paral·lel. El pes de la sortida, F^O , s'augmenta afegint inversors en paral·lel a la sortida.

HSPICE, per a obtenir l'energia de transició de la porta investigada (GUM), per a diferents combinacions de pesos a l'entrada i a la sortida. La porta GUM està connectada a una font de tensió independent, a través d'una resistència de 1Ω i una capacitat de desacoblament de 10 pF . L'energia

	NMOS	PMOS	model
I_{D0}	3.46 mA	3.25 mA	
V_{DD}	5 V	5 V	5 V
V_{TH}	0.78 V	0.88 V	0.83 V
α	1.28	1.45	1.37
V_{D0}			1.70 V
Φ			30.91

Taula 2.1: Paràmetres utilitzats en la mètrica d'estimació de l'energia de transició, extrets de la tecnologia de $0.7\mu\text{m}$, ECPD07 de ES2, emprada en les simulacions.

s'obté integrant el producte del corrent que passa per la resistència i la caiguda de tensió a la capacitat de desacoblament, al llarg d'un període (transicions de pujada i baixada). Les entrades de la porta GUM estan excitades per inversors elementals que, a la vegada, ho estan per fonts de tensió periòdiques. Hi ha tants inversors com entrades té la porta GUM. La sortida, està connectada a una altra porta inversora. El pes del node de sortida, F^O , es modifica posant portes inversores en paral·lel. El pes dels nodes d'entrada, F^I , es pot augmentar posant portes similars a la GUM, en paral·lel. En aquest darrer cas, només es mesura l'energia de la porta GUM. Com més gran sigui el pes de F^I (F^O) més lenta serà la transició del senyal d'entrada(sortida).

A la taula 2.1, es presenten els valors utilitzats per fer les estimacions de l'energia de transició, amb la mètrica proposada. A les columnes "NMOS" i "PMOS", hi ha els paràmetres corresponents als models $\alpha - power$, i a la columna "model", els paràmetres utilitzats en la mètrica. Cal recordar que la V_{D0} i la Φ , s'han obtingut a partir de la simulació d'una porta NOT mínima.

Per a poder convertir el valor de la mètrica en energia, cal estimar el valor de la capacitat c_0 . Aquesta s'obté, a partir del pendent que presenta l'energia, quan el *fanout* de la sortida, F^O , es modifica de 1 fins a 100, mantenint el pes de les entrades a $F^I = 1$.

Totes les portes, tenen unes capacitats paràsites internes, que també consumeixen energia de manera independent a la magnitud del *fanout*. Aquesta capacitat paràsita interna, c_{int} , també s'ha estimat a partir de la constant a l'origen resultant del càlcul de c_0 .

La primera porta emprada en la validació és la NOT. L'equació ajustada que estima l'energia d'aquesta porta és,

$$E_{\text{període}} = c_{\text{int}} \cdot V_{DD}^2 + c_0 \cdot V_{DD}^2 \cdot APSC$$

$$E_{\text{període}}(\text{pJ}) = 0.9960 + 1.478 \cdot \left(F^O + F^I \cdot \frac{0.2041}{1 + 6 \cdot \frac{F^O}{F^I}} \right)$$

La porta inversora té un únic transistor a la xarxa P i a la xarxa N. Com que l'inversor que s'avalua està excitat per un altre inversor de les mateixes característiques, totes les resistències *pentode* del model valdran la unitat, $r_N^I = r_P^I = r_N^O = r_P^O = 1$. A la taula 2.2 es presenten els resultats. Les

F^I	F^O	NOT (energia d'un període sencer)			
		$c_0 = 59.10 \text{ fF}, c_{\text{int}} = 39.84 \text{ fF}, d = 6$			
		HSPICE	Estimació amb el model		
		(pJ)	capacitiu (pJ)	període (pJ)	error (%)
100	1	31.03	2.47	30.93	0.33
50	1	16.05	2.47	15.94	0.69
20	1	7.22	2.47	7.11	1.41
10	1	4.40	2.47	4.36	1.01
5	1	3.14	2.47	3.16	0.74
2	1	2.58	2.47	2.62	1.92
1	1	2.49	2.47	2.52	0.99
1	2	3.99	3.95	3.97	0.47
1	5	8.46	8.38	8.39	0.75
1	10	15.95	15.77	15.78	1.09
1	20	30.73	30.55	30.55	0.59
1	50	75.03	74.87	74.87	0.21
1	100	148.80	148.75	148.75	0.03

Taula 2.2: Validació de la mètrica proposada emprant el simulador HSPICE en una porta inversora. La columna " F^I " és el pes de les entrades. La columna " F^O " és el pes del node de sortida. L'energia estimada amb HSPICE es troba a la columna "HSPICE". L'energia estimada amb un model purament capacitiu està indicada a la columna "capacitiu". L'energia estimada amb la mètrica proposada es troba a la columna "període". L'error entre "HSPICE" i "període" està a la columna "error". L'error màxim és del 1.92% i confirma el bon comportament de la mètrica en la porta inversora.

dues columnes de l'esquerra de la taula, " F^I " i " F^O ", indiquen els pesos

assignats als nodes d'entrada i de sortida de l'inversor. Ambdós valen 1 a la fila del mig de la taula. Anant cap a dalt, s'incrementa el pes de l'entrada, " F^I ", mantenint el de sortida a 1. De la mateixa manera, anant cap avall, s'incrementa el de sortida, " F^O ", i es manté el d'entrada a 1. A la columna "HSPICE", es dona l'energia estimada pel simulador durant un període sencer. A la columna "capacitiu", es mostra l'energia estimada únicament a partir de les capacitats paràsites, que és $E_C = 0.9960 + 1.478 \cdot F^O$. A la columna "període", es presenta l'energia estimada amb la mètrica proposada i, a la columna "error", l'error que hi ha entre els valors de les columnes "període" i "HSPICE". Aquest error es calcula com,

$$\text{error} = \frac{|\text{HSPICE} - \text{període}|}{\text{HSPICE}}$$

A l'encapçalament de la taula, es presenten també els valors de les capacitats paràsites c_0 , c_{int} i, el paràmetre d .

Tal com es pot veure a la taula, l'energia augmenta en incrementar qual-sevol dels dos pesos. Si s'augmenta el pes de la sortida, l'energia creix degut al consum capacitiu. En canvi, si s'incrementa el pes de l'entrada, l'energia augmenta degut al curt-circuit. Per exemple, en el cas $F^I = 10$ i $F^O = 1$, que equival a tenir un inversor connectat a la sortida d'una porta amb *fanout* 10, l'energia de curt-circuit representa pràcticament la meitat de l'energia consumida per la porta. En aquest cas, l'error de la mètrica és del 1.01% comparant-lo amb HSPICE. L'error màxim mostrat a la taula, és del 1.92%, que es dona en el cas $F^I = 2$ i $F^O = 1$. L'error mínim, és del 0.03%, en el cas $F^I = 1$ i $F^O = 100$. En aquest darrer cas, el curt-circuit és pràcticament inexistent. A la figura 2.5 es representen gràficament els valors mostrats a la taula.

En la taula 2.3, es resumeixen les validacions fetes amb altres portes NORs i NANDs de 2, 3, 4 i 5 entrades. En tots els casos es fan commutar totes les entrades, al llarg d'un període sencer. Posteriorment, a una NAND5, es proven commutacions en diferents combinacions d'entrades. En aquesta, s'indiquen els paràmetres que necessita el model, per a fer l'estimació segons l'expressió següent,

$$E_{\text{període}}(pJ) = A_1 + A_2 \cdot \left(F^O + F^I \cdot \frac{A_3}{1 + d \cdot \frac{F^O}{F^I} \cdot A_4} \right) \quad (2.9)$$

A la taula 2.4, es presenten els resultats de la validació. La taula conté els resultats de les 12 simulacions indicades a la taula 2.3, veure la columna

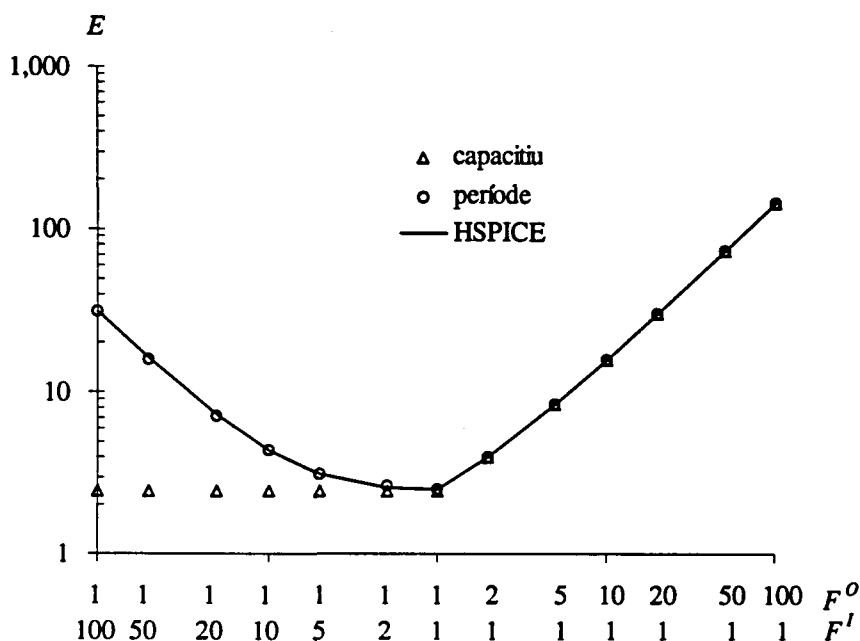


Figura 2.5: Representació gràfica dels valors presentats a la taula anterior. L'eix abscisses correspon a les columnes " F^I " i " F^O ". L'eix d'ordenades a l'energia d'un període sencer. A la gràfica es representen les columnes "capacitiu" amb triangles, "període" amb cercles i "HSPICE" amb traç continu.

"Cas". A la capçalera de cadascuna de les seccions de la taula 2.4, s'indica el tipus de porta que s'ha utilitzat en la simulació. En les 4 seccions de la part inferior de la taula, es simula una NAND5 a la que únicament es fan commutar algunes entrades. Juntament amb l'etiqueta "NAND5" s'indica el cas al que correspon, descrit a la taula 2.3. Cada secció, mostra els resultats de la simulació elèctrica, columna "HSPICE" i, de l'estimació feta amb la mètrica " $E_{període}$ ". L'error es calcula tal com s'ha descrit prèviament i es mostra a la columna "error". La combinació de pesos que s'experimenta, és la mateixa que la utilitzada en la porta NOT i, es troba indicada a les dues columnes que hi ha a l'esquerra de la taula, columnes " F^I " i " F^O ". En tots els casos, s'observa el mateix comportament que en l'inversor. Tant a l'augmentar els pesos de les entrades com el de la sortida, l'energia de transició augmenta. Aquest creixement és degut a un increment de les capacitats

Cas	Porta	Entrades que commuten	r_N^I	r_P^I	r_N^O	r_P^O	c_0 (fF)	c_{int} (fF)	d	A_1 (pJ)	A_2 (pJ)	A_3	A_4
1	NAND2	totes	1	1	2	1/2	59.10	72.23	4.054	1.806	1.477	0.1724	1.250
2	NOR2	totes	1	1	1/2	2	58.21	59.73	4.054	1.493	1.455	0.1724	1.250
3	NAND3	totes	1	1	3	1/3	59.15	97.87	2.410	2.447	1.479	0.1367	1.667
4	NOR3	totes	1	1	1/3	3	59.18	98.37	2.410	2.459	1.480	0.1367	1.667
5	NAND4	totes	1	1	4	1/4	59.24	121.23	1.537	3.031	1.481	0.1111	2.125
6	NOR4	totes	1	1	1/4	4	59.21	80.22	1.537	2.006	1.480	0.1111	2.125
7	NAND5	totes	1	1	5	1/5	59.48	138.42	1.051	3.461	1.487	0.0930	2.600
8	NOR5	totes	1	1	1/5	5	59.09	88.09	1.051	2.202	1.477	0.0930	2.600
9	NAND5	una (NMOS proper a la sortida)	1	1	5	1	59.43	112.51	3.572	2.813	1.486	0.0729	3.000
10	NAND5	dos (NMOS lluny de la sortida)	1	1	5	1	59.41	194.36	3.572	4.859	1.485	0.0729	3.000
11	NAND5	dos (NMOSs lluny i proper)	1	1	5	1/2	59.91	123.95	2.229	3.099	1.498	0.0834	2.750
12	NAND5	tres (NMOSs lluny, mig i proper)	1	1	5	1/3	60.12	133.60	1.620	3.340	1.503	0.0882	2.667

Taula 2.3: Taula resum dels assaigs fets amb les portes de dues o més entrades. A la columna "Porta" s'indica el tipus de porta i el seu nombre d'entrades. A la columna "Entrades que commuten" es mostren el nombre d'entrades que es fan commutar. A les columnes següents es poden trobar els valors de les resistències *pentode* dels inversors que exciten les portes " r_N^I ", " r_P^I " i, de la porta on s'estima l'energia, " r_N^O ", " r_P^O ". Més a la dreta es pot veure el valor de c_0 i c_{int} de les portes a les columnes " c_0 " i " c_{int} ", estimats a partir de les simulacions amb HSPICE. El paràmetre d del model s'ha calculat amb el model proposat anteriorment i es llista a la columna " d ". Finalment, les columnes " A_1 ", " A_2 ", " A_3 " i " A_4 " es donen els valors que permeten fer l'estimació de l'energia segons el model proposat, a partir de l'equació (2.9).

paràsites quan s'augmenta F^O , i a un increment del corrent de curt-circuit quan s'augmenta F^I .

Els resultats de la taula es resumeixen tal com segueix. Durant la commutació de totes les entrades de la porta, l'error màxim que s'obté del model és del 10.84%, sempre que el pes d'aquestes no superi el valor de 20. Aquest error es pot trobar en la porta NOR de tres entrades quan els pesos de les entrades i de la sortida valen $F^I = 10$ i $F^O = 1$. Si el pes de les entrades supera el nivell de 20, llavors l'error màxim és del 12.45%. Aquest error es troba en la porta NAND de cinc entrades amb una combinació de pesos $F^I = 100$ i $F^O = 1$.

En els casos en que no commuten totes les entrades, els errors són els següents. Si el pes de les entrades es manté per sota de 20, l'error màxim és del 6.1%. Aquest error correspon a la porta NAND de cinc entrades on commuta només una entrada i que té una combinació de pesos de $F^I = 20$ i $F^O = 1$. L'entrada de commuta és la que controla el transistor NMOS que està més lluny de la sortida de la porta. Si el pes s'augmenta per sobre de 20, l'error màxim obtingut és del 41.33%. Aquest error s'obté en la mateixa porta esmentada anteriorment però amb una combinació de pesos de $F^I = 100$ i $F^O = 1$.

F ⁱ	F ^o	NAND2			NOR2			NAND3			NOR3		
		HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)
100	1	29.59	27.53	6.97	25.76	26.83	4.14	26.16	23.35	10.73	26.16	23.38	10.63
50	1	15.41	14.85	3.65	13.54	14.34	5.90	13.87	13.28	4.27	13.87	13.30	4.13
20	1	7.16	7.35	2.58	6.44	6.95	7.93	6.85	7.29	6.43	6.85	7.31	6.65
10	1	4.64	4.97	7.22	4.28	4.61	7.74	4.86	5.37	10.55	4.86	5.38	10.84
5	1	3.61	3.92	8.44	3.39	3.57	5.51	4.17	4.49	7.55	4.17	4.50	7.88
2	1	3.29	3.43	4.33	3.02	3.09	2.43	3.98	4.06	1.98	3.98	4.07	2.32
1	1	3.28	3.33	1.41	2.96	2.99	0.94	3.94	3.97	0.78	3.94	3.98	1.12
1	2	4.81	4.78	0.45	4.48	4.43	1.18	5.47	5.43	0.87	5.49	5.44	0.82
1	5	9.31	9.20	1.19	8.97	8.78	2.17	10.02	9.85	1.70	10.04	9.87	1.72
1	10	16.75	16.58	0.99	16.38	16.05	2.02	17.53	17.24	1.66	17.52	17.26	1.48
1	20	31.55	31.36	0.61	31.19	30.60	1.90	32.36	32.02	1.04	32.41	32.05	1.10
1	50	75.84	75.68	0.22	75.30	74.25	1.39	76.68	76.38	0.39	76.73	76.44	0.38
1	100	149.60	149.55	0.04	146.90	147.01	0.07	150.40	150.31	0.06	150.50	150.42	0.05
F ⁱ	F ^o	NAND4			NOR4			NAND5			NOR5		
		HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)
100	1	23.27	20.44	12.14	19.21	19.41	1.04	21.02	18.40	12.45	17.42	17.05	2.14
50	1	12.63	12.23	3.14	10.71	11.20	4.61	11.78	11.50	2.37	10.15	10.19	0.39
20	1	6.76	7.34	8.52	6.09	6.31	3.63	6.97	7.38	5.93	6.32	6.10	3.53
10	1	5.29	5.75	8.82	4.79	4.73	1.43	5.80	6.03	4.02	5.12	4.76	7.03
5	1	4.78	5.01	4.75	4.14	3.98	3.74	5.40	5.39	0.16	4.42	4.12	6.77
2	1	4.59	4.64	0.97	3.68	3.61	1.86	5.13	5.06	1.34	3.88	3.80	2.17
1	1	4.51	4.55	1.01	3.49	3.52	1.01	5.03	4.98	0.98	3.69	3.72	0.60
1	2	6.07	6.01	0.91	5.02	4.99	0.72	6.62	6.46	2.49	5.23	5.18	1.01
1	5	10.66	10.44	2.02	9.56	9.42	1.55	11.29	10.90	3.41	9.81	9.60	2.11
1	10	18.15	17.84	1.68	17.05	16.81	1.40	19.19	18.34	4.45	17.32	16.98	1.96
1	20	33.07	32.65	1.27	31.88	31.61	0.84	34.29	33.20	3.17	32.09	31.75	1.06
1	50	77.47	77.08	0.51	76.23	76.01	0.28	78.66	77.81	1.08	76.50	76.07	0.57
1	100	151.20	151.12	0.05	150.10	150.02	0.05	152.40	152.16	0.16	150.00	149.93	0.05
F ⁱ	F ^o	NAND5 (cas 9)			NAND5 (cas 10)			NAND5 (cas 11)			NAND5 (cas 12)		
		HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)	HSPICE (pJ)	E _{període} (pJ)	error (%)
100	1	19.50	14.08	27.77	27.49	16.13	41.330	21.98	16.37	25.536	21.96	17.55	20.08
50	1	10.60	8.76	17.36	15.01	10.80	28.017	12.11	10.16	16.098	12.15	10.94	9.93
20	1	5.97	5.71	4.43	8.26	7.75	6.092	6.69	6.51	2.649	6.86	7.02	2.36
10	1	4.83	4.82	0.18	6.68	6.87	2.818	5.29	5.37	1.474	5.53	5.77	4.24
5	1	4.45	4.47	0.53	6.31	6.52	3.340	4.78	4.88	2.075	5.05	5.20	2.98
2	1	4.30	4.33	0.66	6.30	6.38	1.325	4.59	4.66	1.547	4.91	4.93	0.32
1	1	4.29	4.31	0.43	6.34	6.35	0.214	4.58	4.61	0.853	4.83	4.87	0.87
1	2	5.78	5.79	0.15	7.82	7.83	0.186	6.07	6.10	0.488	6.34	6.36	0.25
1	5	10.24	10.24	0.03	12.28	12.29	0.064	10.55	10.59	0.392	10.87	10.86	0.09
1	10	17.64	17.67	0.17	19.68	19.71	0.171	17.96	18.08	0.658	18.34	18.37	0.18
1	20	32.47	32.53	0.18	34.50	34.57	0.194	32.85	33.05	0.623	33.29	33.40	0.33
1	50	76.99	77.10	0.14	79.05	79.13	0.098	77.99	77.99	0.005	78.22	78.49	0.34
1	100	151.40	151.38	0.01	153.40	153.40	0.003	152.80	152.87	0.048	153.70	153.63	0.04

Taula 2.4: Resultats de la validació de la mètrica, amb les simulacions HSPICE, per a diferents tipus de portes de dues o més entrades. La descripció de cada cas es troba a la taula 2.3.

A partir dels errors obtinguts es pot observar que per pesos majors de 20, esdevenen més importants altres efectes no contemplats en el model i, per tant, l'error augmenta considerablement. Aquest augment de l'error es dona principalment en aquelles portes que tenint moltes entrades commuti únicament una d'elles. Per pesos inferiors a 20, el model es comporta adequadament en tots els casos verificats. Si es té en compte que en la majoria de circuits els *fanouts* no superen el valor de 20, aquest model es pot considerar adequat per a fer estimacions de l'energia de transició a nivell lògic. En els circuits ISCAS-85, el *fanout* més gran que s'ha trobat és de 16.

A l'apartat que vé a continuació es defineixen unes cotes a l'energia de transició i es verifiquen en un circuit de prova.

2.7 Cotes a la contribució de l'energia de curt-circuit

L'energia de curt-circuit depèn de les característiques tecnològiques, de l'arquitectura i de la manera d'excitar les portes del circuit. Per identificar el nivell màxim de l'energia de curt-circuit d'una porta cal buscar, doncs, l'excitació adequada de les seves entrades. Això pot ser una tasca difícil, sobretot si el circuit té un nivell de profunditat elevat. En aquest apartat es proposa un mètode alternatiu consistent en el càlcul d'un interval a la contribució màxima i mínima que té l'energia de curt-circuit en l'energia de transició de cada porta. Aquest interval queda definit per dues cotes, superior i inferior.

Les dues cotes s'obtenen en base a la mètrica proposada a l'equació 2.7. Es té una cota superior de l'activitat ponderada, $CS[APSC]$, si s'assumeix que totes les entrades d'una porta commuten i que l'entrada que sigui més lenta domina la commutació del node de sortida. Contràriament, es té una cota inferior, $CI[APSC]$, si es considera que commuta únicament l'entrada que sigui més ràpida. Es fa notar, que una entrada lenta(ràpida) es aquella que tingui el producte $F^I \cdot (r_N^I + r_P^I)$ més gran(petit). Aclarir també que, dir que totes les entrades commuten comporta el càlcul de les r_N^O i r_P^O més petites possibles i semblantment, la commutació d'una sola entrada implica el càlcul dels valors r_N^O i r_P^O més grans possibles, d'acord amb l'arquitectura de la porta.

Es defineix la contribució percentual de l'energia de curt-circuit en l'energia

de transició d'una porta com,

$$cps = \frac{APSC - F^O}{APSC} * 100$$

on $APSC$ és la mètrica d'activitat ponderada de curt-circuit i capacitiva i, F^O la mètrica d'activitat ponderada únicament capacitiva.

Utilitzant les dues cotes de l'activitat ponderada, definides en els paràgrafs anteriors, la contribució percentual del curt-circuit, cps , es pot acotar de la següent manera,

$$CI[cps] = \frac{CI[APSC] - F^O}{CI[APSC]} * 100 \quad CS[cps] = \frac{CS[APSC] - F^O}{CS[APSC]} * 100$$

El càlcul d'aquestes dues cotes per a cada porta del circuit és immediat, donat que no és necessària cap assignació de valors lògics a les entrades.

A títol d'exemple, es calculen les contribucions percentuals del curt-circuit, de cadascuna de les portes del circuit C1908. El disseny original del circuit s'adapta inicialment a les portes de la llibreria emprada anteriorment en la validació del model. El circuit original conté portes AND, NAND, NOR, NOT i BUF. En la nova versió les portes AND es transformen a NAND&NOT i les BUF a NOT&NOT. El tamany de les portes va desde 1 fins a 8 entrades i, els *fanouts* de 1 fins a 16. Els resultats de la contribució percentual es presenten a la gràfica de la figura 2.6.

L'eix d'abscisses representa cadascuna de les portes del circuit. N'hi ha un total de 880, ordenades d'esquerra a dreta segons la cota inferior, $CI[cps]$. A l'eix d'ordenades hi ha la cps . Si es defineix un nivell arbitrari de la $cps = 20\%$, els resultats indiquen que hi ha un total de 36 portes que tenen la cota inferior per damunt d'aquest nivell. Semblantment, hi ha un total de 96 portes que tenen la cota superior per damunt d'aquest 20%. Segons això, durant l'operació normal del circuit un mínim de 36 portes (un 4% del total de portes), tindran sempre un nivell de curt-circuit superior al 20%. Malgrat això, aquest nivell no serà mai superat per més de 96 portes (un 11% del total de portes). La $CS[cps]$ més elevada és del 67%. Aquest nivell s'observa en una porta NAND de cinc entrades, on una d'elles està connectada a una porta NOT amb *fanout* 16. La sortida de la NAND té *fanout* 1. En el cas de que la porta estigui excitada per aquesta entrada, el pes de 16 incrementarà significativament el temps de transició de l'entrada, augmentant alhora el curt-circuit fins a aquest nivell del 67%.

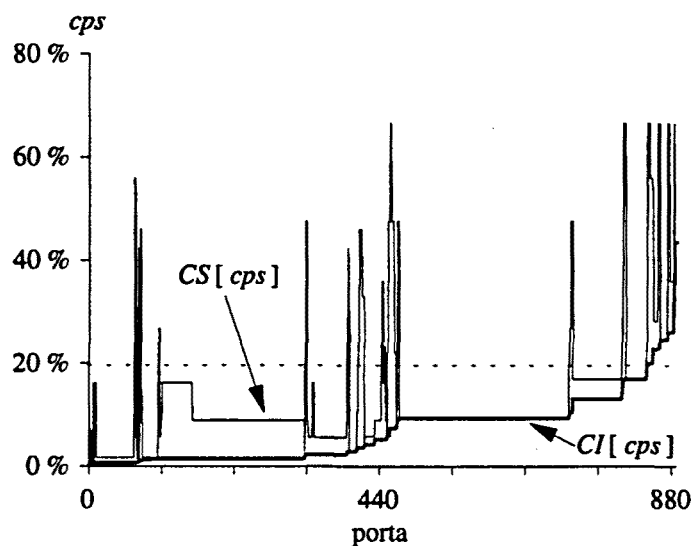


Figura 2.6: Cota superior i inferior de la contribució percentual que tenen les portes del circuit C1908, ordenades per ordre creixent de la cota inferior $CI[cps]$.

2.8 Cotes a l'energia de transició

En els estimadors d'energia de transició ràpids, aquesta es calcula per mitjà de mètriques capacitives, com la AP . L'energia d'una transició en una porta concreta, AP_i , es multiplica pel nombre de transicions que fa la porta, s_i . La mètrica global que estima l'energia de tot el circuit és el resultat de la suma de cadascun dels productes $AP_i \cdot s_i$ al llarg de totes les portes del circuit.

Utilitzant aquesta mateixa estratègia, és possible calcular un interval per a l'estimació de l'energia de transició global d'un circuit, que inclogui l'energia de curt-circuit. Aquest interval es defineix amb dues cotes, inferior i superior. La cota inferior s'obté de la substitució de la mètrica purament capacitiva de cada porta, AP_i , per la cota inferior definida en l'apartat anterior $CI[APSC_i]$. Semblantment, la cota superior s'obté fent la substitució de AP_i per $CS[APSC_i]$. Per tant, l'estimació de l'energia de transició global d'un circuit, que inclogui els efectes del curt-circuit, $APSC$, queda acotada

de la següent manera,

$$\sum_{\forall i} s_i \cdot CI[APSC_i] \leq APSC \leq \sum_{\forall i} s_i \cdot CS[APSC_i]$$

Com a exemple, es fa el càlcul d'aquestes cotes pel circuit C1908. Es simulen 1000 parelles de vectors i inicialment s'estima l'energia emprant la mètrica capacitiva AP . Posteriorment es repeteix la simulació utilitzant les mètriques $CI[APSC]$ i $CS[APSC]$. Els resultats obtinguts es presenten a la figura 2.7.

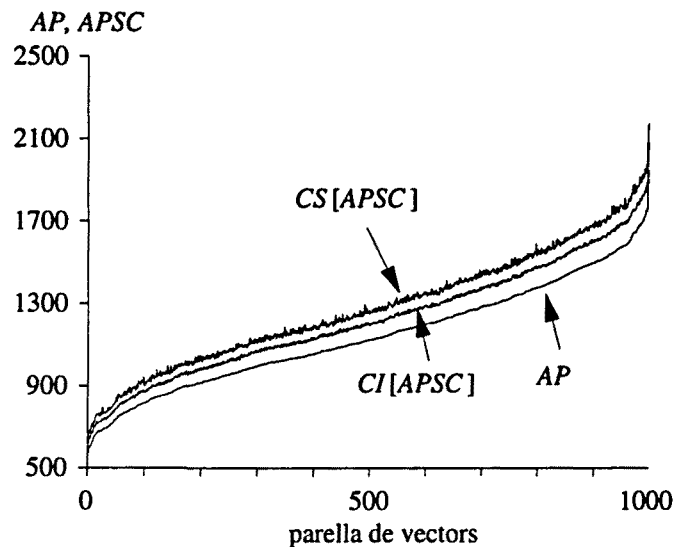


Figura 2.7: Energia de transició global del circuit C1908. En el gràfic es presenten l'energia capacitiva, AP , i les cotes inferior, $CI[APSC]$, i superior, $CS[APSC]$, de l'energia de transició incloent l'energia de curt-circuit.

L'eix d'abscisses de la gràfica correspon a les parelles de vectors ordenades, d'esquerra a dreta, segons la mètrica capacitiva, AP . A l'eix d'ordenades hi ha l'activitat ponderada¹. Els resultats indiquen que la mètrica $CI[APSC]$

¹Es recorda que les unitats d'activitat ponderada corresponen a unitats d'energia normalitzades a l'energia consumida per la commutació de la capacitat paràsita mínima del circuit, c_0 .

és superior a la mètrica capacitiva desde un 5.7% fins a un 8.6%, segons la parella de vectors simulada. En el cas de la cota superior, $CS[APSC]$, aquesta està per sobre de la mètrica capacitiva entre un 9.7% i un 16.2%. Per tant, per aquest exemple es pot concloure que en cap de les 1000 parelles de vectors simulada, la contribució global de l'energia de curt-circuit superarà el nivell de referència del 20% si bé internament si que és superat per algunes portes, tal que s'ha indicat en l'apartat anterior.

2.9 Conclusions

En aquest capítol es presenta una mètrica que permet estimar l'energia de transició en circuits descrits a nivell lògic. Aquesta mètrica millora les mètriques anteriors en que inclou l'energia consumida degut a la commutació de les capacitats paràsites del circuit i l'energia de curt-circuit de les portes. L'estimador proposat s'obté a partir dels models α - *power* dels transistors MOS. Aquests models són adequats per a la simulació de tecnologies sub-micròniques. L'efecte de la disminució de l'energia de curt-circuit degut a l'increment la capacitat de sortida de les portes, s'incorpora a la mètrica per mitjà d'una aproximació proposada per Tjörnström a [24]. Aquesta aproximació inclou un paràmetre d , que indica la disminució que experimenta l'energia de curt-circuit quan els temps de transició de les entrades i de la sortida de la porta són iguals. Tjörnström assumeix que aquest paràmetre és constant. En aquest capítol es demostra que no és constant i es proposa un model que permet fer l'estimació del seu valor. Aquest model pren com a paràmetres d'entrada l'arquitectura de la porta i el conjunt d'entrades que commuta en el moment d'aplicar el model.

La mètrica proposada, anomenada activitat ponderada de curt-circuit i capacitiva $APSC$, es valida fent comparacions amb simulacions HSPICE. S'utilitza una llibreria de portes dissenyades amb una tecnologia de $0.7\mu m$, ECPD07 de ES2. Es seleccionen els models del nivell 13 de HSPICE. La llibreria incorpora portes NOT, NOR i NAND de 2, 3, 4 i 5 entrades. Durant l'etapa de validació es tracten dos cassos: en el primer es fan commutar totes les entrades de les portes simultàniament. En el segon cas, la commutació només es fa en un subconjunt de senyals d'entrada. Els resultats han demostrat el bon comportament del model, que ha donat errors per sota del 11%, en els cassos en que el pes de les entrades no ha superat el valor de 20.

La utilitat de la mètrica es demostra fent una estimació ràpida de la contribució que té l'energia de curt-circuit en l'energia de transició de cada

porta, i en l'energia de transició global del circuit. Aquesta estimació es fa definint un interval delimitat per dues cotes, una de superior i una de inferior. El càlcul d'aquestes cotes es valida en el circuit C1908. Es demostra la rapidesa d'obtenció de les cotes, gràcies a que el seu càlcul és independent del valor de les entrades de les portes. Els resultats aplicats a les portes individuals del circuit demostren que un 4% d'aquestes tenen una energia de curt-circuit superior al 20% de l'energia de transició. Semblantment, aquest nombre de portes amb nivell de curt-circuit superior al 20% no supera en cap cas el 11% del total de portes del circuit. Els resultats de les cotes de l'energia de transició global s'obtenen després de simular una llista de 1000 parelles de vectors. S'observa que l'energia de transició global pot veure's incrementada d'un 5.7% fins a un 16.2% respecte de l'energia de transició purament capacitiva. Aquests increments estan per sota del nivell del 20% si bé internament aquest nivell de referència queda superat en portes individuals del circuit, tal com s'ha explicat anteriorment.

Capítol 3

Cota superior propera de l'energia de transició màxima

En aquest capítol es presenta una metodologia que permet el càlcul d'una cota superior propera de l'energia de transició màxima. Aquesta cota superior es basa en una tècnica no-depenent-d'entrada que millora l'estat de l'art, [18] [77] [80] [88] [89] [100], gràcies a la utilització de les funcions lògiques de les portes. El càlcul de la cota millorada s'ha programat amb C i es presenten resultats sobre un conjunt de circuits de prova.

El capítol està estructurat de la manera següent. En la secció 3.1 es fa una introducció del capítol. A continuació, en la secció 3.2, s'introdueix l'eina COSUS. Aquest programa ha servit de punt de partida en aquesta tesi i incorpora l'estat de l'art pel que fa al càlcul de la cota superior [77] [100]. En la secció 3.3 es donen algunes dades de les cotes superiors obtingudes amb aquesta eina. En la secció 3.4 es presenta el bloqueig lògic. Aquest efecte d'absorció de transicions s'utilitza per limitar el nombre de transicions estimat per les tècniques no-depenents-d'entrada. S'introdueix el fenomen i es presenta l'algorisme que en permet el tractament. Posteriorment, a la secció 3.5 es presenta l'eina COFUS que té com a nucli els algorismes de l'eina COSUS però incorpora la millora del bloqueig lògic. Els resultats de les cotes superiors obtinguts per l'eina COFUS es discuteixen en la secció 3.6. Finalment, es presenten les conclusions d'aquest capítol en la secció 3.7.

3.1 Introducció

L'obtenció d'una cota superior de l'energia de transició màxima es fa sobre un circuit combinacional CMOS. S'assumeix que l'energia de transició màxima que es vol acotar és l'energia consumida per un circuit de les característiques esmentades, quan s'excita amb una parella de vectors anterior i present.

Els mètodes més coneguts per estimar l'energia de transició són els basats en tècniques de Monte Carlo [33] [34] [39] [108] [109]. En aquests mètodes, l'estimació de l'energia de transició es fa excitant el circuit amb parelles de vectors aleatòries. Si bé aquests mètodes són apropiats quan es tracta d'obtenir l'energia de transició mitjana, la seva eficàcia queda molt limitada quan es vol obtenir l'energia de transició màxima. És per aquest motiu que els investigadors han cercat altres tipus d'estratègies per resoldre aquest problema. En els darrers anys, doncs, han aparegut tot un conjunt de tècniques que calculen l'estimació de l'energia de transició màxima amb més eficàcia que els mètodes basats en Monte Carlo.

Com que la complexitat del problema de la selecció de l'energia de transició màxima no és acotable polinòmicament [7] [19] [27], és habitual afrontar el problema estimant cotes a aquest valor. Es poden distingir dos tipus de mètodes. Els dependents-d'entrada i els no-dependents-d'entrada. En els mètodes dependents-d'entrada, l'algorisme calcula els valors lògics dels nodes interns del circuit, necessaris per assolir una cota inferior de l'energia de transició màxima [27] [28] [99] [109] [114]. En els mètodes no-dependents-d'entrada, s'associa una forma d'ona incerta als nodes d'entrada [18] [77] [80] [88] [89]. Aquesta forma d'ona es propaga a través de les portes del circuit seguint unes determinades regles. Generalment, es procura que la propagació sigui ràpida i que recorri tot el circuit el mínim nombre de vegades. A partir de la forma d'ona obtinguda en cada node, es calcula una cota superior de l'energia de transició màxima. En l'apartat 3.2.1 es fa una disertació amb més profunditat de les diferents tècniques no-dependents-d'entrada.

En aquest capítol, es proposa una tècnica no-dependent-d'entrada, que calcula una cota superior de l'energia de transició màxima, que sigui propera a aquest màxim. L'esquema general de com es planteja l'obtenció de les cotes es presenta en la figura 3.1. El càlcul de la cota superior es fa en dues fases. En una primera fase es propaguen transicions habilitables al llarg del circuit, per determinar els intents de temps en què es poden produir commutacions. Una **transició habilitable** indica que pot haver-hi una commutació, tant de pujada com de baixada, en un node. Una transició habilitable té associat un instant de temps, que diu en quin moment es pot donar aquesta commutació.

Durant la propagació de les transicions habilitables es té en compte el retard de les portes i els efectes del filtratge de transicions, definits en el model de retard.

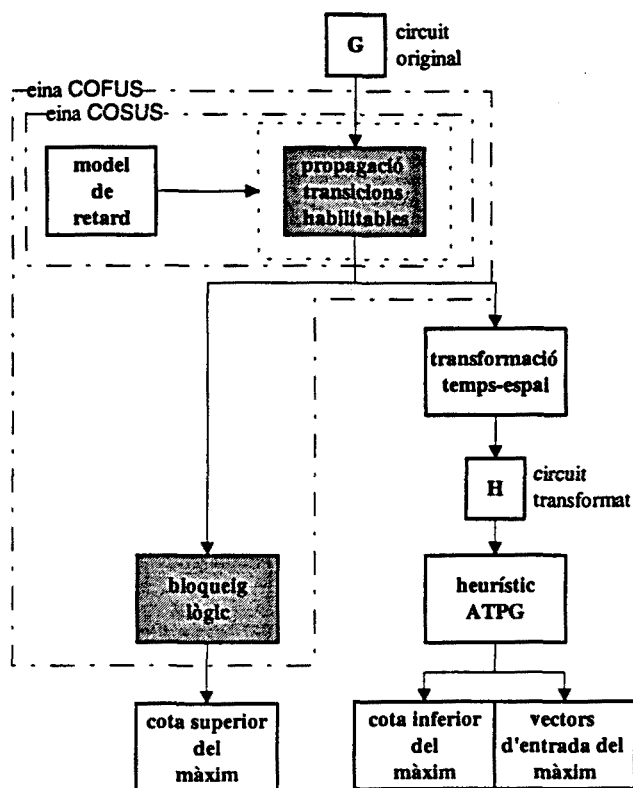


Figura 3.1: Representació en blocs del mètode d'obtenció de les cotes superior i inferior de l'activitat ponderada màxima. Els blocs grisos corresponen a la cota superior tractada en aquest capítol.

Una vegada es conèixen les transicions habilitables a les entrades de cada porta, s'aplica una segona fase que és el bloqueig lògic. Aquí es determina quines són les transicions habilitables compatibles amb la lògica de la porta. Durant aquesta fase, algunes de les transicions habilitables obtingudes inicialment, s'exclouen del conjunt de commutacions possibles. Finalment, a partir de les transicions habilitables remanents es calcula la cota superior, assumint que cada transició habilitable fa una commutació.

En la propera secció es presenta l'eina utilitzada com a base per implementar les millores del bloqueig lògic presentades en les seccions posteriors.

3.2 Cota superior estructural. L'eina COSUS

Tal com s'ha esmentat en la introducció, el càlcul de la cota superior de l'activitat ponderada màxima resideix principalment en tècniques no-dependents d'entrada, excepte en els casos de [99] i [108] on s'utilitza Monte-Carlo pel càlcul de la cota superior. En les tècniques no-dependents d'entrada, una propagació acurada de les formes d'ona incertes requereix tenir en compte la correlació espacial i temporal dels senyals.

La correlació temporal indica la dependència que hi ha, al llarg del temps, dels diferents valors que té un senyal¹. Es defineix la probabilitat d'una variable aleatòria binària $\mathbf{X} = \{0, 1\}$, com la probabilitat que aquest senyal valgui la unitat, $P(\mathbf{X}) \triangleq P(\mathbf{X} = 1)$. Sigui g un senyal intern d'un circuit que adopta valors diversos en diferents instants de temps $\{g(t_0), g(t_1), \dots, g(t_k)\}$. Hi ha dependència temporal si la probabilitat conjunta dels diferents valors d'aquest senyal és diferent del producte de les probabilitats de cadascun d'ells,

$$P(g(t_0), g(t_1), \dots, g(t_k)) \neq \prod_{i=0}^k P(g(t_i))$$

Per exemple, es pot trobar una elevada correlació temporal en senyals digitals obtinguts a partir d'equips d'àudio.

La correlació espacial indica la dependència que hi ha entre dos senyals diferents d'un circuit. Sigui un conjunt de senyals d'un circuit, $\{g_0, g_1, \dots, g_k\}$. Hi ha dependència espacial dels senyals si la seva probabilitat conjunta és diferent del producte de probabilitats de cada senyal,

$$P(g_0, g_1, \dots, g_k) \neq \prod_{i=0}^k P(g_i)$$

Suposem que es té una porta amb un *fanout* elevat. Si les sortides de les portes descendents d'aquesta reconvergeixen cap a una darrera porta, aquesta tindrà senyals a les seves entrades que no seran totalment independents degut a que totes elles seran funció d'un senyal comú. Passarà que aquesta

¹Es fa notar que en el cas de les variables binàries aleatòries ergòdiques on la mitjana es defineix com $\mu_{\mathbf{X}} \triangleq P(\mathbf{X} = 1)$, el criteri d'independència entre dues variables $\{\mathbf{X}, \mathbf{Y}\}$ és equivalent al de correlació nul·la, $\rho_{\mathbf{X}\mathbf{Y}} = 0$.

darrera porta no podrà ser mai excitada amb totes les possibles combinacions de valors per causa de la dependència existent entre els senyals d'entrada [84] [104].

El tractament de totes les correlacions temporals i espaials d'un circuit, en les tècniques no-depenents-d'entrada, té una complexitat no acotable polinòmicament [19] [84]. Això fa que habitualment no es tinguin en compte aquestes correlacions amb l'objectiu de mantenir la linealitat en la complexitat dels algorismes.

En els propers paràgrafs es resumeix l'estat de l'art pel que fa a les tècniques no-depenent-d'entrada. Posteriorment, es descriuen breument el programa COSUS, utilitzat com a punt de partida per implementar la millora del bloqueig lògic en el mètode de propagació de formes d'ona incertes.

3.2.1 Estat de l'art

Cal tenir present que algunes de les tècniques emprades actualment han tingut el seu origen en metodologies desenvolupades per a la detecció del corrent màxim. En conseqüència, aquestes tècniques també s'inclouen quan convé, per donar continuïtat a l'exposició.

Un dels primers treballs més referenciat en la bibliografia és el de Mehmet A. Cirit [18]. És un mètode probabilístic en què s'estima l'energia de transició màxima a partir del càlcul de les controlabilitats dels nodes del circuit. L'anàlisi es fa sobre un circuit descrit amb transistors. El transistor es modela com un interruptor de resistència petita. El consum d'un transistor està lligat a la probabilitat, D_i , que el transistor faci commutar la seva capacitat paràsita, C_{Li} , com a conseqüència d'un canvi en les entrades. En aquest càlcul de probabilitats no es té en compte el domini temporal del circuit. Les condicions que ha de complir el transistor per fer una commutació són que la porta del transistor commuti i que hi hagi un camí del surtidor cap a tensió o cap a terra. A fi d'estimar el valor màxim del consum, se suposa que sempre existeix un camí del nodes surtidors cap a tensió o cap a terra. Tenint en compte els punts esmentats, la probabilitat D_i s'obté a partir de les controlabilitats dels nodes porta i surtidor del transistor. Amb les probabilitats de commutació calculades, el consum s'obté a partir de l'equació

$$\frac{1}{2} V_{DD}^2 \sum_i C_{Li} D_i$$

avaluada sobre tots els nodes del circuit. Se suposa que el circuit està alimentat a una tensió V_{DD} i que els nodes fan també increments de tensió

de V_{DD} durant la commutació. S'assumeix també que les probabilitats D_i corresponen a fenòmens independents.

El principal avantatge del mètode és que el càlcul de les controlabilitats és ràpid. L'inconvenient més important pel que fa al càlcul de l'energia de transició màxima és que, en primer lloc, la suposició de l'existència d'un camí entre els surtidors i tensió o terra, no assegura d'entrada l'obtenció d'un valor de consum proper al màxim. En segon lloc, l'anàlisi de les controlabilitats dels nodes ignora completament el comportament temporal de les portes. Per tant, s'ignora la presència de commutacions falses, *hazards*, que com s'ha demostrat en diversos treballs, tenen una importància gran en el consum dels circuits [43] [55].

La següent tècnica que s'exposa està orientada a la detecció del corrent màxim. L'objectiu d'aquesta és acotar el valor de corrent més elevat que presenta el circuit, durant el règim transitori. Aquest corrent apareix des del moment en què es canvia l'entrada anterior del circuit per l'entrada present i està relacionat amb l'energia de transició, en què aquesta s'obté a partir de l'integral del corrent. Si bé en alguns casos patològics pot passar que una energia de transició màxima no comporti un corrent màxim, normalment en circuits grans aquestes dues magnituds estan relacionades.

La tècnica que s'exposa va ser proposada per Kriplani et al. a [46]. L'objectiu és el càlcul d'una cota superior al corrent màxim mitjançant un algorisme, iMax, de complexitat lineal amb la mida del circuit. La idea bàsica consisteix en propagar formes d'ona indeterminades, des de les entrades cap a les sortides del circuit. Aquestes formes d'ona recullen tots els possibles estats en què pot estar un node que són $\{0, 1, 0 \rightarrow 1, 1 \rightarrow 0\}$. En la propagació d'aquestes formes d'ona, es té en compte els retards i la possible aparició de transicions falses. Una vegada feta la propagació de les formes d'ona, es calcula el consum de corrent per cada porta, tenint en compte que hi ha consum en els instants de temps on hi ha transicions de pujada, $0 \rightarrow 1$, o de baixada, $1 \rightarrow 0$. A partir de l'evolvent dels corrents de cada porta, es calcula la cota superior del corrent màxim. En la figura 3.2 es mostra un exemple d'una forma d'ona en un node X .

La gràfica ens indica, per exemple, que durant el temps anterior a t_1 el node val $g_i = 0$. Entre els instants de temps t_1 i t_2 el node g_i pot tenir tant el nivell lògic 0 com 1 o bé pot estar fent una transició $0 \rightarrow 1$, etc. En un altre interval de temps, per exemple entre t_6 i t_7 , el node podria tenir qualsevol dels quatre possibles valors $\{0, 1, 0 \rightarrow 1, 1 \rightarrow 0\}$. Tal com es pot veure a la figura anterior, la localització temporal de l'estat dels nodes es fa mitjançant intervals de temps. A aquests intervals de temps, Kriplani et

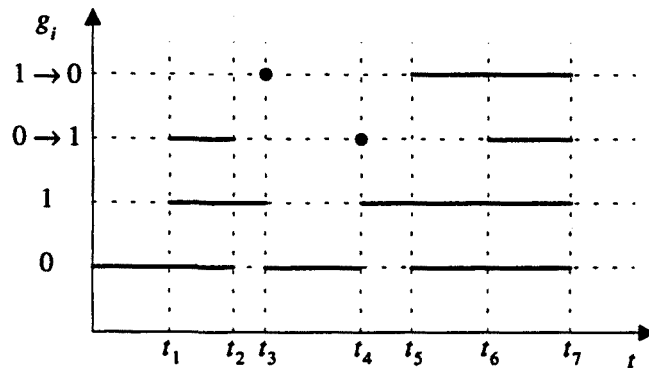


Figura 3.2: Formes d'ona incertes en un node g_i d'un circuit. Aquestes formes d'ona defineixen els estats múltiples en què es pot trobar la lògica del node.

al. els anomenen intervals de transició i d'estat, *State Transicions Intervals* (STI).

Les simplificacions més importants del mètode són: la independència espacial dels senyals interns, la forma d'ona triangular del corrent de les portes triangular i el model de retard estàtic d'aquestes. En els models de retard estàtics, les transicions del node de sortida es retarden, en el temps, una certa quantitat definida en el retard. Aquesta quantitat és estàtica i independent de les característiques que tinguin les entrades de la porta [35]. Els autors no tracten la correlació espacial entre els senyals a fi de mantenir la linealitat en la complexitat de l'algorisme. Amb aquesta simplificació asseguren una cota superior. Respecte a la forma d'ona triangular, aquest model de forma d'ona és el mateix que l'emprat per Najm et al. a [36] en el seu mètode probabilístic. És una aproximació lineal del comportament del corrent i es basa en què la relació entre el pic de corrent més elevat i la durada del corrent preservin la càrrega commutada.

L'avantatge més important del mètode és la seva complexitat lineal amb el nombre de portes i el fet que calcula una cota superior al corrent màxim. Com a inconvenient més destacable hi ha el risc que la cota superior sigui excessivament elevada a causa de les simplificacions adoptades.

En el mateix treball, Kriplani *et al.* [46], els autors proposen una estratègia per millorar els problemes d'allunyament de la cota superior respecte del valor màxim. L'estratègia es basa en fer una enumeració parcial

d'aquells nodes amb reconvergència alta. Aquests nodes es poden trobar en senyals interns amb un *fanout* elevat, com passa per exemple en els senyals de control dels multiplexors. Suposem que s'ha obtingut una cota superior del corrent màxim, $CS[i_{DDmax}]$, amb el mètode de propagació de formes d'ona indeterminades. Imaginem que en aquestes condicions, els possibles estats del node g_i a l'instant de temps t_0 són $\{0, 1, 0 \rightarrow 1, 1 \rightarrow 0\}$. Per estimar una cota superior amb enumeració parcial, assignaríem un valor fix al node, per exemple $g_i(t_0) = 0$. Seguidament aquest valor fix es propaga als nodes dependents de g_i , veure la figura 3.3. En aquestes condicions, alguns nodes del circuit adquireixen un valor determinat i la resta segueixen tenint valors indeterminats. Si es calcula la cota superior del màxim assignat

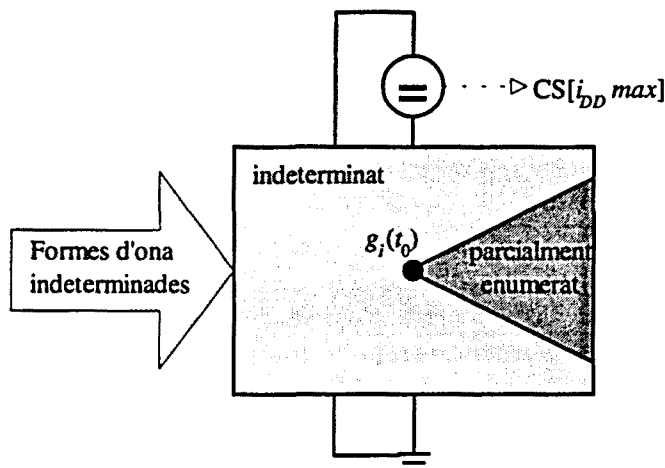


Figura 3.3: La numeració parcial dels nodes interns d'un circuit permet incloure els efectes de la correlació espacial.

nant cada un dels possibles estats a $g_i(t_0)$, s'obtenen quatre cotes superiors $CS[i_{DDmax}]_1|_{g_i(t_0)=0}$, $CS[i_{DDmax}]_2|_{g_i(t_0)=1}$, $CS[i_{DDmax}]_3|_{g_i(t_0)=0 \rightarrow 1}$ i $CS[i_{DDmax}]_4|_{g_i(t_0)=1 \rightarrow 0}$, que cobreixen l'univers dels possibles estats del circuit. La nova cota superior del corrent màxim és el valor més gran dels quatre;

$$\max_{j=1}^4 (CS[i_{DDmax}]_j) \leq CS[i_{DDmax}]$$

Cada node addicional enumerat parcialment milloraria teòricament la cota

superior. En el límit, aquesta enumeració equivaldria a simular de manera exhaustiva totes les entrades del circuit. Segons Kriplani *et al.*, la reducció mitjana de la cota superior assolida amb aquesta estratègia és el 7-8%.

L'inconvenient que presenta l'enumeració parcial, quant a eficiència, és que requereix l'aplicació de l'algorisme iMax un nombre iteratiu de vegades sobre el circuit. Això perjudica la complexitat lineal del mètode.

Seguint en la mateixa línia de la detecció del màxim corrent, els mateixos autors fan una millora de l'enumeració parcial a [84]. Segons ells mateixos critiquen, l'enumeració parcial de la proposta feta a [46], té resultats limitats perquè en molts circuits cal fer enumeració simultània de nodes i en diversos intents de temps, cosa que suposa una utilització de recursos important. La nova estratègia d'enumeració parcial consisteix en fer-la a les entrades. Es van enumerant parcialment cada un dels senyals d'entrada seguint una estratègia de *Branch & Bound* molt similar a la utilitzada per Chowdhury *et al.* a [26]. L'elecció del node que cal enumerar primer es fa segons dos heurístics diferents. L'aplicació d'aquesta nova estratègia els permet reduir la cota superior en un 54% pel circuit de prova c3540 dels ISCAS-85.

Enfocaments similars a l'utilitzat per Kriplani *et al.* [46] en la detecció del consum màxim són els plantejats en els treballs [80] [88] [77] i [100]. En el primer treball d'aquests quatre, Najm *et al.* [80] no té com a objectiu l'estimació del consum màxim pròpiament sinó que pretén acotar el nombre de commutacions màxim en els nodes interns del circuit. Aquest problema té l'origen en les observacions fetes pels autors durant el càlcul de la potència mitjana consumida per un circuit. Van observar que fent petites variacions en el retard d'alguna porta, podien modificar en ordres de magnitud el nombre de commutacions estimat en els nodes interns.

La mètrica que utilitzen per avaluar el nombre de commutacions és la densitat de transició, que equival al nombre mitjà de commutacions en un període de rellotge. El retard de les portes es defineix com un interval amb un valor mínim i màxim. Es fa una propagació de les densitats de transició porta a porta desde les entrades cap a les sortides, tenint en compte els retards de cadascuna d'elles. Les regles de propagació són molt simples i consisteixen en sumar, tenint en compte el domini temporal, les densitats de transició de les entrades independentment de la funció lògica de la porta. Atès que aquesta propagació de les densitats de transició és molt simple, pot allunyar molt la cota superior de l'energia de transició màxima. Per evitar això, els autors consideren un retard inercial que filtri les transicions massa properes i alhora un factor reductor fix que disminueix en una proporció constant la densitat de transició de sortida a les portes AND i OR. Aquest

factor reductor obtingut experimentalment és una aproximació a l'efecte del bloqueig lògic.

Les simplificacions que fa aquesta tècnica són moltes. Entre d'altres tenim que no considera la correlació espacial ni temporal, que suposa sempre el pitjor cas en la propagació de les transicions en les portes, etc. Tal com indiquen els autors només és aplicable per detectar aquells nodes crítics que siguin molt sensibles a la variació dels retards interns. L'anàlisi dels nodes patològics caldrà realitzar-la amb eines més acurades.

Murgai *et al.*, proposen a [88] una tècnica per acotar l'energia de transició màxima, que és pràcticament igual a la de Najm *et al.* [80], només que els retards de les portes són fixes.

Els investigadors Teng *et al.*, perfeccionen la proposta de Najm *et al.* [80] en el seu treball [77]. De fet es basen en l'estimador de corrent màxim de Kriplani *et al.* [46], el programa iMax, i el perfeccionen per detectar el consum màxim. Com a millores més importants es destaquen dues restriccions que imposen en la propagació de les formes d'ona indeterminades; s'anomenen restricció de polaritat, *polarity constraint*, i restricció de transició falses, *glitch constraint*². En la restricció de polaritat vigilen que les transicions de pujada i de baixada vagin intercalades. Si en algun cas no és així, si dues transicions de pujada van seguides, s'ajunten els intervals de temps de les dues transicions en una única transició. La restricció de transicions espúries és el conegut filtratge inercial, que no permet l'aparició de transicions dins d'un interval de temps excessivament petit.

Respecte a les millores que proposen els autors, cal tenir en compte que el filtratge de polaritat actua perquè en les portes lògiques dels circuits es distingeixen dos retards diferents, un de pujada i un altre de baixada. Com a conseqüència, les transicions de pujada poden avançar-se o endarrerir-se respecte a les de baixada, provocant desincronització dins el circuit i sobreestimant el nombre de commutacions que fan els nodes. El filtratge de polaritat evita aquestes desincronitzacions eliminant transicions i, per tant, moderant la sobreestimació.

Una millora addicional al mètode de [77] és la que presenta Hill a [100].

²Els autors utilitzen el terme *glitch* per referir-se a les transicions falses que apareixen per causa dels retards de les portes. Aquestes transicions falses són commutacions completes del nivell lògic del senyal no útils per a l'obtenció del valor final del node. Cal remarcar que està àmpliament acceptada la utilització del terme *hazard* per referir-se a aquestes transicions falses. Per contra, es parla de *glitch* quan es fa referència a dues commutacions que a causa de la seva proximitat modifiquen la tensió del node, però que no arriben a fer una commutació completa del nivell lògic del senyal.

A les dues restriccions esmentades anteriorment hi afegeix consideracions de tipus funcional. Perquè dues transicions, de pujada i baixada, siguin lògicament compatibles han de transcórrer en la mateixa entrada de la porta, sobretot si es tracta de portes tipus AND o OR. La raó és que si un senyal d'entrada adopta el valor de control de la porta, les transicions que arriben per les altres entrades queden bloquejades.

L'autor no dóna més detalls sobre la manera de contabilitzar aquest filtratge lògic. Cal tenir en compte que les transicions en el mètode de propagació de formes d'ona indeterminades són, en certa manera, "fictícies". Posem per cas que una transició bloquejés, a l'entrada d'una AND, les transicions que arribessin per les altres entrades. Podria donar-se el cas que modificant les condicions de les formes d'ona indeterminades a l'entrada del circuit, aquesta transició bloquejadora desaparegués. Com a resultat, el filtratge lògic no actuaria i es permetria el pas de totes les altres transicions a través de la AND. Si el pes d'aquesta porta AND sobre el consum total fos molt gran, modificar les condicions d'entrada del circuit faria augmentar l'estimació total del consum. Per tant, no queda clar si el filtratge lògic proposat assegura la cota superior del consum màxim.

Un darrer cas particular en l'estimació de l'energia de transició màxima és el proposat per Beerel et al. a [89]. Els autors estimen una cota superior al consum d'una parella de vectors fixa en la part combinacional dels circuits de control en mode ràfega. Els circuits de control en mode ràfega són automats de control assíncrons, que tenen la particularitat de que poden admetre transicions falses internes en la part combinacional. Si bé l'algorisme que proposen no pretén estimar l'energia de transició màxima, exposarem les idees bàsiques de la metodologia atès que utilitza conceptes relacionats amb el treball de Najm *et al.* [80].

La seva tècnica és molt similar. En la proposta de Najm *et al.* [80], s'acota el nombre de commutacions màximes dels nodes d'un circuit, suposant una entrada genèrica a aquest. L'entrada genèrica consisteix en el fet que cada senyal d'entrada pot fer com a màxim una commutació, de pujada o baixada indistintament. En la proposta de Beerel *et al.* [89], la parella de vectors d'entrada està fixada, sense que hi hagi indeterminació en el valor dels senyals. Amb aquestes condicions a les entrades es propaguen els valors lògics internament assignant un valor arbitrari, no acotat però finit, al retard. La manera com es propaguen les transicions a través d'una porta AND es mostra a l'exemple de la figura 3.4. Per a que les transicions $1 \rightarrow 0 \rightarrow 1$ d'una entrada puguin propagar-se cal que les altres entrades estiguin a 1. Basant-se en el fet que els temps de propagació en què arriben les transi-

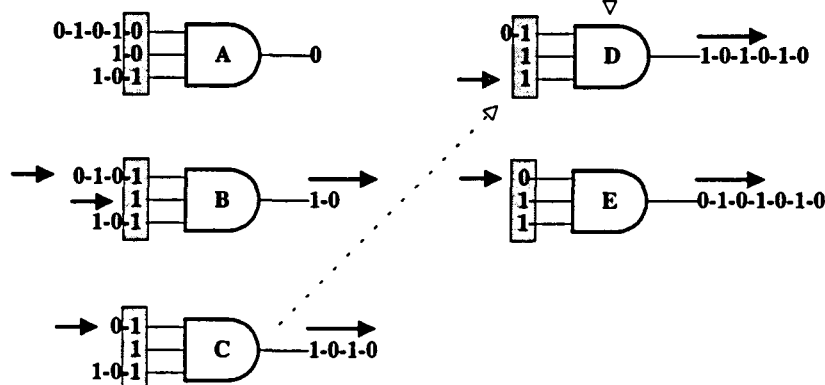


Figura 3.4: Mecanisme de transmissió de les transicions a través d'una porta AND.

cions a les entrades pot ser arbitrari, es calculen les transicions de la sortida excitant cada vegada l'entrada més adequada. En la figura, els valors que estan enquadrats dins un rectangle ombrejat són els primers a accedir a la porta. En la fase (A), vegeu l'etiqueta dins del dibuix de la porta, es tenen la primera i segona entrades, començant per dalt, amb un 0 cadascuna. Cal, doncs, posar en primer lloc aquestes dues entrades a 1. Com que els temps de propagació dels senyals són arbitraris, suposem un retard per la tercera entrada molt més gran que el de la primera i segona entrades. En la fase (B) s'assignen temps de propagació grans a la segona i tercera entrades i un temps de propagació curt a la primera entrada, que fa commutar la sortida amb dues transicions $1 \rightarrow 0 \rightarrow 1$. Procedint de manera semblant es fan commutar aquelles entrades que esgotin totes les transicions.

La hipòtesi de retard arbitrari no acotat resulta excessivament relaxada per fer estimacions de l'energia de transició màxima. En la proposta que fan els autors, la cota obtinguda amb aquest sistema no sembla allunyar-se excessivament. Es poden apuntar dues raons en aquest sentit: en primer lloc, la cota es calcula amb una parella de vectors predeterminats i, en segon lloc, els circuits que utilitzen són de mida petita-mitjana.

Després d'haver repassat l'estat de l'art pel que fa a les tècniques no-depenents-d'entrada es resumeixen tot seguit els trets més característics d'aquestes tècniques. Aquests trets són els següents:

1. Propagació de densitat de transició o formes d'ona indeterminades a fi d'estimar el nombre màxim de commutacions que pot fer cada node del circuit.
2. En la propagació s'assegura la linealitat en el cost de la solució, assumint la independència dels senyals d'entrada de les portes.
3. Model de consum de les portes basat en una capacitat concentrada a la sortida. Aquesta capacitat s'utilitza com a pes per avaluar l'activitat ponderada global.
4. Utilització de models de retard estàtics. Aquest models de retard poden assignar retards diferents a cada porta del circuit.
5. Dins de l'estimació del màxim s'inclouen les transicions falses. Aquest tipus de transicions apareixen a causa de les carreres que fan els senyals interns del circuit.
6. Distinció entre retard de les commutacions de pujada i baixada. Els temps de commutació estan definits pels intervals de transició d'estat (STI), *State Transition Intervals*. També consideren efectes atenuants de commutacions com són les restriccions de polaritat i de filtratge de transicions [77].
7. Reducció de les commutacions basades en consideracions de tipus funcional [100].

A continuació es resumeixen breument les característiques principals de l'eina COSUS. Aquesta eina ha estat el punt de partida per desenvolupar una altra eina, COFUS, que incorpora un bloqueig lògic de transicions. Aquest bloqueig lògic es presenta en l'apartat (3.4).

3.2.2 L'eina COSUS

COSUS és una eina que calcula la cota superior de l'energia de transició màxima. L'acrònim significa, **CO**ta **SU**perior **eS**tructural. Aquesta cota és estructural perquè la seva obtenció es basa en la utilització de la informació arquitectural del circuit i, en canvi, no emprà la informació funcional de les portes. La informació arquitectural inclou interconnexió, models de retard i de filtratge. Totes les eines exposades prèviament, en l'estat de l'art, són d'aquest tipus excepte en la millora proposada per Hill [99], que

té en compte una certa funcionalitat. Una exposició més detallada de l'eina COSUS s'exposa en l'apèndix B. Seguidament es fa un resum de les seves característiques més importants.

Aquesta eina calcula les transicions habilitables a cadascun dels nodes del circuit combinacional. Una transició habilitable és una indicació de la possibilitat que un node faci una commutació de pujada o de baixada. La transició habilitable no diu res respecte del valor lògic del node abans o després de l'instant de temps en què hi ha la transició.

Per calcular les transicions habilitables s'assumeix inicialment que les entrades primàries del circuit tenen, cada una d'elles, una transició habilitable a l'instant de temps inicial. La propagació es duu a terme porta a porta tenint en compte el retard de les portes i el filtratge que hi hagi definit. Com en els altres mètodes exposats anteriorment, durant la propagació no es tenen en compte les correlacions espaials ni temporals. Com que el mecanisme de filtratge crea indeterminació respecte dels instants de temps en què cal situar les transicions habilitables, es creen les regions d'incertesa. Aquestes regions són conjunts d'instants de temps que poden estar compartits per una única transició habilitable. Aquestes regions d'incertesa també permeten propagar transicions en portes que tinguin retards múltiples, del tipus (min:typ:max).

Finalment, una vegada aplicada l'eina s'obté, per cada node del circuit, un cronograma de transicions habilitables com el que mostra la figura 3.5. Aquest node hipotètic presenta, començant per $t = 0$, una regió d'incertesa

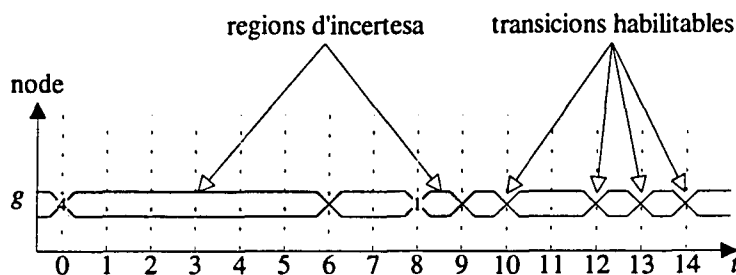


Figura 3.5: Cronograma típic de transicions habilitables d'un node g , obtingut després d'executar l'eina COSUS.

en l'interval de temps $[0,6]$ amb quatre transicions habilitables. A continuació una segona regió d'incertesa, $[8,9]$, té una transició habilitable i seguidament hi han quatre transicions habilitables als instants de temps

{10, 12, 13, 14}. Per aquest node, la suma de les transicions habilitables serà una cota superior al nombre màxim de commutacions, en total són 9.

En la secció que vé a continuació es donen les cotes superiors de les activitats ponderades màximes, calculades per l'eina COSUS.

3.3 Resultats de l'eina COSUS

El mètode d'estimació de la cota superior estructural de l'energia de transició màxima, l'eina COSUS, s'empra en un conjunt de circuits de prova. Aquests circuits estan formats pels ISCAS-85 i un multiplicador de 8x8 bits (MBmult). En les simulacions s'han emprat quatre models de retard diferents. el model de retard zero (Z), que assumeix un temps de propagació instantani pels senyals; el model de retard unitari (U), que assigna un temps de propagació igual per a totes les portes; el model de retard variable (V), que s'assumeix un retard per a cada porta diferent, igual al *fanout* de la porta, i el model de retard variable amb filtratge inercial (VFI), on com en el cas anterior el retard és igual que el *fanout* i la finestra de filtratge és també igual al *fanout*.

En la taula 3.1 es mostren els resultats de la $CS[APmax]^3$. A partir

Circuit	CS[APmax [*]]						
	Z	U	u/z	V	v/z	VFI	vfi/z
C432	262	1,420	5.4	1,907	7.3	1,055	4.0
C499	328	1,096	3.3	1,352	4.1	656	2.0
C880	533	3,041	5.7	5,505	10.3	4,073	7.6
C1355	888	7,768	8.7	12,544	14.1	6,016	6.8
C1908	1,445	14,543	10.1	21,005	14.5	9,371	6.5
C2670	1,990	8,907	4.5	16,244	8.2	12,227	6.1
C3540	2,655	21,018	7.9	43,569	16.4	25,149	9.5
C5315	4,001	23,229	5.8	45,258	11.3	25,607	6.4
C6288	4,320	167,272	38.7	332,439	77.0	186,188	43.1
C7552	5,944	37,815	6.4	77,736	13.1	43,617	7.3
MBmult	2,206	28,735	13.0	57,111	25.9	22,402	10.2

Taula 3.1: Resultats de l'estimació de la cota superior de l'activitat ponderada màxima, feta per l'eina COSUS. Les simulacions es fan amb quatre models de retard: el model de retard zero (Z), el de retard unitari (U), el de retard variable (V) i el de retard variable amb finestra de filtratge inercial (VFI).

³Es recorda que en els capítols 3 i 4, quan es parla de la *APmax*, es dona per suposat

de la segona columna de la taula, començant per l'esquerra, es presenten els resultats de les estimacions. Per ordre es tenen els resultats del model de retard zero, unitari, variable i variable amb filtratge inercial. A la dreta de les columnes U, V, VFI, s'indica el coeficient d'increment de la cota respecte del cas amb model de retard zero. El número es calcula dividint el resultat de la columna corresponent per l'estimació feta amb el model de retard zero.

Els resultats de la columna amb el model de retard zero són un cas particular de l'estimació. En un circuit amb aquest model de retard la propagació dels senyals és instantània i, per tant, els nodes faran com a molt una única commutació. La propagació de transicions habilitables assumeix el pitjor cas i per tant assigna una transició a cada node. En conseqüència, la cota superior equival a sumar directament tots els pesos dels nodes.

Quan s'estima la cota amb el model de retard unitari, els valors estimats augmenten considerablement. Pels circuits de prova, l'augment més petit és de 3 per al circuit C499 i el més gran és de 39 pel circuit C6288. Aquest darrer circuit és un multiplicador on l'activitat per transicions falses, *hazards*, és elevada. Aquest increment reflecteix la contribució que poden tenir les transicions falses. En un circuit amb model de retard unitari, el retard total d'un senyal és la indicació del nombre de portes que ha hagut de traspasar. Un increment de $CS[APmax^*]$ respecte del model de retard zero indica que hi ha desequilibris en el nombre de portes que han de travessar senyals que són reconvergens. Aquest senyals reconvergens desequilibrats són un perill potencial per a les transicions falses i, en última instància, per al consum del circuit. En aquest sentit s'observen alguns casos singulars com són els dels circuits C432 i C499. Mentre que amb el model de retard zero s'estima que el consum màxim del circuit C432 és menor que el del C499, amb retard unitari aquesta tendència s'inverteix. Casos similars passen amb les parelles de circuits C1908, C2670 i amb la parella C6288, C7552.

Si el model de retard es canvia d'unitari a variable, la cota estimada augmenta considerablament. La raó d'aquest augment cal buscar-la en el fet que ara el retard dels senyals no depèn únicament del nombre de portes que travessa sinó també del *fanout* d'aquestes. Per tant, hi haurà menys simultaneïtat en l'arribada dels senyals reconvergens a les portes i, en conseqüència, es propagaran més transicions habilitables. Com a augment en l'estimació de la cota es remarquen els dos circuit multiplicadors: el C6288 i el MBmult, que la dupliquen aproximadament.

Aquest increment, experimentat en l'estimació de $CS[APmax^*]$, es veu

que és l'activitat ponderada màxima obtinguda per una parella de vectors d'entrada.

atenuat quan s'inclou el filtratge de transicions. Amb el filtratge s'espera que els nodes amb un *fanout* més gran que la unitat eliminin transicions. Les transicions eliminades no es propaguen cap a les portes restants i per tant s'evita l'efecte d'onada. A la columna VFI es poden veure les cotes calculades amb el retard variable i el filtratge inercial. Es destaca que en els circuits C432, C499, C1355, C1908 i MBmult la cota estimada és inferior a l'obtinguda emprant el model de retard unitari. De tots ells, el circuit amb una millora més important a la cota és el C1908, que passa d'un increment de 10, respecte del retard zero, a un increment de 6.

Per fer una anàlisi més detallada de l'estimació de la cota, s'han agafat dos circuits, el C1908 i el C6288, i s'han representat gràfiques on es detalla la cota calculada node a node. Les gràfiques es poden veure a la figura 3.6 per al C1908 i a la figura 3.7 per al circuit C6288.

En les gràfiques, l'eix d'ordenades representa la cota superior de l'activitat ponderada màxima i l'eix d'abscisses el número de node. Per als dos circuits, la gràfica corresponent al model de retard zero és equivalent a representar el *fanout* dels nodes ja que, com s'ha comentat abans, la cota superior assumeix una commutació per a cada node.

Mirant, doncs, la gràfica C1908 de retard zero es pot veure que la majoria de *fanouts* són 1 o 2 excepte en alguns nodes on el *fanout* és molt gran, superior a 15. Aquests nodes controlen moltes portes descendents del circuit. Quan s'utilitza el model de retard unitari es veuen les conseqüències d'aquests *fanouts* elevats. Els nodes descendents d'aquests, que estan a partir de la posició 296 aproximadament, experimenten un augment considerable en la cota.

Quan es passa al retard variable el nombre de transicions habilitables incrementa, repercutint així en la cota obtinguda. En incorporar el filtratge inercial, s'observa una reducció dràstica en els nodes amb *fanout* més elevat. Aquesta disminució beneficia els nodes descendents d'aquests, als quals alhora els disminueix la cota.

En el circuit C6288, els *fanouts* dels nodes interns estan repartits entre els valors 1, 2 i 3. Quan s'estima la cota amb el model de retard unitari, es pot observar un augment quasi lineal de la cota. En els darrers nodes del circuit el pendent de creixement augmenta abruptament. Aquest darrers nodes són els de sortida i han de calcular el resultat final de la multiplicació. En aquesta part del circuit la reconvergència és molt elevada, cosa que justifica aquest increment de les cotes.

Amb el model de retard variable, la forma de la gràfica és similar però amb les cotes aproximadament duplicades. Quan s'incorpora el filtratge

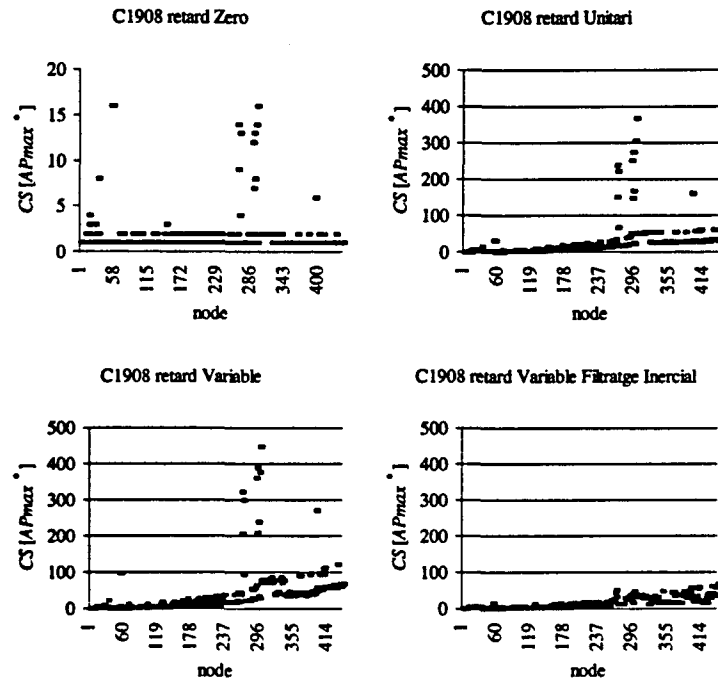


Figura 3.6: Estimació de la cota superior de l'activitat ponderada màxima, $CS[AP_{max}]$, de cada node del circuit C1908. Les quatre gràfiques de la figura corresponen a cada un dels models de retard indicats.

inercial es tornen a obtenir unes cotes similars a les del retard unitari. La diferència la trobem en els nodes de sortida on el filtratge modera l'increment abrupte d'aquestes.

En el càlcul de la cota que fa l'eina COSUS no es té en compte la funció lògica de les portes. En la propera secció es proposa un mètode per incloure els efectes de la funció lògica en el càlcul de la cota.

3.4 Bloqueig lògic

El bloqueig lògic consisteix en analitzar quin és el nombre màxim de vegades que commutarà la sortida d'una porta, donada una combinació de transicions habilitables a les entrades, si es té en compte la funció lògica d'aquesta. En

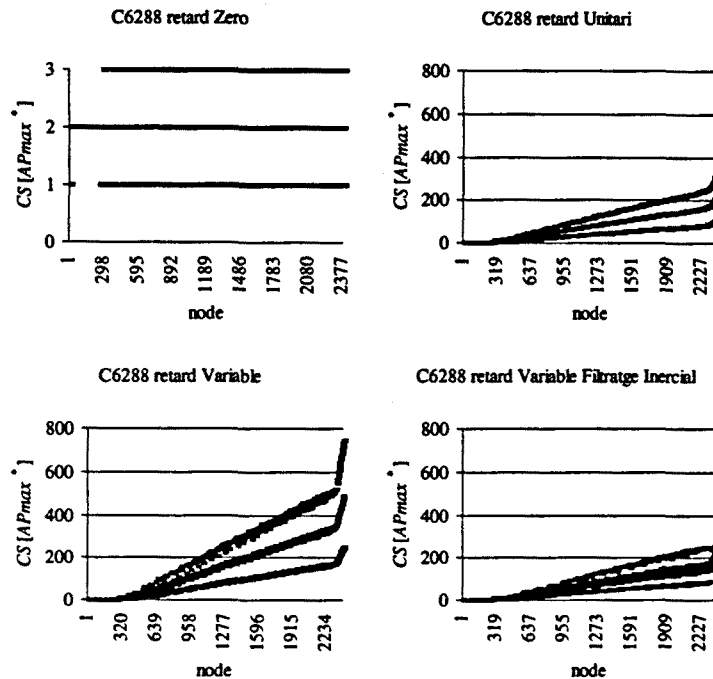


Figura 3.7: Estimació de la cota superior de l'activitat ponderada màxima, $CS[AP_{max}]$, de cada node del circuit C6288. Les quatre gràfiques de la figura corresponen a cada un dels models de retard indicats.

la figura 3.8 es presenta un exemple il·lustratiu.

Suposem que a una porta AND de dues entrades arriben les transicions habilitables representades al cronograma (A). Aquestes transicions van alternades consecutivament, tres a v_1 i tres a v_2 . Una propagació de transicions habilitables basada en criteris purament estructurals ens diria que a la sortida hi hauria un màxim de 6 commutacions. Però, si es té en compte la funció lògica de la porta, es veu que no es possible obtenir aquest nombre de commutacions. En el cronograma (B) es mostra una de les possibles combinacions de commutacions reals que donarien el màxim. L'entrada v_1 es fa commutar en tots els instants de temps on hi hagi transicions habilitables, començant amb un nivell baix. L'entrada v_2 es manté a nivell alt fins a l'instant de temps de la darrera transició habilitable. En aquest punt es

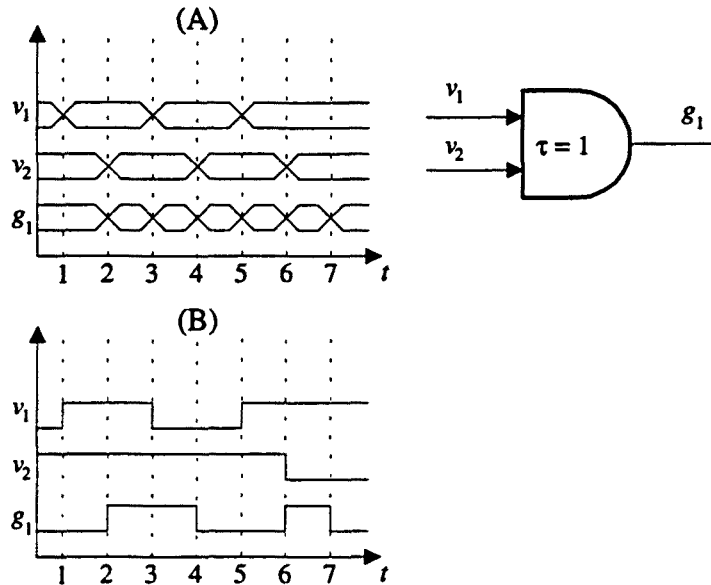


Figura 3.8: Exemple. (A) Cronograma de transicions habilitables d'una porta AND de dues entrades. (B) Cronograma de transicions reals que fa commutar la porta el màxim nombre de vegades, d'acord amb les restriccions imposades per (A).

commuta a nivell baix. El total de commutacions obtingut a la sortida és de 4, que representa una diferència d'un 33% respecte de la predicció feta per la propagació estructural. En general, totes les portes que tenen a les entrades un valor de control, com són les AND, OR i les seves negades, són candidates a millorar la predicció del nombre de commutacions màximes, si s'utilitza el bloqueig lògic.

Tal com s'ha comentat en la secció anterior, un dels mètodes on es proposa incloure la funcionalitat de les portes amb l'objectiu de millorar el càlcul de la cota superior és en el treball de Hill [100]. La idea bàsica del seu mètode és que perquè dues transicions de baixada i pujada siguin lògicament compatibles en les portes NAND i NOR, han d'arribar per la mateixa entrada. La raó és que si una entrada adopta el valor de control de la porta, bloqueja el pas de les commutacions que arribin per les altres entrades. A manca de més informació, el mètode que proposa Hill pot fer perdre la qualitat de cota superior ja que és un heurístic. La proposta que fem millora l'aportació

de Hill perquè es té en compte tot el cronograma complet de transicions habilitables de cada porta. Per aquest cronograma es calcula el nombre de commutacions màxim. S'insisteix que el bloqueig lògic proposat manté la propietat de cota superior, ja que l'optimització es fa únicament amb relació a la porta.

3.4.1 Plantejament del problema

L'objectiu, doncs, del problema que es planteja consisteix en el càlcul del nombre de commutacions màximes que pot fer la porta d'un circuit combinatorial, amb funció lògica AND, NAND, OR o NOR. Es consideren com a condicions de partida el cronograma de transicions habilitables a les entrades de la porta. Aquest cronograma s'haurà calculat amb anterioritat mitjançant una propagació estructural de transicions habilitables.

A fi de limitar la complexitat del problema es fan les següents simplificacions.

- L'estat inicial de les entrades d'una porta pot ser qualsevol dels 2^N possibles valors, essent N el nombre de senyals d'entrada.
- Es considera independència en els senyals d'entrada de les portes, [104].

Per enfocar la solució del problema plantejat, es discuteix inicialment el mètode més directe, que consisteix en fer una enumeració exhaustiva de tots els casos possibles i seleccionar-ne el millor de tots.

3.4.2 Enumeració exhaustiva

En una enumeració exhaustiva es fa una relació de totes les possibilitats existents de fer commutar els senyals d'entrada de la porta, d'acord amb el cronograma de transicions habilitables. Posteriorment, se selecciona la que provoqui més commutacions a la sortida. Per il·lustrar aquest mètode directe s'investiga de nou l'exemple anterior de la figura 3.8.

La solució exhaustiva es representa en la figura 3.9. En la part superior d'aquesta figura es mostra el graf complet de la porta AND de dues entrades. En aquest graf, cada entrada de la porta està representada per un node i cada canvi de les entrades per una branca o fletxa. S'indiquen totes les possibles transicions que es poden fer entre els diferents nodes del graf. Les fletxes dibuixades en negreta indiquen les branques on la porta commutarà. En les branques restants la sortida de la porta roman estàtica. Maximitzar

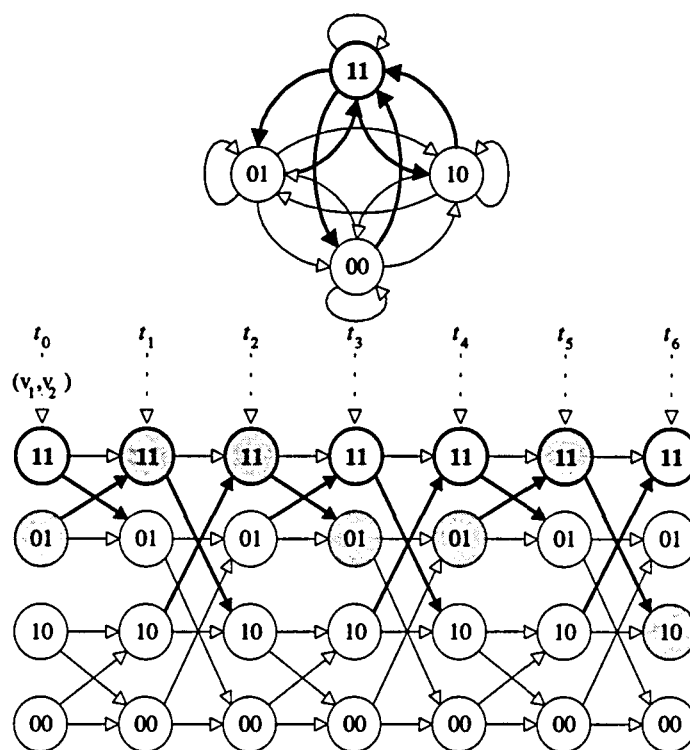


Figura 3.9: Part superior, graf d'una porta AND de dues entrades. Part inferior, expansió temporal del graf de la AND d'acord amb el cronograma de transicions habilitables de la figura 3.8. Les fletxes en negreta indiquen que la transició d'estats provoquen una commutació a la porta.

el nombre de commutacions d'una porta amb les restriccions imposades pel cronograma de transicions habilitables a les entrades és equivalent a buscar el camí que, amb una longitud igual al nombre d'instants de temps del cronograma de transicions habilitables, travessi el màxim nombre de vegades les branques en negreta. Les branques del graf que puguin recórrer aquest camí estan restringides pel cronograma de transicions habilitables.

En la part inferior de la figura 3.9 es fa una expansió temporal del graf de la porta, amb l'objectiu de facilitar la recerca del camí esmentat. En aquesta representació temporal s'han posat els quatre nodes del graf de la porta AND en posició vertical. Aquests nodes s'han replicat tantes vegades

com instants de temps té el cronograma de transicions habilitables, vegeu la figura 3.8 (A). Amb línies verticals puntejades s'indiquen cada un dels instants de temps $t_i, i = 0, \dots, 6$ corresponents. La primera columna del graf és l'estat inicial de la porta, l'entrada anterior a la primera transició. Cada node d'una columna del graf temporal queda connectat amb els nodes de la columna següent a través de fletxes, que indiquen les transicions que són possibles d'acord amb el cronograma de transicions habilitables, figura 3.8 (A). Per exemple, en l'instant de temps $t = 1$ del cronograma hi ha només una transició habilitable en l'entrada v_1 de la porta AND. Això indica que en aquest instant de temps només podrà commutar l'entrada v_1 . En el graf temporal de la figura 3.9 aquesta restricció es tradueix en el fet que entre l'estat inicial, t_0 , i els estats de l'instant de temps, t_1 , hi haurà únicament fletxes en les transicions on canviïn cap entrada o l'entrada v_1 . En aquest graf temporal, els camins que recorrin el màxim nombre de cops les fletxes en negreta, des de l'estat inicial fins als estats de l'instant de temps t_6 , seran els que forçaran el màxim nombre de commutacions a la sortida de la porta. Una recerca exhaustiva d'aquest camí obliga a investigar els $4 \cdot 2^6 = 256$ camins possibles que té el graf. En el graf temporal s'indica una de les solucions, que s'havia donat anteriorment en la figura 3.8 (B). En el graf temporal, el camí solució té els nodes dibuixats amb un fons gris.

Com es pot deduir d'aquest exemple senzill, si bé la recerca exhaustiva de la solució ha estat de 256 camins, el nombre de camins creix exponencialment amb el nombre d'instants de temps. Per exemple, si el nombre d'instants de temps del cronograma fos de 20 el nombre de camins a investigar seria aproximadament de $4 \cdot 10^6$. Existeixen altres mètodes més eficients per solucionar aquest problema. Un d'ells es basa en la utilització d'un mètode d'optimització per programació dinàmica [1] [92] [38]. Aquest mètode d'optimització permet dividir el problema en etapes més petites. Posteriorment s'optimitza cada etapa progressivament, de manera que la solució buscada es troba en la darrera etapa. L'avantatge principal d'aquest mètode és que té un creixement de la seva complexitat, lineal amb el nombre d'etapes a optimitzar, no exponencial com en el cas exhaustiu.

En els propers apartats s'explica la solució amb aquesta metodologia. En primer lloc, s'exposen breument els fonaments teòrics de la programació dinàmica. Aquests fonaments teòrics s'il·lustren amb un exemple breu, que consisteix en la recerca del camí òptim entre dos punts. El problema plantejat en l'exemple és molt similar al del bloqueig lògic. Posteriorment, es presenta la solució del problema del bloqueig lògic basada en la programació dinàmica.

3.4.3 Programació dinàmica (PD)

El nom de programació dinàmica sorgeix, possiblement, de la seva utilització en problemes de recerca de decisions al llarg del temps. Tanmateix, també es pot aplicar en problemes on no intervingui el temps. Per aquesta raó, també s'utilitza el nom de **programació multietapa** [92].

La **programació dinàmica**, és un mètode matemàtic que està orientat a augmentar l'eficiència computacional dels programes que solucionen certs tipus de problemes. En essència, descomposa el problema inicial en un conjunt de problemes més petits, de complexitat més senzilla. La característica fonamental de la programació dinàmica és que resol el problema per **etapes**, de manera que en cada etapa intervé una de les variables d'optimització. Els càlculs, en cada una de les etapes, estan connectats a través d'**equacions recursives** que permeten que el procés d'optimització abracci el problema sencer. Aquestes equacions recursives permeten associar a cada etapa un conjunt d'estats. Aquests estats contenen tota la informació necessària per poder prendre, en cada etapa, les decisions que siguin òptimes. Els estats de cada etapa es generen a partir dels estats de l'etapa anterior i de les decisions que es prenen en l'etapa actual.

El mètode d'optimització per programació dinàmica es fonamenta en el **principi d'optimalitat**. Segons aquest principi, donat un estat en el nostre problema, les decisions òptimes que s'hagin de prendre en cada una de les etapes futures no dependran de les decisions òptimes que s'hagin pres en el passat.

Formalització matemàtica

L'aplicació de la programació dinàmica en l'optimització de camins en grafs es formalitza matemàticament de la següent manera. Sigui un graf acíclic⁴ $Q = \{\mathcal{S}, \mathcal{B}\}$, format per un conjunt d'estats \mathcal{S} i un conjunt de branques \mathcal{B} . Cada branca del graf té associat un pes, b_{ij} , que indica el cost que representa recórrer la branca entre dos estats, $s_i \xrightarrow{b_{ij}} s_j$. Es divideixen els estats del graf en $T + 1$ etapes, $\mathcal{S} = \{\mathcal{S}_t | t=0, \dots, T\}$, de manera que les branques de cada un dels possibles camins del graf connectin estats situats en etapes diferents. Els estats que pertanyen a una mateixa etapa, \mathcal{S}_t , no estaran connectats

⁴La utilització de la programació dinàmica en un graf requereix de la divisió dels nodes del graf en etapes. Això força la necessitat que el graf sigui acíclic. És a dir, qualsevol camí del graf ha de tenir un inici i un final, una longitud acotable i no pot passar dues vegades pel mateix node.

entre si per cap branca. L'equació recursiva que formalitza l'optimització per programació dinàmica quan es vol buscar el camí de pes màxim és la següent:

$$f_t(s_i) = \max_{\forall j} \{b_{ij} + f_{t+1}(s_j)\} \quad (3.1)$$

$$\begin{cases} s_i \in \mathcal{S}_t \\ j : (s_j \in \mathcal{S}_{t+1}) \wedge (s_i \rightarrow s_j \in \mathcal{B}) \end{cases}$$

En aquesta equació recursiva, la funció $f_t(s_i)$ representa el cost total optimitzat dels camins que van des de l'estat s_i de l'etapa t fins a la darrera etapa T . Gràcies al principi d'optimalitat, aquest cost es pot calcular a partir dels costos optimitzats en l'etapa $t+1$ i dels costos de branca que connecten les dues etapes, b_{ij} . En essència, aquesta recursivitat formalitza el mètode de treball invers, *backward procedure*. Segons aquest mètode els pesos acumulats òptims es comencen a calcular des de la darrera etapa, T , fins a l'etapa inicial $t=0$. Una vegada s'han calculat els pesos optimitzats en l'etapa inicial, es coneix el pes màxim de tots els camins. Posteriorment, es pot identificar el camí òptim, $\langle s_0^*, s_1^*, \dots, s_T^* \rangle$, procedint en sentit directe, des de l'etapa inicial, $t=0$, fins a la darrera etapa T .

A continuació es presenta un exemple de la recerca d'un camí amb cost màxim en un graf ([1] capítol 6è).

Exemple

Suposem que un veler vol viatjar entre dues ciutats portuàries **A** i **B**. Les prediccions meteorològiques permeten estimar la força i la direcció dels vents al llarg del trajecte. Després de consultar aquestes prediccions, un expert de la tripulació elabora una carta del trajecte. Aquesta carta preveu que el viatge es farà en sis etapes. A cada etapa, el vaixell ha d'arribar a un port per fer provisions d'aigua dolça i aliments. A la carta s'indiquen un total de 16 ports on el veler pot atracar. Aquests ports estan distribuïts en les diferents etapes, vegeu el graf de la figura 3.10. Cada node del graf indica un port, identificat en la seva part superior amb un número en lletra. El (1) és el port de la ciutat **A** i el (16) el de la ciutat **B**. En el graf s'indiquen amb fletxes les trajectòries que es poden fer entre els diferents ports. Cada trajectòria té una distància similar. Utilitzant la predicció dels vents i la direcció de la navegació s'estima una velocitat mitjana entre els diferents ports, vegeu els números que hi ha escrits en cada fletxa del graf. A partir doncs d'aquesta carta, la tripulació vol esbrinar quina ha de ser la trajectòria a seguir per

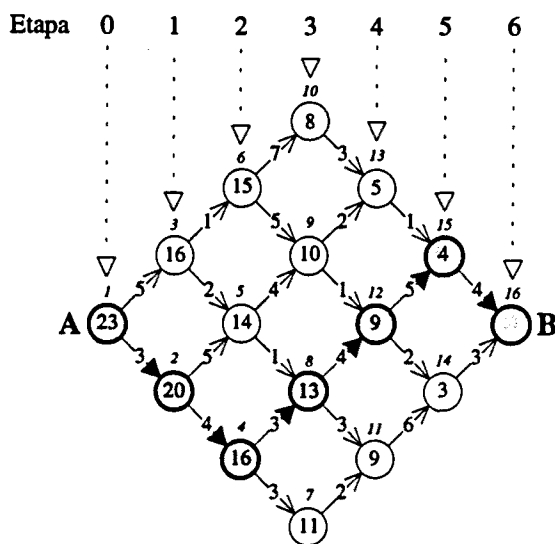


Figura 3.10: L'optimització d'un graf amb la programació dinàmica requereix la divisió del graf en etapes. Durant el procés es calculen els pesos totals optimitzats en cada estat anant del final cap al principi del graf. En l'exemple d'aquesta figura s'indica el camí òptim dibuixant els nodes del graf en fons gris.

aconseguir una velocitat global màxima i, per tant, poder fer el trajecte amb el mínim de temps possible.

La velocitat global es pot calcular com la mitjana de les diferents velocitats obtingudes en cada una de les etapes del trajecte. Maximitzar la velocitat mitjana del trajecte és equivalent a maximitzar la suma de les velocitats de cada etapa, ja que aquestes dues magnituds, la mitjana i la suma estan relacionades per una constant que és el nombre d'etapes. En conseqüència la solució del problema es fa maximitzant la suma de les velocitats de cada etapa feta al llarg de tot el trajecte. A aquesta suma l'anomenarem cost del trajecte.

Segons ens indica la formulació matemàtica de la programació dinàmica presentada en la secció anterior, l'aplicació de l'equació recursiva 3.1 es fa començant pel darrer port, el (16), i anant progressivament cap al port de sortida, l'(1). Amb l'aplicació d'aquesta equació podrem conèixer el cost màxim des de cada port del graf fins al darrer port, el (16). Finalment, el cost obtingut al port (1) és el cost màxim buscat. Posteriorment, a partir

d'aquest cost es troba la trajectòria a seguir des de (1) fins a (16).

Per poder iniciar el càlcul cal assignar un cost màxim acumulat al port (16), que es fa nul arbitràriament i que per tant és $f_6(16) = 0$. A partir d'aquí, els costos màxims acumulats dels nodes (14) i (15) de l'etapa 5 són immediats, atès que només hi ha una possibilitat d'anar des d'aquests nodes fins al node (16). Els costos són,

$$\begin{aligned} f_5(14) &= \max \{3 + f_6(16)\} = 3 \\ f_5(15) &= \max \{4 + f_6(16)\} = 4 \end{aligned}$$

Amb els costos de l'etapa 5 es pot passar a calcular els costos de l'etapa 4. A títol d'exemple es calcula el cost optimitzat del node (12). Els altres nodes es calculen de manera semblant. El cost d'aquest node és,

$$f_4(12) = \max \left\{ \begin{array}{l} 2 + f_5(14) \\ 5 + f_5(15) \end{array} \right\} = 9$$

Seguint aquest mateix procediment es calculen la resta de costos acumulats per cada node del graf. En la figura 3.10 s'indiquen aquests costos dins de cada node del graf. El cost màxim del trajecte d'A a B el trobem al node (1) i és de $f_0(1) = 23$. Segons aquest cost, la velocitat mitjana màxima entre A i B seria de $23/6 = 3.83$. La trajectòria a seguir s'obté recuperant les decisions que s'han pres a cada etapa durant el càlcul dels costos. A la figura 3.10 aquesta trajectòria està indicada amb els nodes ombrejats.

En la propera secció es presenta l'aplicació de la programació dinàmica al bloqueig lògic. La utilització és molt similar a l'exemple que s'ha presentat anteriorment, ja que es pretén maximitzar les decisions en un cronograma de transicions habilitables on intervé el temps. La divisió del problema en etapes es farà segons els diferents instants de temps del cronograma.

3.4.4 Aplicació de la (PD) al bloqueig lògic

L'objectiu del bloqueig lògic consisteix en trobar el nombre màxim de commutacions que pot realitzar una porta del tipus AND, NAND, OR i NOR donat un cronograma de transicions habilitables a les seves entrades, vegeu l'exemple de la figura 3.8. En l'apartat anterior s'ha vist que aquest problema és equivalent a trobar el camí de pes màxim en un graf temporal, vegeu figura 3.9. Cada node d'aquest graf temporal representa un valor de les entrades i cada etapa del graf es correspon amb un instant de temps del cronograma de transicions habilitables. Cada branca d'aquest graf temporal

indica una transició vàlida de les entrades, donades les restriccions del cronograma de transicions habilitables. Inicialment, s'havia plantejat la solució d'aquest problema utilitzant una enumeració exhaustiva de tots els possibles camins del graf temporal. S'havia vist que aquest sistema directe de resoldre el problema tenia un creixement exponencial amb el temps, del nombre de casos que calia investigar. Això fa que aquest mètode directe sigui inviable per a cronogrames amb una durada de mitja a llarga. Posteriorment s'ha vist que la utilització de la programació dinàmica és adequada en la resolució del problema d'optimització de grafs temporals. Amb la programació dinàmica la complexitat de la solució amb el temps passa a ser lineal. En els propers paràgrafs s'aplica aquesta tècnica al nostre problema de bloqueig lògic.

Simplificació del graf

La recerca del camí de pes màxim en les portes AND, NAND, OR i NOR té l'avantatge que es pot fer en un **graf reduït** de la porta. Aquest graf reduït tindrà $(N_E + 1)$ nodes enlloc dels 2^{N_E} nodes d'un graf complert, essent N_E el nombre d'entrades de la porta. La raó d'aquesta reducció del graf en les portes lògiques esmentades radica en el fet que totes les branques de pes 1 (que fan commutar la sortida de la porta) estan connectades a un únic node. En el cas de les portes AND i NAND, aquest node és el corresponent a totes les entrades de la porta a $\{1\}$ mentre que en el cas de les portes OR i NOR el node és el corresponent a totes les entrades a $\{0\}$. Conseqüentment, el camí de pes màxim va anant i venint successivament d'aquest node amb l'objectiu de travessar el màxim nombre de vegades les branques de pes 1. Tenint en compte aquestes consideracions, els **grafs reduïts** de les portes AND i NAND s'obtenen seleccionant l'estat corresponent a totes les entrades a nivell alt, $\{1, \dots, 1\}$, i els estats que tinguin una única entrada a nivell baix, $\{1, \dots, 1, 0_i, 1, \dots, 1\}$ on $i = 1, \dots, N_E$ és la posició del zero. En el cas de les portes OR i NOR, els estats són els complementaris dels esmentats.

Si es tenen en compte les simplificacions que s'havien fet inicialment en el plantejament del problema, llavors s'assumia de que les entrades de les portes eren independents i que l'estat inicial podia ser qualsevol. Aprofitant aquestes assumpcions, es pot imposar que les entrades facin una **commutació simplificada**.

- **Commutació simplificada.** En una porta AND o NAND aquesta commutació té les següents característiques:

1. Només una sola entrada pot fer la commutació $1 \rightarrow 0$ o $0 \rightarrow 1$ cada vegada.
2. Mentre una entrada faci una commutació $1 \rightarrow 0$, $0 \rightarrow 1$ o mentre aquesta es mantingui al valor 0, totes les altres entrades han de restar al nivell alt.

En el cas de les portes OR i NOR, la commutació simplificada és la situació complementària. Gràcies a aquesta simplificació en la commutació de les entrades, el nombre de branques del graf que cal considerar en la recerca del camí de pes màxim, queda reduït de 2^{2N_E} a $3N_E + 1$. En la figura 3.11 es mostra el graf reduït del graf de la porta AND presentat a la figura 3.9.

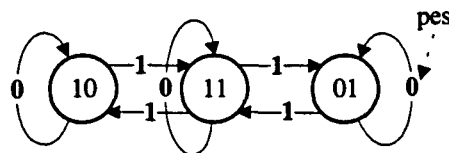


Figura 3.11: Graf reduït d'una porta AND de dues entrades. El nombre d'estats és de 3. El nombre de branques és de 7 ja que s'utilitza una commutació simplificada de les entrades.

La utilització del graf reduït de la porta i de la commutació simplificada permet trobar la solució òptima de manera més eficaç. A títol d'exemple, en la figura 3.12 s'optimitzen el nombre de commutacions d'una porta AND de tres entrades utilitzant el graf reduït de la porta i la commutació simplificada de les entrades.

Suposem que es té el cronograma de transicions habilitables d'una porta AND de tres entrades, que es mostra a la part superior de la figura. S'assumeix que l'estat inicial és igual a $V(t_0) = (111)$. En el cronograma (A) es representen les transicions reals obtingudes després d'utilitzar la commutació simplificada. Aquestes entrades maximitzen el nombre de canvis de la sortida de la AND de tres entrades, que seria de 6. Cada senyal d'entrada fa dues commutacions i a més ho fa mentre els altres senyals es mantenen a nivell alt. A la dreta de la taula es representa el graf reduït de la porta amb les branques corresponents al cronograma (A). Si s'intentés forçar la commutació màxima de la porta a partir d'imposar una commutació a cada

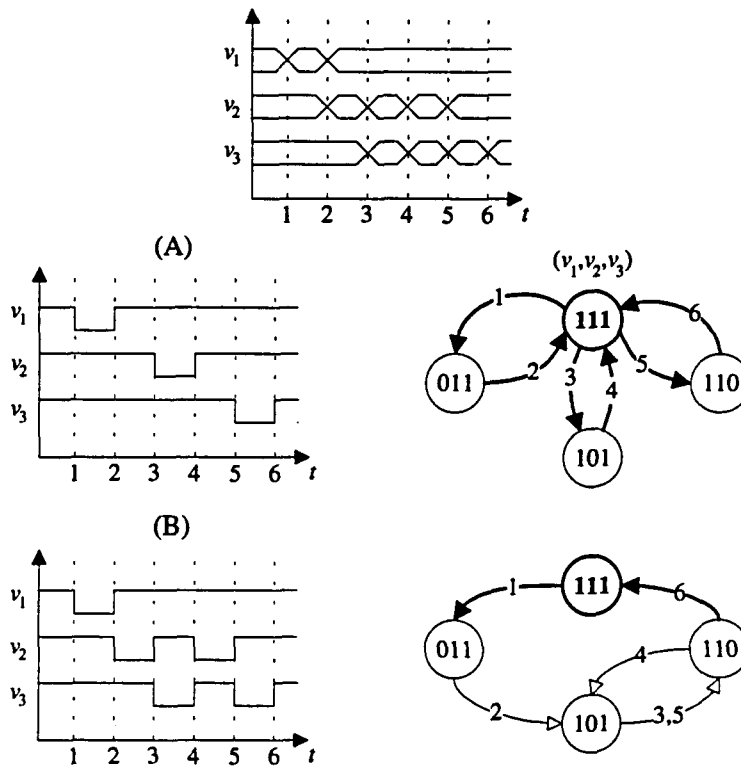


Figura 3.12: La utilització de la commutació simplificada i del graf reduït de la porta permet assolir el nombre màxim de commutacions de manera més eficient.

transició habilitable, no s'obtidria el nombre de commutacions màximes, tal com es pot veure en el cronograma (B) i al graf reduït associat a aquest cronograma. En aquest cas s'estan utilitzant branques del graf reduït que no corresponen al conjunt de les $3N_E + 1$ branques de la commutació simple. A (B) únicament es travessa l'estat (111) una vegada, obtenint dues transicions a la sortida de la porta.

En el proper apartat es fa la formulació matemàtica del problema del bloqueig lògic utilitzant la programació dinàmica basada en el graf reduït de la porta.

Formulació matemàtica del problema

La formulació matemàtica de la solució al problema del bloqueig lògic es planteja sobre el graf temporal de la porta. Recordar que el graf temporal s'obté a partir de l'expansió del graf d'estat de les entrades d'una porta tenint en compte el cronograma de transicions habilitables a les entrades d'aquesta porta. Cada etapa d'aquest graf temporal representa un instant de temps del cronograma, vegeu un exemple d'aquest graf en la figura 3.9.

En els darrers paràgrafs s'ha vist que la recerca del camí de pes màxim es pot fer sobre un graf reduït de la porta. Gràcies a això, la mida que té el graf temporal és menor. Per tant, l'aplicació de la programació dinàmica es fa sobre el **graf temporal reduït**, que s'ha obtingut a partir del graf reduït de la porta i del cronograma de transicions habilitables de les entrades. En aquest graf temporal reduït, el nombre de branques és també menor perquè s'utilitzarà la **commutació simplificada** de les entrades, esmentada anteriorment.

Sigui un graf temporal reduït $Q_R = \{S_R, B_S\}$, amb S_R estats i B_S branques, obtingut del conjunt reduït d'estats de la porta i de la commutació simplificada de les entrades. El graf Q_R és acíclic per pròpia construcció i, per tant, és pot aplicar la programació dinàmica. Els estats del graf temporal reduït es divideix en $T + 1$ etapes corresponents als T instants de temps del cronograma on hi ha transicions habilitables, $S_R = \{S_{R,t} | t=0, \dots, T\}$. Els estats de cada etapa corresponen a les diferents entrades de la porta lògica. És a dir que parlar d'estats del graf temporal reduït o d'entrades de la porta és equivalent, $V_i(t) \in S_{R,t}$. Cada branca del graf té associat un pes que indica si hi ha hagut commutació a la sortida de la porta. Aquest pes vé donat per la funció $b()$ que val,

$$b(V_i(t), V_j(t+1)) = \begin{cases} 1 : V_i(t) \rightarrow V_j(t+1) \Rightarrow \text{la porta commuta} \\ 0 : V_i(t) \rightarrow V_j(t+1) \Rightarrow \text{la porta no commuta} \end{cases} \quad (3.2)$$

L'equació recursiva que formalitza la recerca del camí de pes màxim en el graf temporal reduït és la següent,

$$f_t(V_i(t)) = \max_{V_j} \{b(V_i(t), V_j(t+1)) + f_{t+1}(V_j(t+1))\} \quad (3.3)$$

$$\begin{cases} V_i(t) \in S_{R,t} \\ j : (V_j(t+1) \in S_{R,t+1}) \wedge (V_i(t) \rightarrow V_j(t+1) \in B_S) \end{cases}$$

on, com abans, la funció $f()$ és el pes òptim total acumulat en cada una de

les etapes. Tal com s'ha presentat anteriorment, en la secció d'introducció a la programació dinàmica, el camí de pes màxim es troba aplicant aquesta equació de manera recursiva, utilitzant un mètode de treball invers, *backward procedure*. L'aplicació d'aquest procediment ens dona el pes màxim amb l'equació, $\max_{V_i} \{f_{t_0}(V_i(t_0))\}$. Posteriorment, es pot trobar el camí $\langle V_0^*, V_1^*, \dots, V_T^* \rangle$ fent un recorregut directe del Q_R .

A continuació es presenta un exemple que il·lustra l'aplicació del bloqueig lògic en un cronograma de transicions habilitables, utilitzant la programació dinàmica.

Exemple

L'exemple que es presenta a continuació es fa sobre el cronograma de transicions habilitables de la figura 3.12. Es vol buscar l'assignació de transicions reals a les transicions habilitables del cronograma, que faci commutar la porta AND de tres entrades el màxim possible. Com s'ha discutit anteriorment, això és equivalent a buscar el camí de pes màxim en el graf temporal reduït de la porta. Tenint en compte el graf d'estats de la porta AND de l'exemple, vegeu graf a la figura 3.12, es construeix el graf temporal reduït, vegeu la figura 3.13.

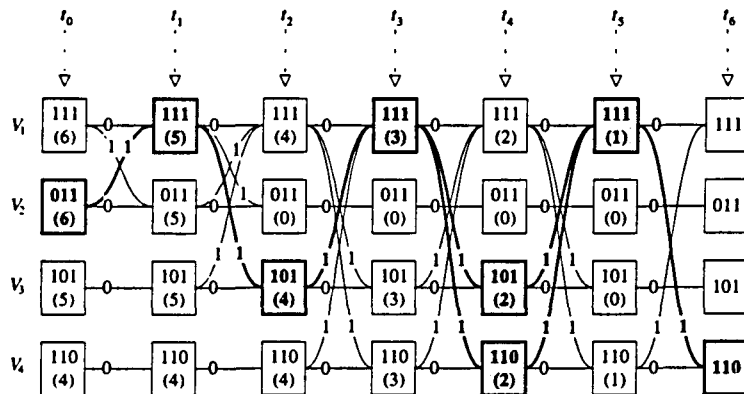


Figura 3.13: Diagrama d'optimització per programació dinàmica del nombre màxim de canvis d'una porta.

La representació dels estats d'aquest graf s'ha fet amb rectangles en lloc dels cercles utilitzats en la figura 3.9, per diferenciar el mètode d'optimització

utilitzat, per una banda, i per poder incloure en els nodes tant el valor de l'estat com els pesos acumulats durant el procés d'optimització, per l'altra. Dins de cada rectangle, a la part superior s'indica el valor de l'entrada de la porta i a la part inferior el pes total optimitzat. Pel que fa a les branques, s'han emprat línies enloc de fletxes per facilitar la claredat del dibuix. Les etapes del graf estan diferenciades amb les fletxes verticals puntejades, a la part superior. Els símbols t_0, t_1, \dots, t_6 relacionen cada etapa amb els instants de temps del cronograma de transicions habilitables. A cada branca del graf s'indica el pes numèricament.

Inicialment, s'assigna arbitràriament un pes total optimitzat nul als estats de la darrera etapa, $f_6(V_i(6)) = 0$. Procedint de manera semblant al cas de l'exemple de la figura 3.10, es van calculant tots els altres pesos totals optimitzats, anant en direcció cap a l'etapa inicial. Tal com s'ha indicat abans, el número situat a la part inferior de cada rectangle indica el valor del pes optimitzat a cada estat. El pes màxim del camí que recorre aquest graf des de t_0 fins a t_6 es troba buscant el màxim dels pesos optimitzats a l'etapa inicial,

$$\max \left\{ \begin{array}{l} f_0(111) = 6 \\ f_0(011) = 6 \\ f_0(101) = 5 \\ f_0(110) = 4 \end{array} \right\} = 6$$

que és de 6.

Dos dels camins que donen aquest pes màxim es troben representats en el graf temporal reduït, amb les caselles dibuixades amb un fons gris. Aquestes dues seqüències són

$$\langle 011, 111, 101, 111, 101, 111, 110 \rangle \text{ i } \langle 011, 111, 101, 111, 110, 111, 110 \rangle$$

A la figura 3.14 es representen els conogrames dels senyals d'entrada corresponents a les dues solucions trobades.

Formulació del problema amb regions d'incertesa

La utilització del filtratge inercial durant la propagació de les transicions habilitables pot crear regions d'incertesa. Una **regió d'incertesa** és un interval de temps que conté un nombre de transicions habilitables inferior al nombre d'instants de temps de l'interval i on qualsevol de les transicions habilitables pot estar situada en qualsevol dels instants de temps. A la figura 3.15 es presenta un exemple d'un cronograma de transicions habilitables amb regions d'incertesa.

En aquest cronograma es poden veure tres regions d'incertesa, dibuixades amb un rectangle ombrejat damunt dels senyals. Una de les regions d'incertesa està situada a l'entrada v_1 i les altres dues a l'entrada v_2 de la porta AND. Al costat esquerre de cada una de les regions d'incertesa hi ha un número que indica quantes transicions habilitables hi ha en la regió. La regió d'incertesa de l'entrada v_2 té dues transicions habilitables que es poden situar en qualsevol dels tres instants de temps $\{2, 3, 4\}$. Això ens indica que hi ha set maneres, $\binom{3}{2} + \binom{3}{1} + \binom{3}{0} = 3 + 3 + 1 = 7$, de posar commutacions en aquests tres instants de temps. Tres correspondrien a fer commutar les dues transicions habilitables en els diferents instants de temps, unes altres tres a fer el mateix però amb una sola transició habilitable i una darrera, que consistiria en no fer commutar cap transició habilitable.

L'existència de regions d'incertesa en el cronograma de transicions habilitables dificulta d'entrada el procés d'optimització per programació dinàmica. En el graf temporal reduït plantejat en l'apartat anterior, la codificació dels estats era el valor de les entrades de la porta. Ara, amb aquesta codificació, el principi d'optimalitat sobre el qual es basa la programació dinàmica deixa de ser vàlid. Això és degut al fet que durant el càlcul dels pesos òptims acumulats $f()$, les decisions preses en el futur poden afectar les decisions adoptades en els passos anteriors. Per exemple, en el cronograma de la figura 3.15, la disponibilitat d'una commutació a l'entrada v_1 en l'instant de temps t_4 serà en funció de si en els instants de temps t_2 i t_3 s'han fet commutar les dues transicions habilitables disponibles en la regió. Com que el mètode d'optimització s'aplica de manera invertida, dels darrers instants de temps cap als inicials, les decisions preses a t_4 estaran afectades per les decisions preses posteriorment a t_2 i t_3 .

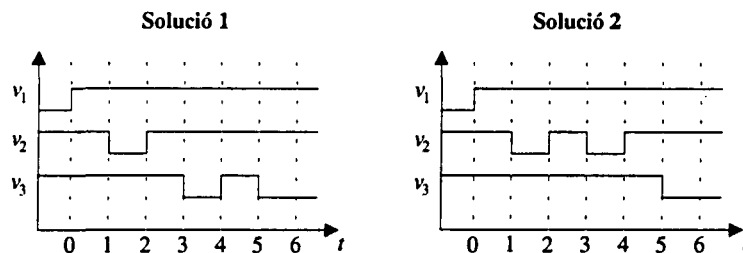


Figura 3.14: Dues solucions del diagrama d'optimització de la figura 3.13.

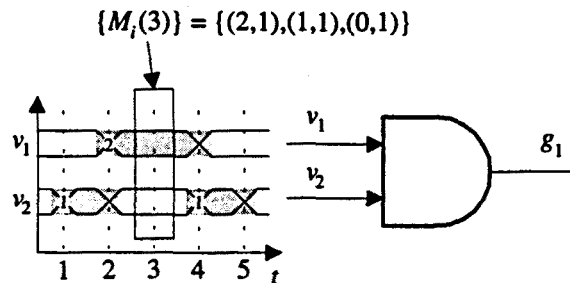


Figura 3.15: Cronograma de transicions habilitables amb regions d'incertesa.

La utilització de la programació dinàmica quan en el cronograma hi hagi regions d'incertesa requereix l'ampliació del nombre d'estats a cada etapa del graf temporal reduït. Aquesta ampliació dels estats ha de permetre preservar el principi d'optimalitat. Per poder ampliar aquest nombre d'estats es defineix el vector de **transicions disponibles** de la següent manera:

- **Vector de transicions disponibles, $M(t)$.** Això és un vector que té tants components com entrades tingui la porta. Per a cada entrada, indica el nombre de transicions habilitables que hi ha disponibles per ser utilitzades als instants de temps posteriors a t . Per a cada instant de temps t , poden haver-hi diversos vectors $M_i(t)$, $i = 1, 2, \dots, k$, en funció de les diferents possibilitats d'utilitzar les transicions habilitables de la regió d'incertesa, durant els instants de temps anteriors a t .

Per il·lustrar la definició, a continuació es llisten els valors $M(t)$ de la figura 3.15.

$$\begin{array}{llll}
 M_1(0) & = & (0, 1) & \\
 M_1(1) & = & (2, 0) & M_2(1) = (2, 1) \\
 M_1(2) & = & (2, 0) & M_2(2) = (1, 0) \\
 M_1(3) & = & (2, 1) & M_2(3) = (1, 1) \quad M_3(3) = (0, 1) \\
 M_1(4) & = & (0, 1) & M_2(4) = (0, 0)
 \end{array}$$

A la figura 3.15 s'indiquen els vectors $\{M_1(3), M_2(3), M_3(3)\}$.

El nou estat del graf es defineix com la combinació de l'entrada de la porta amb el vector de transicions disponibles. Els estats de l'etapa situada

a l'instant t del graf temporal reduït són $\mathcal{S}_{R,t} = \{ \{V_i(t), M_j(t)\} |_{V_i, V_j} \}$. Amb aquests nous estats, el principi d'optimalitat es preserva gràcies al fet que a cada etapa del graf es preveuen totes les possibles decisions que es puguin prendre en el futur.

La formulació de la programació dinàmica és equivalent al cas exposat anteriorment i únicament canvia en la notació de l'estat. A continuació es donen les expressions del pes de branca i de l'equació recursiva amb la nova notació. El pes de branca serà,

$$b(\{V_i(t), M_j(t)\}, \{V_k(t+1), M_l(t+1)\}) = \begin{cases} 1 : \{V_i(t), M_j(t)\} \rightarrow \{V_k(t+1), M_l(t+1)\} \Rightarrow \text{la porta commuta} \\ 0 : \{V_i(t), M_j(t)\} \rightarrow \{V_k(t+1), M_l(t+1)\} \Rightarrow \text{la porta no commuta} \end{cases} \quad (3.4)$$

L'equació recursiva que formalitza la recerca del camí de pes màxim en el graf temporal reduït és la següent,

$$f_t(\{V_i(t), M_j(t)\}) = \max_{V_k, V_l} \{ b(\{V_i(t), M_j(t)\}, \{V_k(t+1), M_l(t+1)\}) + f_{t+1}(\{V_k(t+1), M_l(t+1)\}) \} \\ \begin{cases} \{V_i(t), M_j(t)\} \in \mathcal{S}_{R,t} \\ j : (\{V_k(t+1), M_l(t+1)\} \in \mathcal{S}_{R,t+1}) \wedge \\ (\{V_i(t), M_j(t)\} \rightarrow \{V_k(t+1), M_l(t+1)\}) \in \mathcal{B}_S \end{cases} \quad (3.5)$$

Exemple

A títol d'exemple, a la figura 3.16 es dóna la solució del cronograma de la figura 3.15. Com en els altres casos, les etapes del diagrama estan indicades amb fletxes puntejades verticals. A cada fletxa s'indica el temps corresponent. Dins dels rectangles es mostra, a la part superior, el valor de les entrades de la porta i , a la part inferior, el vectors de transicions disponibles. Cada component del vectors s'escriu dins d'una subcasella diferent. Les branques que connecten els diferents estats tenen indicat el pes.

Després de propagar dels pesos òptims, $f()$, s'obté el pes màxim de 4, a la casella $\{10, (0, 1)\}$ de l'etapa t_0 . En el graf temporal reduït, s'indiquen els dos camins que donen aquest pes màxim amb les caselles dibuixades en un fons gris. Aquests dos camins són

$$\langle 10, 11, 01, 11, 10, 10 \rangle \text{ i } \langle 10, 10, 11, 01, 11, 10 \rangle$$

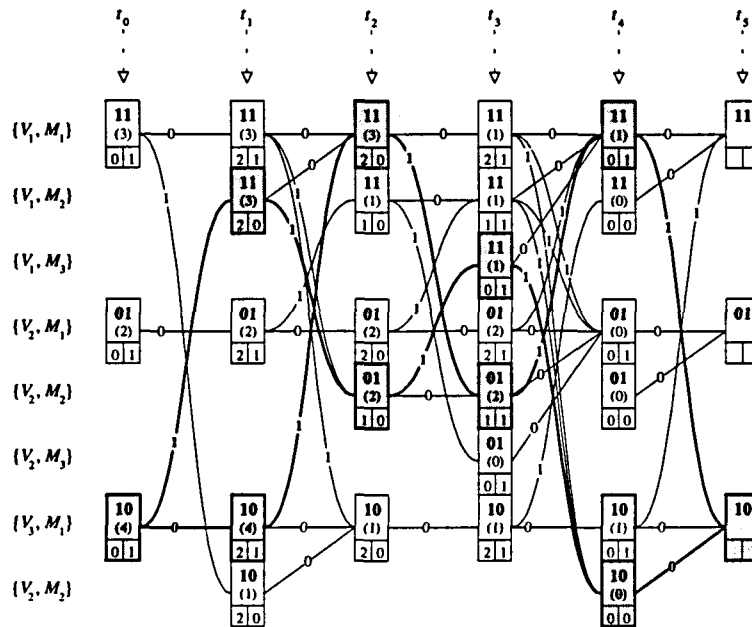


Figura 3.16: Diagrama d'optimització per a una porta AND de dos senyals d'entrada amb un cronograma de transicions que conté regions d'incertesa.

En la figura 3.17 es dibuixen els dos cronogrames corresponents a cada una de les dues solucions.

Regions d'incertesa coherents

En un cronograma de transicions habilitables genèric, l'ampliació del nombre d'estats en el graf temporal reduït, només es fa dins de les zones del cronograma on hi han **regions d'incertesa coherents**. Un grup de regions d'incertesa són coherents si comparteixen almenys un instant de temps entre elles. En la figura 3.18 es pot veure l'exemple d'un cronograma de transicions habilitables genèric que conté zones amb regions d'incertesa coherents. Hi han quatre zones que són: $\{\mathcal{E}_{1,6}, \mathcal{E}_{7,11}, \mathcal{E}_{13,18}, \mathcal{E}_{19,21}\}$. En aquest cronograma també es pot trobar una transició habilitable, a l'instant de temps 12, no continguda dins de cap de les zones esmentades.

Durant el procés d'optimització d'un cronograma com el de la figura 3.18, les decisions que es prenen dins d'una zona de regions d'incertesa co-

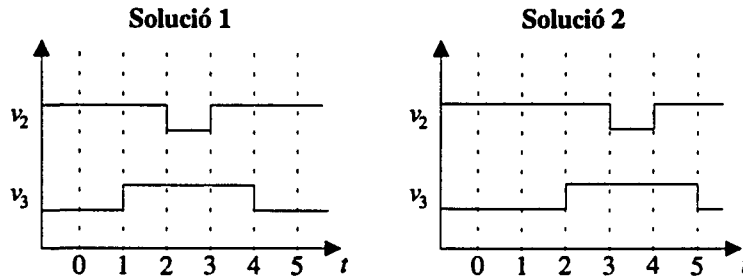


Figura 3.17: Dues solucions del diagrama d'optimització de la figura 3.15.

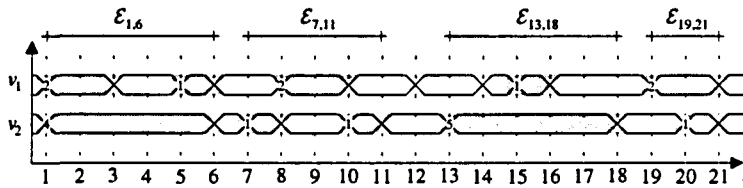


Figura 3.18: Cronograma de transicions habilitables genèric amb zones de regions d'incertesa coherents. Aquestes zones estan identificades amb el símbol, $\mathcal{E}_{j,l}$.

herents no efecten a les zones veïnes. Això és degut al fet que entre dues zones diferents no hi ha continuïtat en la utilització de les transicions habilitables. Les repercussions que té aquesta independència entre diferents zones són avantatjoses en quan al creixement del nombre d'estat del graf temporal reduït. Aquest està lligat a l'extensió de cada zona de regions d'incertesa coherents i no a l'extensió global del cronograma. Una segona conseqüència d'aquesta independència entre zones de regions d'incertesa coherents es reflecteix en que l'optimització d'un cronograma genèric es pot fer de manera modular. Inicialment s'optimitza cada zona per separat i posteriorment es fa l'optimització global.

Per il·lustrar aquesta optimització modular, es fa una recerca del camí de pes màxim del cronograma de transicions habilitables de la figura 3.18 amb aquesta estratègia.

Exemple d'optimització modular

Inicialment es disposa de les optimitzacions de cada zona de regions d'incertesa coherents. En les optimitzacions d'aquestes zones s'apliquen restriccions en els estats inicials i finals. Amb aquestes restriccions, els grafs temporals es simplifiquen i el màxim trobat correspon a les restriccions imposades. En la figura 3.19 es mostra la simplificació del graf temporal reduït de la zona $\mathcal{E}_{7,11}$ quan els estats inicial i final són (10) i (01) respectivament. Les caselles puntejades són les que desapareixen degut a la restricció.

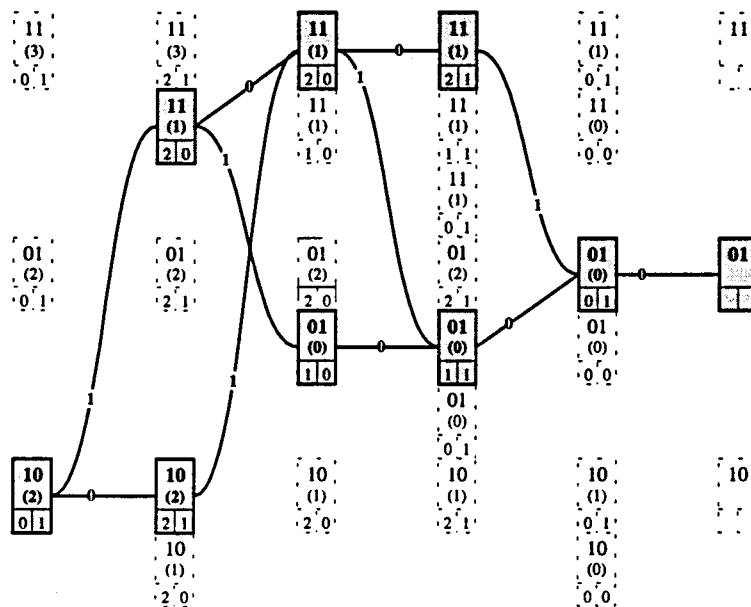


Figura 3.19: Optimització per programació dinàmica d'un graf temporal reduït que té restriccions als estats inicial i final.

Les taules amb els resultats de les optimitzacions es presenten en la figura 3.20. Cada una de les taules està identificada amb el símbol $\mathcal{E}_{i,j}$ que indica la zona de regions d'incertesa coherents a la que correspon. Les entrades de cada taula són: a l'esquerra, l'estat anterior de les entrades a l'instant de temps t_i i a la part superior, l'estat present de les entrades a l'instant de temps t_j . Cada casella de la taula conté el valor màxim del nombre de commutacions que fa la porta.

$\mathcal{E}_{1,6}$				$\mathcal{E}_{7,11}$			
$V_a \setminus V_p$	(11)	(01)	(10)	$V_a \setminus V_p$	(11)	(01)	(10)
(11)	6	5	5	(11)	2	1	3
(01)	5	6	4	(01)	1	2	2
(10)	5	6	6	(10)	3	2	4
$\mathcal{E}_{13,18}$				$\mathcal{E}_{19,21}$			
$V_a \setminus V_p$	(11)	(01)	(10)	$V_a \setminus V_p$	(11)	(01)	(10)
(11)	4	3	5	(11)	2	1	3
(01)	5	2	4	(01)	1	2	2
(10)	5	4	6	(10)	1	2	0

Figura 3.20: Resultats de l'optimització de cada zona de regions d'incertesa coherents de l'exemple de la figura 3.19.

Gràcies a que es disposa de les optimitzacions locals, durant l'optimització global del cronograma de transicions habilitables s'utilitzen únicament els instants de temps anteriors i presents de cada zona. En el graf temporal reduït, cal ampliar la funció que dona el pes de les branques, $b()$, perquè inclogui les taules esmentades anteriorment. En la figura 3.21 es presenta, en la part superior, el graf temporal reduït global del cronograma de la figura 3.18.

El pes de les branques és en molts cassos major que la unitat. Una vegada aplicada la programació dinàmica, el pes màxim obtingut a l'instant de temps inicial t_0 és de 18. Aquest pes correspon a l'estat inicial (10). Dins del graf temporal reduït, el camí que dona aquest pes màxim es mostra amb les caselles de l'estat ombrejades. En la part inferior de la figura 3.21 es presenta un cronograma amb la solució trobada.

Fins ara, durant l'aplicació del bloqueig lògic no s'han imposat restriccions a les entrades primàries del circuit i, per tant, els nodes interns han admés qualsevol nivell lògic. En el proper apartat es presenta el bloqueig lògic en aquells circuits que tinguin restriccions a les seves entrades primàries.

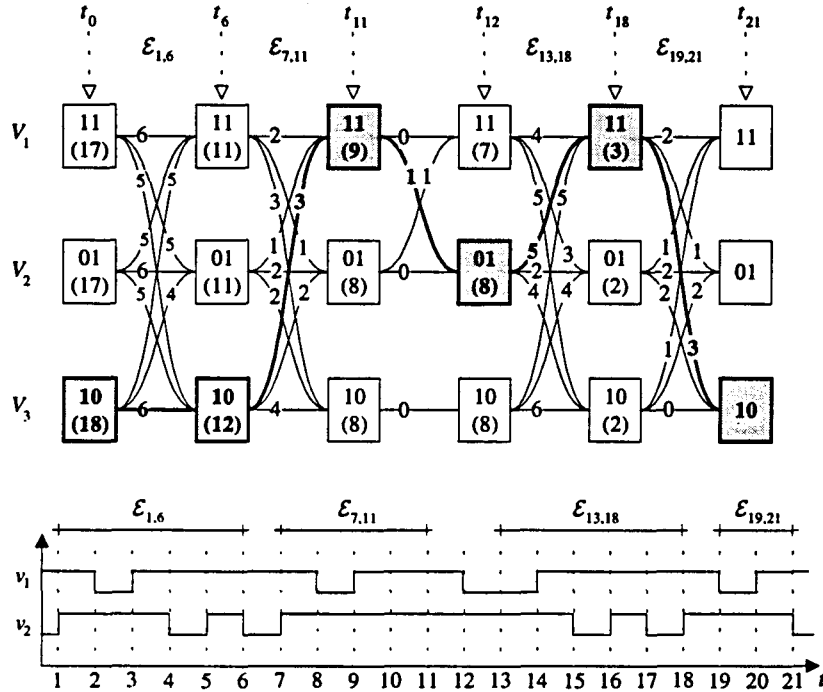


Figura 3.21: En la part superior, graf temporal reduït de l'exemple proposat a la figura 3.10. La solució es presenta amb les caselles de l'estat ombrejades. En la part inferior es dona la solució en forma de cronograma.

3.4.5 Optimització amb restriccions a les entrades primàries del circuit

Imposar restriccions suposa limitar la llibertat de commutació de les entrades primàries del circuit. Alguns senyals d'entrada tindran un nivell lògic o bé una commutació definida i, per tant, pot disminuir l'activitat ponderada màxima del circuit. El càlcul d'una cota superior propera a aquest valor màxim implica que aquesta cota disminueixi també d'acord amb les restriccions aplicades. El bloqueig lògic proposat anteriorment permet fer el tractament d'aquestes restriccions en els mètodes no-depenents-d'entrada, on es fa propagació de formes d'ona incertes. Seguidament s'explica la metodologia que es proposa.

Suposem que en un circuit s'imposen determinats valors lògics al les en-

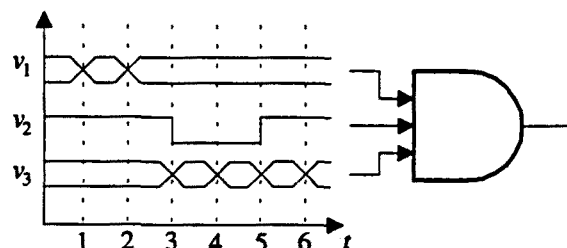


Figura 3.22: Cronograma d'una porta AND de tres entrades amb un senyal d'entrada definit.

trades primàries. Mantenint a la resta d'entrades un valor lògic no definit, s'introdueix el circuit en un simulador lògic. Durant la simulació s'utilitza el model de retard i de filtratge desitjat per al càlcul de la cota superior. Una vegada ha finalitzat la simulació, els nodes es poden trobar en tres situacions diferents. Alguns d'ells romanen no definits. Altres adopten un valor lògic totalment definit en cada un dels instant de temps i uns darrers resten parcialment definits. El valor lògic d'aquests darrers nodes, està definit només en alguns dels instants de temps corresponents al règim transitori del circuit. Posteriorment a aquesta simulació, s'imposen transicions habilitables a les entrades no restringides i es propaguen emprant el mètode explicat en les seccions anteriors. Finalment, després de la propagació es construeixen els cronogrames de transicions habilitables de cada porta.

Els cronogrames que s'obtenen després de seguir els passos esmentats anteriorment, seran de tres tipus. El primer tipus té tots els nodes perfectament definits. Un segon tipus de cronograma, està constituït per nodes indefinits i per transicions habilitables en la seva totalitat. El tercer tipus de cronograma té nodes amb valors lògics parcialment definits i la resta són transicions habilitables.

Tal com s'ha explicat al llarg d'aquest capítol, l'aplicació del bloqueig lògic en els mètodes no-depenents-d'entrada que fan propagació de formes d'ona indeterminades permet millorar el càlcul de la cota superior. L'aplicació d'aquest bloqueig lògic es simplifica considerablement quan els cronogrames de transicions habilitables tenen senyals definides.

En un circuit una porta té un cronograma de transicions habilitables com el de la figura 3.12. Degut a les restriccions imposades en les entrades primàries del circuit, el senyal v_2 adquireix valors lògics reals, veure figura

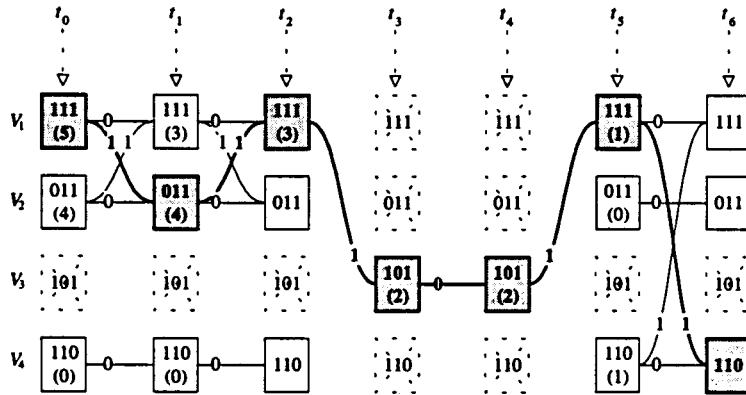


Figura 3.23: Diagrama d'optimització d'un cronograma de transicions habilitables on un dels senyals d'entrada té el valor lògic definit.

3.22. Té nivell alt en els estats anteriors a l'instant de temps 3, nivell baix entre els instants de temps 3 i 5 i torna a tenir nivell alt a partir de l'instant 5.

Aquesta restricció afecta al graf temporal reduït d'optimització de la figura 3.13 de la manera següent. A la figura 3.23, es presenta el nou graf temporal reduït d'optimització que incorpora les restriccions. Dibuixats amb una aspa i en línies de punt s'indiquen aquells estats de les entrades que no són possibles degut a les restriccions del senyal v_2 . Aquests estats queden eliminats del graf temporal reduït i per tant la solució del mateix es simplifica. Si sobre aquest nou graf amb menys estats s'aplica la programació dinàmica i es calculen de nou els pesos als estats inicials del graf, el màxim que s'obté en aquest cas és únic i amb un valor de 5. L'estat inicial corresponent a aquest pes és el (111).

En general, qualsevol tipus de restricció pot ser tractada de manera similar. Si en el cronograma de transicions habilitables, els senyals amb valor lògic definit són més d'un prèviament aquests es poden compactar a un únic senyal, i llavors el cronograma resultant es tracta com el de l'exemple anterior. Si els nivells lògics definits ocupen únicament certs intervals de temps d'un senyal, l'eliminació d'estats afectarà només a les etapes associades a aquests instants de temps. Una vegada eliminats aquests estats no possibles, el graf temporal reduït d'optimització es soluciona normalment.

En la propera secció es presenten les millores introduïdes pel bloqueig lògic en el càlcul del nombre de commutacions dels nodes interns d'un circuit.

3.4.6 Millora del bloqueig lògic

La utilització del bloqueig lògic s'avalua sobre els mateixos circuits de prova emprats anteriorment. Els assaigs consisteixen en fer la propagació de transicions habilitables en cada circuit i obtenir els cronogrames de transicions de les portes AND, NAND, NOR i OR. No es consideren restriccions a les entrades. S'assumeix que qualsevol entrada del circuit pot fer indistintament una transició de pujada o de baixada. A partir dels cronogrames es compten el nombre de commutacions estimades per a cada porta. A continuació s'aplica el bloqueig lògic als cronogrames i, es registra la millora en el nombre de commutacions estimades. En els experiments s'han tingut en compte els tres models de retard utilitzats anteriorment que són: el model de retard unitari, el model de retard variable i el model de retard variable amb filtratge de transicions. Els resultats de les simulacions es presenten a les taules 3.2 3.3 i 3.4.

Model de retard Unitari									
circuit	NAND,NOR, AND,OR		# portes amb millora % dins l'interval indicat						
	#	%	0%	(0:2]%	(2:5]%	(5:10]%	(10:20]%	(20:50]%	(50:100]%
C432	102	64	102	-	-	-	-	-	-
C499	58	29	42	-	-	-	8	8	-
C880	294	77	278	-	-	3	8	5	-
C1355	474	87	474	-	-	-	-	-	-
C1908	441	50	377	-	39	13	-	12	-
C2670	676	53	602	-	-	8	25	41	-
C3540	956	57	892	-	8	16	16	24	-
C5315	1431	62	1222	-	6	19	44	122	-
C6288	2384	99	2278	27	51	27	1	-	-
C7552	2102	60	1805	-	3	9	192	93	-
MBmult	1038	88	1038	-	-	-	-	-	-

Taula 3.2: Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard unitari.

El model de retard s'indica a la part superior de cada taula. Cada una d'elles es divideix en tres grans blocs. A la posició situada més a l'esquerra de la taula s'indica el circuit amb el que s'ha fet l'assaig. Les dues columnes següents formen un segon bloc. En aquest s'indica en nombre de portes

Model de retard Variable									
circuit	NAND,NOR, AND,OR		# portes amb millora % dins l'interval indicat						
	#	%	0%	(0:2]%	(2:5]%	(5:10]%	(10:20]%	(20:50]%	(50:100]%
C432	102	64	86	-	1	14	1	-	-
C499	58	29	42	-	-	-	8	8	-
C880	294	77	224	-	12	7	27	24	-
C1355	474	87	458	-	-	8	-	8	-
C1908	441	50	352	21	29	12	3	24	-
C2670	676	53	343	1	18	44	124	146	-
C3540	956	57	408	12	85	91	179	181	-
C5315	1431	62	833	24	70	76	140	270	-
C6288	2384	99	1949	272	117	17	2	27	-
C7552	2102	60	1223	20	114	194	251	300	-
MBmult	1038	88	777	68	107	46	21	19	-

Taula 3.3: Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard variable.

del tipus AND, OR, NAND i NOR contingudes en el circuit, columna segona. Aquestes són les portes susceptibles d'utilitzar el bloqueig lògic. A la columna tercera s'indica el percentatge d'aquestes portes respecte el nombre total d'elles. En el tercer bloc de la taula, format per les set columnes restants, es detalla el nombre de portes que experimenten una millora percentual que estigui dins de l'interval indicat a la capçalera de cada columna. Per exemple, les portes que estan a la columna (5 : 10]% han experimentat una millora en l'estimació del nombre de commutacions superior al 5% i inferior o igual al 10%. La columna amb un 0% són portes que no tenen millora.

Fent una visió global dels resultats es pot veure com en tots els models de retard i en la majoria de circuits hi ha portes que tenen millores que van del 20% al 50%. El nombre de portes dins d'aquests percentatges augmenta quan es modifica el model de retard de l'unitari al variable i del variable al variable amb filtratge de transicions. En aquest darrer model de retard esmentat hi ha dos circuits que tenen portes amb millores superiors al 50%. Aquests circuits són el C5315 i el C7552 que contenen 3 i 14 portes respectivament a la columna (50 : 100]%.

La modificació dels resultats per efecte del model de retard és un comportament esperat. En el model de retard unitari, les transicions habilitables arriben a les entrades de les portes amb una simultaneïtat molt elevada. Aquesta simultaneïtat empitjora el rendiment del bloqueig lògic. Quan es

Model de retard Variable amb Filtratge Inercial									
circuit	NAND,NOR, AND,OR		# portes amb millora % dins l'interval indicat						
	#	%	0%	(0:2)%	(2:5)%	(5:10)%	(10:20)%	(20:50)%	(50:100)%
C432	102	64	77	-	-	1	2	22	-
C499	58	29	42	-	-	-	16	-	-
C880	294	77	203	-	6	6	41	38	-
C1355	474	87	362	-	32	48	8	24	-
C1908	441	50	244	3	16	30	48	100	-
C2670	676	53	286	5	15	14	175	181	-
C3540	956	57	490	11	68	92	162	133	-
C5315	1431	62	458	4	82	137	342	387	3
C6288	2384	99	1073	185	121	78	572	355	-
C7552	2102	60	718	3	77	266	390	634	14
MBmult	1038	88	597	14	89	142	149	47	-

Taula 3.4: Resultats de la millora introduïda pel bloqueig lògic en l'estimació del nombre de commutacions que fan les portes AND, OR, NAND i NOR en els circuits de prova. En els resultats es presenten pel model de retard variable amb finestra de filtratge inercial.

passa al model de retard variable, aquesta simultaneïtat disminueix degut a que les transicions habilitables s'espaien més en el temps. Quan s'incorpora, finalment, el filtratge de transicions, s'afegeix a aquest espaiament de les transicions habilitables l'eliminació d'algunes d'elles. Aquesta eliminació dificulta encara més l'aparició de transicions simultànies i, per tant, augmenta l'eficàcia del bloqueig lògic.

En la propera secció es discuteix la incorporació de les millores introduïdes pel bloqueig lògic en el càlcul de la cota superior global del circuit.

3.5 Cota superior estructural i funcional, COFUS

La millora introduïda pel bloqueig lògic en el càlcul de la cota superior s'ha incorporat en el programa COSUS. El programa millorat és el COFUS, COta superior FUnccional i eStructural. En aquesta secció es descriu la manera com calcula el programa la cota superior global del circuit.

La propagació de transicions habilitables, explicada a les primeres seccions d'aquest capítol, estima una cota superior al nombre de commutacions que pot fer cada porta d'un circuit. En base a aquest nombre de commutacions es pot estimar una cota superior a l'activitat ponderada màxima fent una suma ponderada de les estimacions individuals de tots els nodes.

El bloqueig lògic s'incorpora a la cota superior de l'activitat ponderada màxima global de la següent manera. Al fer la suma ponderada, es selecciona

el nombre de commutacions obtingut pel bloqueig lògic quan aquest sigui menor que el calculat inicialment per la propagació estructural de transicions habilitables.

La cota superior de l'activitat ponderada⁵ màxima d'un circuit G , es calcularà doncs a partir de la fórmula,

$$CS[APmax^*] = \sum_{v_i \in G} F_i \cdot CS[APmax^*]_i$$

on F_i és el pes⁶ que té la sortida de la porta.

La complexitat que té l'algorisme de COFUS és acotable polinòmicament com es veurà tot seguit. La propagació de les transicions habilitables recorre totes les portes del circuit una única vegada. Si s'assumeix que aquestes tenen un nombre d'entrades constant de N_E , el nombre de transicions habilitables d'una porta creixerà segons $O(P)$ on P és el nombre de portes del circuit. Per tant, la propagació de transicions habilitables té una complexitat d'ordre $O(P^2)$. Si es fa el bloqueig lògic i es suposa que totes les portes són del tipus AND, OR, NAND o NOR llavors el bloqueig lògic es realitza P vegades, una per cada porta del circuit. L'algorisme de programació dinàmica utilitzat en el bloqueig lògic té una complexitat que depèn del producte entre el nombre d'etapes i el d'estats. El nombre d'estats és de l'ordre de N_E , si s'assumeix que no hi han regions d'incertesa. El nombre d'etapes és de l'ordre de P . En conseqüència, la complexitat de l'algorisme és de l'ordre de $O(P^2 + P \cdot (K \cdot P)) = O(P^2)$.

Si s'inclouen les regions d'incertesa i s'assumeix que el nombre d'instants de temps i de transicions habilitables compartides per una regió és de P , llavors el nombre d'estat pot arribar a ser de l'ordre de $(N_E)^P$. En aquest cas l'ordre de l'algorisme és de $O(P^2 + P \cdot ((N_E)^P \cdot P)) = O(P^2 \cdot (N_E)^P) = O((N_E)^{2P})$ que no és acotable polinòmicament. A la pràctica, en tots els circuits experimentats es comprova que el nombre de instants de temps de les regions d'incertesa no creix segons P . En aquest cas, acontant el nombre d'instants de temps i de transicions de les regions d'incertesa a una constant M_R prou gran, és possible utilitzar el mètode sense que la complexitat de la solució sigui una limitació.

⁵Es recorda que aquesta activitat ponderada és la mètrica normalitzada de l'energia de transició del circuit. L'energia de transició és l'energia associada a una parella de vectors quan aquests es commuten en l'entrada d'un circuit.

⁶Aquest pes correspon a la capacitat paràsita del node normalitzada al valor de la capacitat c_0 .

A la propera secció es presenten els resultats de les cotes calculades per COFUS sobre els circuits de prova.

3.6 Resultats de l'eina COFUS

Els circuits de prova emprats en les simulacions inclouen majoritàriament els ISCAS-85. Els resultats que es presenten pels tres models de retard emprats anteriorment en la validació del bloqueig lògic que són: l'unitari, el variable i el variable amb filtratge inercial. En les taules presentades a continuació es compara la cota superior amb una cota inferior aleatòria. També es donen els temps de simulació de les dues cotes.

A la taula 3.5 es presenten els resultats de la cota superior i la cota inferior aleatòria. La taula es divideix en tres grans sectors. El sector de l'esquerra

Circuit	cota superior calculada per COFUS								
	U			V			VFI		
	CS	CI ⁽¹⁾ _{AL}	CS/CI	CS	CI ⁽¹⁾ _{AL}	CS/CI	CS	CI ⁽¹⁾ _{AL}	CS/CI
C432	1420	580	2.4	1882	631	3.0	981	353	2.8
C499	1056	382	2.8	1312	404	3.2	640	251	2.5
C880	3014	790	3.8	5284	929	5.7	3910	724	5.4
C1355	7768	1550	5.0	12488	1616	7.7	5880	724	8.1
C1908	14437	3442	4.2	20795	3999	5.2	8763	1903	4.6
C2670	8798	3307	2.7	15274	3979	3.8	11305	3223	3.5
C3540	20942	5458	3.8	43014	8514	5.1	23912	4197	5.7
C5315	22926	5668	4.0	43467	5426	8.0	23908	5551	4.3
C6288	166984	89421	1.9	330784	71991	4.6	173736	36303	4.8
C7552	36820	12075	3.0	74726	13635	5.5	40364	9371	4.3
MBmult	28735	8049	3.6	56400	10786	5.2	21461	3678	5.8

(1) Selecció del millor resultat d'una simulació de 10000 parelles de vectors generades aleatòriament.

Taula 3.5: Comparació de la cota superior *CS*, millorada amb el bloqueig lògic, amb una cota inferior aleatòria *CI_{AL}*. Aquesta cota inferior aleatòria s'obté mitjançant la simulació de 10000 parelles de vectors generats aleatòriament. Els resultats es presenten pels tres models de retard: unitari "U", variable "V" i variable amb filtratge inercial "VFI".

hi ha els resultats obtinguts amb el model de retard unitari "U". En el sector central els del model de retard variable "V" i en el sector de la dreta els del model de retard variable amb filtratge inercial "VFI". Dins de cada sector, la columna de l'esquerra mostra els resultats de la cota superior, la central el de la cota inferior aleatòria i la de la dreta el quocient entre aquestes dues cotes.

La cota inferior aleatòria s'obté amb la simulació de 10000 parelles de vectors generades aleatòriament. L'obtenció de la cota inferior aleatòria es fa a partir de l'eina SAIL que avalua l'activitat ponderada d'un conjunt d'excitacions prefixat. SAIL és un programa desenvolupat també en el marc de la tesi i que utilitza com a nucli el simulador lògic HISIM del paquet HILO [32].

Els resultats de les taules són els següents. Pel model de retard unitari el quocient ($\frac{CS}{CI_{AL}}$) oscila entre el 1.9 del circuit C6288 fins al 5.0 del circuit C1355. Quan el model de retard és el variable, l'interval de quocients està entre el 3.0 del C432 fins al 8.0 del circuit C5315. Finalment pel model de retard variable amb filtratge de transicions els quocients van del 2.5 del circuit C499 fins al 8.1 del circuit C1355.

Les discrepàncies que s'observen entre les dues cotes cal atribuir-les a dues causes principalment. Per un cantó, en el càlcul de la cota superior s'han fet diverses simplificacions a l'objectiu d'accelerar el temps de càlcul. La mes important és l'assumpció d'independència dels senyals d'entrada de les portes. Per altre cantó, l'obtenció de la cota inferior per mitjà de la simulació de parelles de vectors aleatòries no assegura que el màxim obtingut sigui suficientment proper al valor desitjat. En qualsevol cas, de les simulacions realitzades es pot afirmar que la discrepància entre les dues cotes està per sota d'un ordre de magnitud.

Si es miren els temps d'execució de cadascuna de les eines s'arriba als valors llistats a la taula 3.6. Com en la taula anterior, aquesta també està dividida en tres sectors. Cada sector correspon a un dels tres models de retard utilitzats. El contingut de les columnes "CS" és el temps d'execució de l'algorisme COFUS en segons. Semblantment, en les columnes "CI_{AL}" es mostra el temps d'execució de l'eina SAIL corresponent a la seqüència de 10000 parelles de vectors. Finalment, a les columnes " $\frac{CI}{CS}$ " es calcula el quocient d'aquestes dues quantitats. Quan el model de retard és l'unitari aquests quocients oscilen entre el valor 140 del circuit C1355 fins al valor 438 del circuit C7552. Pel model de retard variable, aquests valors oscilen entre el 143 del C6288 fins al 405 del C7552 i finalment pel model de retard variable amb filtratge de transicions els valors van des del 141 del MBmult fins al 478 del C7552. En tots els casos estem parlant de valors superiors a dos ordres de magnitud en l'escala del temps.

Com a resum d'aquests resultats, les dades obtingudes confirmen l'avantatge que representa utilitzar un estimador de cota superior en front de la simulació d'excitacions aleatòries. Si es compara el criteri de precisió conjuntament amb el d'eficiència, en tots els circuits, el càlcul de la cota superior millora

Circuit	Temps d'execució en segons.								
	U			V			VFI		
	CS	$CI_{AL}^{(1)}$	α_{ICS}	CS	$CI_{AL}^{(1)}$	α_{ICS}	CS	$CI_{AL}^{(1)}$	α_{ICS}
C432	0.58	92	159	0.65	128	197	0.68	168	247
C499	0.47	86	183	0.45	108	240	0.45	137	304
C880	1.08	208	193	1.92	326	170	2.03	384	189
C1355	2.72	380	140	4.13	610	148	4.73	1076	227
C1908	4.63	738	159	7.12	1106	155	7.17	1595	222
C2670	3.27	841	257	5.60	2007	358	6.40	2653	415
C3540	7.60	1656	218	13.75	3103	226	14.83	3997	270
C5315	14.27	4613	323	15.32	4517	295	19.35	5479	283
C6288	43.88	9131	208	101.55	14489	143	98.15	17291	176
C7552	15.77	6909	438	26.82	10856	405	28.00	13387	478
MBrnk	9.42	1588	169	19.53	4190	215	24.13	3403	141

(1) Temps de simulació de 10000 parelles de vectors.

Taula 3.6: Comparació dels temps d'execució de l'algorisme COFUS, que calcula la cota superior, i de la cota inferior aleatòria.

en un ordre de magnitud el mètode basat en la simulació aleatòria.

Per acabar la presentació d'aquests resultats es mostren sis gràfiques que comparen les cotes superior i inferior aleatòria node a node, veure la figura 3.24. Aquestes dues cotes es presenten ordenant els nodes de manera que la cota superior vagi creixent a mesura que ens movem desde l'origen de coordenades en el sentit de l'eix d'abscisses. Així doncs, l'eix d'abscisses representa els nodes del circuit i l'eix d'ordenades l'activitat ponderada màxima de cada node. L'eix d'ordenades es representa en escala logarítmica. Com que en un eix logarítmic no es pot representar el valor zero, els nodes que tinguin una cota de zero queden exclosos de la gràfica. La línia contínua indica la cota superior i les aspes la cota inferior aleatòria.

Una anàlisi de les gràfiques del circuit C1908 mostra una dispersió important en els valors individuals de les cotes inferiors aleatòries respecte de les cotes superiors excepte en alguns cassos on aquestes dues cotes són molt properes. Aquesta dispersió en els valors individuals de les cotes fa que la relació promig de la cota superior global del circuit empitxori front a la cota inferior aleatòria global. Contràriament, en el circuit C6288 les cotes inferiors aleatòries tenen una dispersió molt més baixa. Aquest comportament és pot atribuir a la regularitat de l'estructura i a la presència de moltes portes XOR. En aquest segon circuit és destacable la proximitat entre les dues cotes

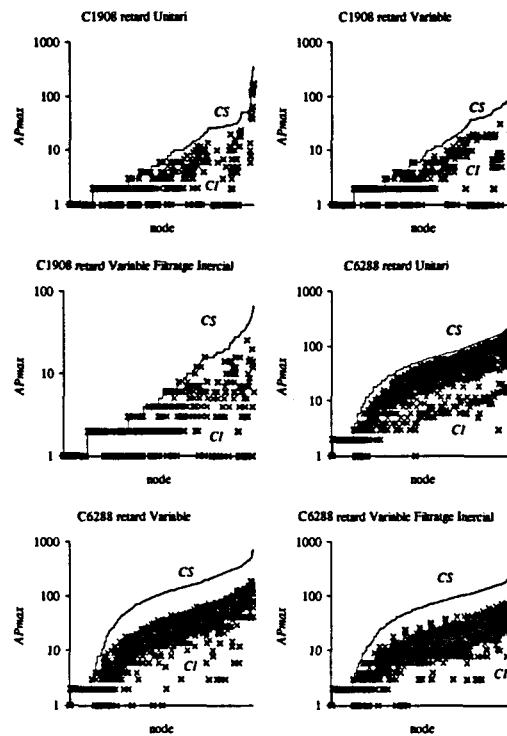


Figura 3.24: Comparació de la cota superior (línia contínua) i de la cota inferior aleatòria (àspes) node a node en els circuits C1908 i C6288.

quan el model de retard utilitzat és l'unitari. Això és degut, per un cantó, a la facilitat d'obtenir una cota inferior aleatòria propera a l'activitat ponderada màxima i, per altre cantó, a que el mecanisme principal d'eliminació de transicions en el model de retard unitari és la simultaneïtat d'arribada d'aquestes transicions a les entrades de les portes. Aquest mecanisme està ben modelat en el càlcul de la cota superior.

A continuació es presenten les conclusions més importants d'aquest capítol.

3.7 Conclusions

L'energia de transició és l'energia que consumeix un circuit quan es comuta una parella de vectors a les entrades primàries d'aquest. L'energia de transició s'estima, a nivell lògic, amb la mètrica d'activitat ponderada. En aquest capítol es presenta una tècnica que permet realitzar el càlcul d'una cota superior de l'activitat ponderada màxima d'un circuit combinacional. Aquesta tècnica es basa en un estimador, COSUS, que incorpora l'estat de l'art pel que fa a metodologies no-depenents-d'entrada. Aquest estimador utilitza la propagació de formes d'ona incertes al llarg del circuit que determinen els instants de temps en els que els nodes poden commutar. Les regles de propagació que incorpora l'eina COSUS es basen en la utilització de la informació estructural del circuit. Aquesta està constituïda per la interconnexió de les portes i els models de retard i de filtratge de les mateixes. En canvi, no s'utilitza la funció lògica de les portes. No es considera tampoc la correlació espacial ni temporal dels senyals interns.

En aquest capítol es millora la tècnica de COSUS introduint l'efecte del bloqueig lògic. Aquest efecte analitza la correlació estructural dels senyals interns a nivell de porta i ajusta el nombre de commutacions estimat per cada node en base a aquesta correlació. El càlcul del bloqueig lògic es realitza per mitjà de programació dinàmica. Aquesta tècnica proposada s'incorpora en un nou estimador anomenat COFUS.

La millora introduïda pel bloqueig lògic es valida en els circuits de prova, constituïts majoritàriament pels ISCAS-85. Inicialment, es compara COSUS amb COFUS. La comparació es du a terme comptabilitzant el nombre de commutacions estimat per cada eina node a node. Com a resultat més rellevant es pot destacar que COFUS es capaç de reduir en més d'un 50% el nombre de commutacions estimades per COSUS, en determinats nodes. Aquesta reducció s'aconsegueix amb la utilització d'un model de retard variable amb filtratge de transicions.

La segona comparació es fa entre la cota superior obtinguda per COFUS i una cota inferior aleatòria. Aquesta cota inferior s'obté amb una eina anomenada SAIL i consisteix en la simulació d'un conjunt de 10000 parelles de vectors obtingudes aleatòriament. La cota inferior es calcula a partir de la selecció del millor resultat. En la comparació de les dues cotes també es tenen en compte els temps de simulació. Com a resultats més rellevants es destaca que el circuit C6288 dona una relació entre la cota superior i la cota inferior aleatòria de 1.9. En tots els casos, la cota superior està per sota de l'ordre de magnitud de la cota inferior aleatòria. Per contra, els temps de

simulació presenten diferències al voltant dels dos ordres de magnitud.

Es pot concloure, doncs, que la cota superior proposada és una eina potent pel que fa a l'estimació de l'energia de transició màxima, sobretot en el càlcul a nivell de node. És capaç de detectar ràpidament els "punts calents" del circuit.

Capítol 4

Cota inferior propera de l'energia de transició màxima

El càlcul d'una cota inferior propera de l'energia de transició màxima, es fa en base a la descripció lògica d'un circuit combinacional. S'utilitza un mètode depenent-d'entrada que es fonamenta en tècniques de test lògic. Aquest mètode calcula una aproximació per defecte de l'energia de transició màxima i alhora la parella de vectors d'excitació.

El capítol s'estructura de la següent manera. En primer lloc es fa una introducció on es descriuen breument els treballs relacionats amb aquest tema i es presenta l'esquema general de la metodologia proposada. Seguidament, en la secció 4.2 es comenten els models en els que es basa la cerca de la cota inferior propera de l'energia de transició màxima. A la secció 4.3 s'explica la primera fase del mètode que consisteix en fer una propagació de transicions habilitables. Aquesta propagació és molt similar a la utilitzada en el capítol 3 en el càlcul de la cota superior. Amb posterioritat a la propagació es fa una transformació temps-espai del circuit. Aquesta transformació s'aborda a la secció 4.4. Després de la transformació es calcula la cota inferior propera, en la secció 4.5. La primera tècnica de càlcul de la cota inferior propera que es proposa és acurada però la seva utilització està limitada a circuits petits. A la secció 4.6 es proposa una tècnica alternativa basada en un heurístic que permet obtenir la cota inferior propera en circuits més grans. En la secció 4.7, el mètode que es presenta s'experimenta en un conjunt de circuits de prova formats majoritàriament pels ISCAS-85. Finalment, en la secció 4.9 es descriuen les conclusions d'aquest capítol.

4.1 Introducció

En aquest capítol es planteja com a objectiu l'obtenció d'una cota inferior propera de l'energia de transició màxima. Aquesta estimació es fa com abans sobre un circuit combinacional CMOS on s'aplica una parella de vectors, anterior V_a i present, V_p a les seves entrades primàries. El càlcul d'aquesta cota inferior propera ens permet l'obtenció, alhora, de la parella de vectors $\{\widehat{V_a, V_p}\}_{max}$ que forcen el circuit en aquest punt d'activitat proper per defecte a l'energia de transició màxima.

A la bibliografia es troben diversos treballs que aborden aquest tema [18] [26] [27] [28] [42] [99] [108] [109] [114] [115]. Les tècniques que s'utilitzen són diverses. Les més directes apliquen Monte-Carlo i seleccionen el millor cas del conjunt d'experiments realitzats, [108]. Un inconvenient greu d'aquest mètode proposat per Wang *et al.* és que el màxim obtingut per la selecció del millor resultat és un estadístic sesgat i per tant l'obtenció del seu valor és molt difícil. Una altra estratègia proposada per Hill *et al.* opta per estimar un màxim a partir d'un estadístic no sesgat [99]. Malgrat això cal excitar el circuit amb moltes parelles de vectors per arribar a obtenir un error petit per a un nivell de confiança acceptable. Un altre dels mètodes proposat per Hsiao *et al.* és el basat en algorismes genètics, [114]. En aquests, la generació de les parelles de vectors no és totalment aleatòria sino que s'orienta en base a l'evolució que té l'estimació de l'energia de transició màxima.

Una estratègia diferent és la que utilitzen [18] [27] [28] [42] [109]. En aquests mètodes s'intenta trobar les condicions que han de complir els senyals d'entrada per a provocar un màxim en l'energia de transició. Tots ells es fonamenten en tècniques que ja s'havien utilitzat en el test de circuits lògics. Tradueixen el problema de la commutació dels nodes en un problema de test de falles lògiques. Un dels grans problemes que tenen aquest segon tipus de tècniques és el tractament del domini temporal dels circuits [18] [28] [109]. Els autors assumeixen que el model de retard de les portes es zero i d'aquesta manera el problema de maximització passa a tenir un enfoc únicament estàtic. La gran limitació que imposa aquesta simplificació és que s'obvia el consum addicional de les transicions falses. A [27] i [42] s'inclouen models de retard diferents de zero que permeten la maximització tenint en compte les transicions falses. Malauradament, els algorismes utilitzats per al procés de maximització limiten l'anàlisi a circuits petits.

Malgrat les limitacions esmentades en el paràgraf anterior, les estratègies de maximització basades en tècniques de test lògic han demostrat que po-

den assolir l'objectiu imposat en un temps molt menor que les que es basen en la simulació massiva de parelles de vectors. Per aquesta raó el mètode que es proposa en aquest capítol s'enfoca cap a la utilització d'eines basades en la detecció automàtica de patrons de test, *Automatic Test and Pattern Generators* (ATPG). La metodologia presentada millora les anteriors en que permet treballar amb models de retard realistes [91]. Es combina l'eficàcia d'aquestes tècniques de test amb la millora del tractament del domini temporal i del filtratge de transicions.

En la figura 4.1 es presenta l'esquema general que segueix la metodologia proposada en aquest capítol i que ha estat publicada a [103] i [117]. Els

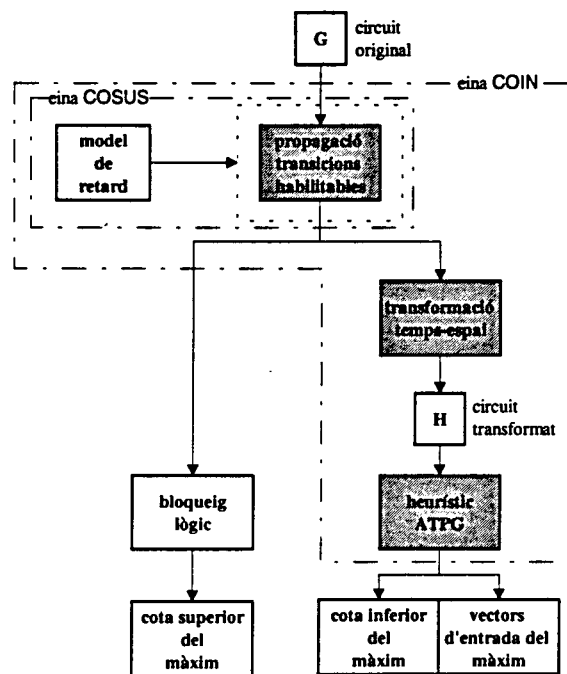


Figura 4.1: El càlcul de la cota inferior propera de l'energia de transició màxima es fa en les tres fases indicades en el diagrama de la figura. El procés permet realitzar el càlcul de la cota i obtenir la parella de vectors que força l'energia de transició màxima.

recuadres ombrejats indiquen els tres passos bàsics a seguir. Primer de tot, com en el cas de la cota superior propera, es calculen les transicions habilitables de cada un dels nodes del circuit original G . A continuació es

genera un nou circuit anomenat H , mitjançant una transformació temps-espai. En aquesta transformació el domini funcional i temporal del circuit original es tradueixen en una nou domini funcional en el circuit transformat. Aquest nou circuit és capaç de reproduir de manera simultànea les evolucions en el temps dels nodes del circuit original. El circuit transformat té tantes sortides primàries com el nombre de possibles commutacions que es puguin donar en el circuit original. Aquestes sortides són detectors de transició que indiquen, amb un valor 1, la commutació d'un node del circuit original en un cert instant de temps. Finalment, en la darrera etapa es resol un problema de maximització ponderada. Es tracta de cercar la parella de vectors d'entrada que maximitzi el nombre de commutacions ponderades amb un pes en els nodes del circuit original. En el circuit transformat H , aquest problema és equivalent a forçar el màxim nombre de sortides a 1, tenint en compte els pesos. L'algorisme de maximització es basa en una eina de ATPG, *Automatic Test and Pattern Generator*, [32] [49].

Seguidament, es presenten els models utilitzats en el càlcul d'aquesta cota inferior propera.

4.2 Models

El càlcul de la cota inferior propera de l'energia de transició màxima es fa a partir de la mètrica de l'activitat ponderada. Es considera una descripció a nivell lògic del circuit com la descrita per Singh *et al.* a [91]. S'assumeixen models de retard estàtic zero, unitari, variable i variable amb filtratge inercial per a les portes del circuit [23] [25] [31] [45] [58]. Tal com es defineix en el capítol introductori d'aquesta tesi, l'activitat ponderada utilitza com a constants de partida uns pesos assignats a cada node. Si bé en l'apartat de resultats es pren el fanout de les portes com els pesos a utilitzar en el càlcul de la cota inferior propera, aquests pesos poden ser qualsevol valor definit per l'usuari.

En la secció que vé a continuació s'explica l'anàlisi del domini temporal que es fa en el circuit original. Aquesta anàlisi permet que es faci la transformació temps-espai posteriorment.

4.3 Propagació de transicions habilitables

En el capítol anterior s'ha presentat un mètode de càlcul d'una cota superior propera a l'energia de transició màxima. El mètode s'ha fonamentat en

una tècnica no-depent-d'entrada que utilitza la propagació de transicions habilitables per a estimar una cota superior del nombre de commutacions que fa cada node.

L'objectiu de la propagació de transicions habilitables és la de determinar els instants de temps en els que cada node d'un circuit pot fer una commutació. En el càlcul de la cota inferior propera també s'utilitza aquesta propagació de transicions habilitables. La mecànica de la propagació és essencialment la mateixa que la utilitzada en el càlcul de la cota superior propera. En els paràgrafs que segueixen s'exposen les peculiaritats d'aquesta quan s'aplica en el càlcul de la cota inferior propera.

Durant la propagació de les transicions habilitables es té en compte el filtratge de transicions ja que permet fer una estimació més realista de les possibles commutacions que poden donar-se en els nodes. En el capítol anterior s'ha demostrat que quan es filtra, en una porta, un conjunt de transicions habilitables consecutives apareix una indeterminació temporal a la sortida d'aquesta. El tractament d'aquestes indeterminacions s'ha fet creant unes regions d'incertesa on la transició habilitable filtrada pot compartir diversos instants de temps. Aquest mecanisme de les regions d'incertesa no funciona correctament quan es vol calcular la cota inferior propera. La raó està en el fet que durant la transformació temps-espai posterior, cada transició habilitable¹ ha tenir assignat un únic instant de temps.

Tenint en compte aquesta limitació es fa, doncs, una aproximació. Durant el filtratge de les transicions habilitables, només es permet l'assignació d'un únic instant de temps a cada transició habilitable resultant del filtratge. D'aquesta manera s'elimina la indeterminació temporal a la sortida del filtre i, en conseqüència, la necessitat d'operar amb les regions d'incertesa. Els efectes d'aquesta aproximació són una disminució del nombre de transicions habilitables calculades en el circuit. Aquesta disminució pot tenir conseqüències posteriors en la cota inferior obtinguda. Malgrat això, sota certes condicions que s'esmentaran més endavant, aquesta disminució és acceptable.

A la taula 4.1 s'indiquen els efectes que té l'aproximació proposada sobre el nombre de instants de temps i de transicions habilitables estimades. Els valors mostrats a la taula s'han calculat amb un model de retard variable amb filtratge inercial. La columna (sense aprox.) mostra els valors obtinguts de la propagació original. En la columna (amb aprox.) es presenten els resultats

¹Es recorda que una transició habilitable representa una commutació potencial en un cert instant de temps.

de la propagació realitzada amb l'aproximació. A les columnes reducció (%) es calcula el percentatge de les diferències entre els dos valors. A la taula

Circuit	Model de retard variable amb filtratge inercial					
	# Instants de temps de commutació			# Transicions habilitables		
	sense aprox.	amb aprox.	reducció (%)	sense aprox.	amb aprox.	reducció (%)
C432	1,209	636	47	764	636	17
C499	952	386	59	476	386	19
C880	4,272	2,112	51	3,367	2,112	37
C1355	8,234	1,938	76	4,604	1,938	58
C1908	12,967	3,331	74	6,980	3,331	52
C2670	11,727	7,121	39	9,338	7,121	24
C3540	29,693	9,850	67	18,767	9,850	48
C5315	32,640	11,016	66	19,576	11,016	44
C6288	190,001	64,756	66	119,740	64,756	46
C7552	54,340	19,526	64	32,977	19,526	41
MBmult	37,869	8,014	79	17,087	8,014	53

Taula 4.1: En el càlcul de la cota inferior propera de l'activitat ponderada màxima, el filtratge de les transicions habilitables es tracta com si aquestes fossin reals. Amb aquesta aproximació hi ha una disminució del nombre de transicions habilitables i de instants de temps obtinguts.

es pot veure que, quan no hi ha aproximació, el nombre d'instants de temps calculats és més gran que el de transicions habilitables. En canvi, aquestes dues quantitats passen a ser iguals quan s'aplica l'aproximació. El nombre de transicions habilitables es veu disminuït, per causa de l'aproximació, d'un 17% pel circuit C432 fins a un 58% pel circuit C1355.

Els instants de temps de commutació calculats en la fase explicada en aquesta secció permeten transformar el domini funcional, arquitectural i temporal del circuit que es vol analitzar en un nou domini funcional i arquitectural mitjançant una transformació temps-espai. En la propera secció s'explica aquesta transformació.

4.4 Transformació temps-espai

En un circuit G descrit amb portes lògiques i amb un model de retard i de filtratge estàtics, es defineix la transformació temps-espai. D'aquesta transformació s'obté un nou circuit H que té, per cada node g_i del circuit original G , un conjunt de nodes interns, h_{ij} . Aquests nodes indiquen, de manera instantània, les evolucions del node g_i al llarg del temps. Si el

node g_i adopta un conjunt de $n_i + 1$ valors al llarg del temps, al circuit H hi haurà un conjunt de $n_i + 1$ nodes interns que valdran $\{h_{i0} \equiv g_i(t_0), \dots, h_{ij} \equiv g_i(t_j), \dots, h_{in_i} \equiv g_i(t_{n_i})\}$.

Les sortides del circuit H són detectors de transició que indiquen si hi ha commutació entre dos instants de temps consecutius. Per cada node g_i del circuit original es tenen $n_i + 1$ nodes interns $h_{ij}, j \in (0, \dots, n_i)$ i, per tant, hi haurà n_i nodes de sortida z_{ij} que valdran,

$$z_{ij} = h_{ij-1} \oplus h_{ij}$$

on $i = 1, \dots, P$ i $j = 0, \dots, n_i$, sent P el nombre de nodes del circuit.

En el moment de fer la transformació, el nombre de nodes h_{ij} vé determinat pel nombre d'instants de temps de commutació calculats en la fase prèvia, durant propagació de transicions habilitables.

En la figura 4.2 es presenta un exemple senzill d'aquesta transformació. El circuit original, G , consta de dues portes: una NOT i una porta NAND. La porta NOT està intercalada en una de les entrades de la NAND. Els retards de cada porta és $\tau = 1$ per la inversora i $\tau = 2$ per la NAND. Fent una propagació de transicions habilitables es determinen els instants de temps de commutació indicats entre parèntesi en cada node. La porta NOT pot commutar a l'instant 1 com a conseqüència d'un canvi a la seva entrada. La porta NAND ho pot fer als instants de temps 2 i 3 degut a un canvi a la seva entrada primària o a la porta NOT.

En el circuit transformat H , els vectors anterior i present, $\{V_a, V_p\}$ entren simultàneament. Les dues portes NOT $h_{1,0}$ i $h_{1,1}$ són les rèpliques temporals de la porta g_1 . Les tres NANDs $h_{2,0}, h_{2,1}, h_{2,2}$, són les rèpliques dels instants de temps 0, 2 i 3 de la porta g_2 . La sortida $z_{1,1}$ detectarà si hi ha un canvi a la porta NOT i les sortides $z_{2,1}$ i $z_{2,2}$ els dos possibles canvis de la NAND. A l'apèndix C es dona un exemple més complet basat en el circuit C17 dels ISCAS-85.

El nombre de portes que tindran els circuits H dependrà del tamany del circuit original i del nombre de transicions falses que es puguin generar en aquest. A la figura 4.3 es presenta una gràfica on es poden veure les relacions entre les grandàries dels circuits de prova i de les seves transformacions. A l'eix d'abscisses s'indica el nombre de portes dels circuits de prova originals. A l'eix d'ordenades hi ha les grandàries dels circuits transformats segons tres models de retard: model de retar unitari "U", retard variable "V" i model de retard variable amb filtratge inercial "VFI". Es pot veure com hi ha una relació aproximadament proporcional entre els tamany originals i els dels

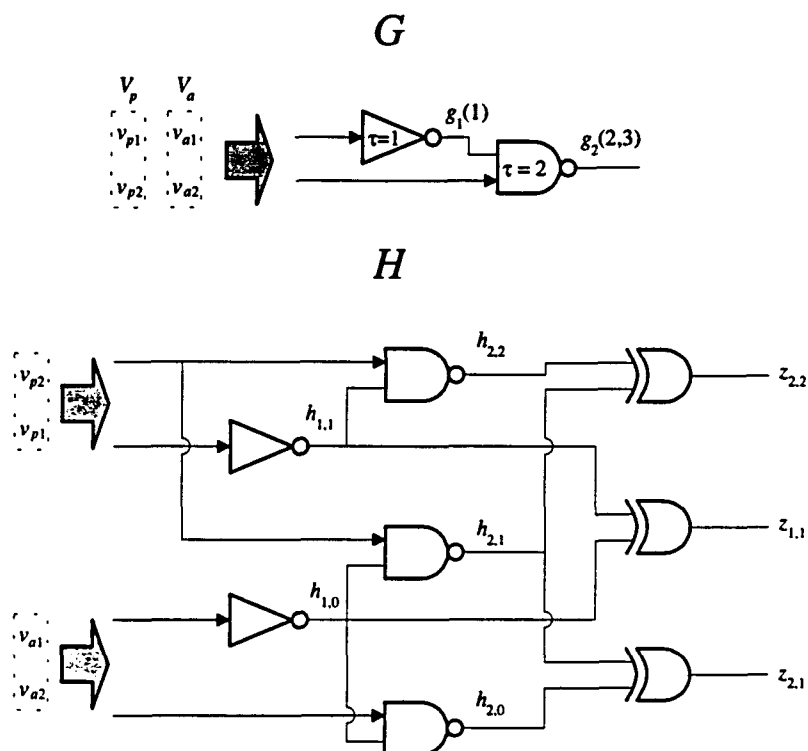


Figura 4.2: Transformació temps-espai d'un circuit senzill G . El circuit transformat, H , té tants nodes com valors poden adoptar els nodes del circuit original, G , al llarg del temps. Les sortides de H són detectors de commutació.

circuits transformats excepte en dos casos, el circuit MBmult i el C6288 que són dos multiplicadors de dimensions 8×8 i 16×16 respectivament. És conegut que els multiplicadors són circuits que tenen una activitat interna de transicions falses molt elevada i això queda, doncs, reflectit en el tamany del circuit transformat. Dels tres models de retard el que dona, en la majoria de circuits, uns tamany més petits és el variable amb filtratge inercial.

A la propra secció es presenta l'esquema de càlcul de la cota inferior propra utilitzant un esquema de test de falles lògiques en el circuit H .

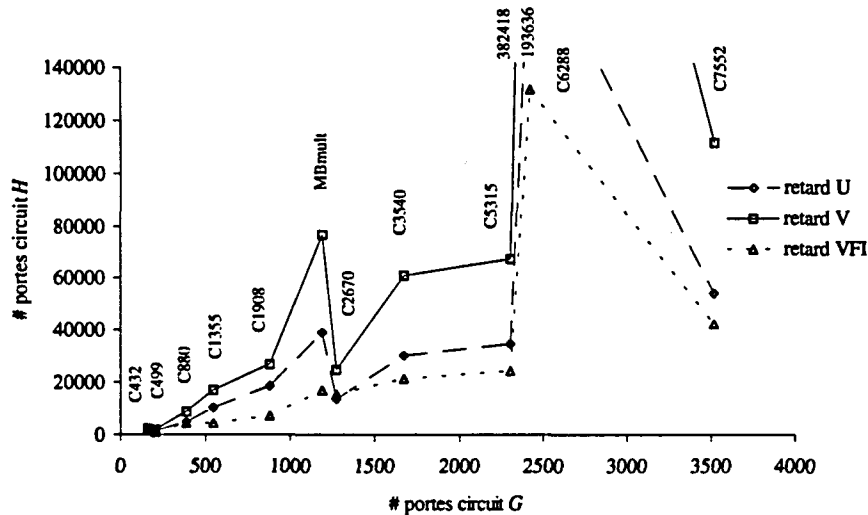


Figura 4.3: Mida dels circuit G i del circuit H després de la transformació temps-espai. Les transformacions s'han fet suposant tres models de retard: unitari "U", variable "V" i variable amb finestra de filtratge inercial "VFI".

4.5 Determinació de la cota inferior propera

La determinació de l'activitat ponderada màxima, AP_{max}^* , i de la parella de vectors que exciten el circuit amb aquesta activitat màxima, $\{V_a, V_p\}_{max}^*$, és un problema NP-complet. Emprant una tècnica de test de falles lògiques sobre el circuit transformat H , es cerca una parella de vectors que donin una activitat ponderada propera a AP_{max}^* . A la figura 4.4 es presenta l'esquema de test utilitzat. Partint del circuit H , les sortides d'aquest es multipliquen pels pesos corresponents dels nodes, $F_{i,j}$. Posteriorment es sumen els productes en el bloc (+) i s'obté l'activitat ponderada per a la parella de vectors d'entrada, $AP(\{V_a, V_p\})$. Aquesta activitat, es compara amb un nivell de referència AP_{ref} en el bloc comparador (>). Si la comparació és $AP(\{V_a, V_p\}) > AP_{ref}$ llavors el comparador dona un 1, en cas contrari un 0.

Fixat un nivell de referència, es busca la parella de vectors $\{V_a, V_p\}$ utilitzant una eina de ATPG de la següent manera. Es situa una falla *stuck0* en el node de sortida del comparador i es fa que aquesta sortida sigui observable.

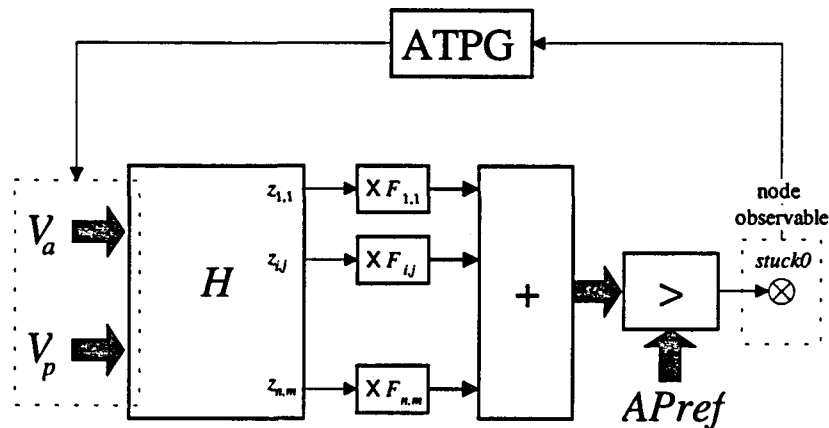


Figura 4.4: Esquema d'obtenció de la cota inferior propera de l'activitat ponderada màxima per a circuits petits.

Amb l'eina ATPG es fa una recerca de la parella de vectors que detectin la falla. Si la solució existeix significa que l'excitació d'entrada és capaç de forçar la sortida a 1 i per tant indica que s'ha aconseguit una $AP(\{V_a, V_p\})$ més gran que el nivell de referència especificat, $APref$. Si la falla no és detectable la solució no existeix i, en conseqüència, el nivell $APref$ especificat està per sobre del nivell d'activitat ponderada màxim del circuit, $APmax^*$.

Utilitzant un algorisme de búsqueda dicotòmica, es pot anar ajustant el nivell de referència $APref$ fins a l'obtenció de la solució desitjada, $APref = APmax^*$. La parella de vectors que s'obté per a aquest nivell de referència és la parella corresponent a l'activitat ponderada màxima, $\{V_a, V_p\}_{max}^*$.

L'esquema proposat en els paràgrafs anteriors presenta algunes limitacions d'ordre pràctic que redueix la seva aplicació a circuits petits, de menys de 50 portes. Per exemple, si s'utilitza un model de retard zero (propagació instantànea de les transicions) i si s'assumeix un pes unitat en els nodes del circuit, el circuit C17 dona una activitat ponderada màxima de $APmax_{DIC}(C17) = 6$, que és el valor més elevat possible. En les mateixes condicions, si es calcula el màxim del circuit de grandària intermitja, C432, i d'un de grandària elevada, el C6288, els valors obtinguts són $APmax_{DIC}(C432) = 81$ i $APmax_{DIC}(C6288) = 1051$. Aquestes darreres estimacions són dolentes perquè simulant parelles de vectors generades aleatòriament, amb una durada de simulació menor s'obtenen estimacions

més elevats, $AP_{max_{ALE}}(C432) = 93$ i $AP_{max_{ALE}}(C6288) = 1222$ respectivament.

La dificultat del mètode es centra principalment en la capacitat que té l'eina d'ATPG de trobar els vectors d'excitació de la falla *stuck0* mentre aquesta sigui detectable. En cas de no ser-ho, cal que s'indiqui la indetectabilitat en un temps raonable. L'estructura interna del sumador (+) junt amb el comparador de sortida (>) limita en gran manera l'eficàcia de l'ATPG degut a la reconvergència interna elevada que presenten aquests blocs. Degut a això, la confirmació de la indetectabilitat de la falla *stuck0* per part de l'ATPG pot prendre un temps de CPU innacceptable.

A la propera secció es proposa un heurístic que simplifica la búsqueda de l'energia de transició màxima en circuits grans.

4.6 Heuristic per al càlcul de la cota inferior propera

L'heurístic que es proposa té com a objectiu la simplificació de l'arquitectura presentada a la figura 4.4. L'objectiu d'aquesta simplificació és facilitar la detecció de la falla *stuck0*. La modificació que es proposa consisteix en reduir al mínim possible l'arquitectura dels tres blocs (x), (+) i (>). El nou esquema es mostra a la figura 4.5. Els tres blocs esmentats del producte, la suma i la comparació, queden substituïts per una porta AND. Les entrades d'aquesta porta són directament les sortides del circuit *H*, els nodes $z_{i,j}$. Es defineix Z_{max}^* com el conjunt de sortides $z_{i,j}$ que detecten commutació quan l'activitat ponderada és màxima. Suposem que es connecten tots els nodes del conjunt Z_{max}^* a la porta AND i es col·loca una falla *stuck0* a la seva sortida, node *oe*, fent-la observable. En aquesta situació, si s'utilitzés una eina d'ATPG, tal com s'especifica a la figura 4.5, seria possible trobar la parella de vectors del màxim, $\{V_a, V_p\}_{max}^*$, aquella de detectaria la falla *stuck0*. En conseqüència es podria determinar el valor de AP_{max}^* utilitzant el mecanisme descrit.

A la pràctica, la connexió de la AND proposada en el paràgraf anterior és molt difícil perquè el conjunt Z_{max}^* és desconegut. Cal doncs, en primer lloc, fer una recerca de quins són els nodes d'aquest conjunt. La construcció del conjunt Z_{max}^* es fa mitjançant un heurístic que utilitza les següents condicions.

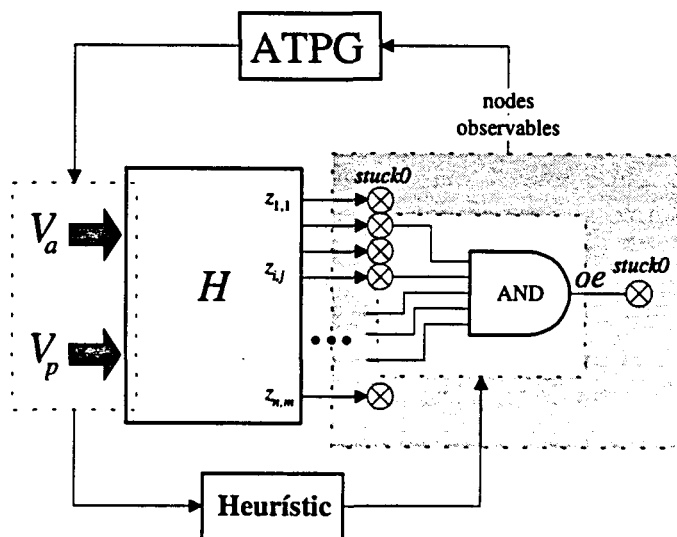


Figura 4.5: Esquema proposat per al càlcul de la cota inferior propera de l'activitat ponderada màxima en circuits grans.

Condició 1 La falla *stuck0* del node *oe* serà detectable si un subconjunt de nodes $\{z_{i,j}\}_{AND} \subset Z_{max}^*$ es connecta a la porta AND.

Condició 2 El conjunt de nodes connectats a la AND no serà subconjunt del màxim, $\{z_{i,j}\}_{AND} \not\subset Z_{max}^*$, si la falla *stuck0* del node *oe* no és detectable.

A la part superior de la figura 4.6 es representen gràficament les condicions anteriors.

Per realitzar la construcció del conjunt Z_{max}^* es parteix inicialment d'un subconjunt reduït de nodes z . És una condició indispensable que aquest subconjunt reduït de nodes pertanyi a Z_{max}^* . Malauradament, les condicions enunciades anteriorment no permeten fer aquesta verificació. Això es degut al fet de que les implicacions inverses de les condicions anteriors no són certes, veure la figura 4.6. Per exemple, la detectabilitat de la falla *stuck0* situada a la sortida de la porta AND no assegura que els nodes connectats a la AND siguin del conjunt Z_{max}^* . Poden haver-hi altres subconjunts inicials de nodes z que no sent de Z_{max}^* permetin la detecció de la falla. Com que una búsqueda exhaustiva d'un subconjunt inicial és molt costosa,

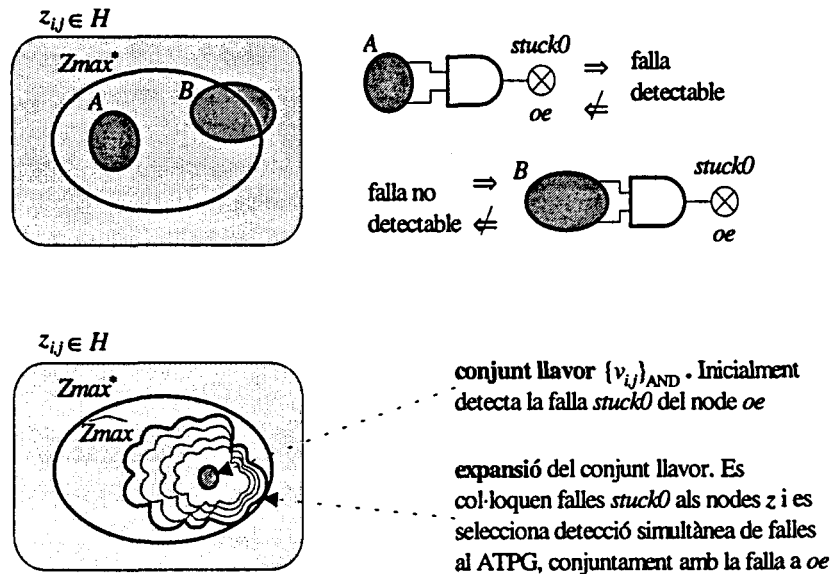


Figura 4.6: Condicions de partida en el mètode de maximització, part superior. Estratègia de construcció del conjunt de nodes \widehat{Z}_{max} , part inferior.

l'heurístic proposat fa una conjectura de partida que permet realitzar una primera selecció de nodes ràpida.

Es diu que un node és **molt potencialment energètic** si presenta una activitat ponderada molt elevada, en comparació amb la resta de nodes, al ser excitat el circuit amb parelles de vectors generades aleatòriament. Tot node, $z_{i,j}$, detector d'activitat d'un node molt potencialment energètic també es qualificarà de molt potencialment energètic. En base a aquesta definició, es planteja la conjectura que segueix.

Conjectura 1 *Els nodes molt potencialment energètics formen part del conjunt de nodes que commutaran quan s'exciti el circuit amb l'activitat ponderada màxima.*

Aquesta conjectura és la base de l'heurístic que es proposa i indica, doncs, que el conjunt inicial de nodes de Z_{max}^* es pot formar a partir dels nodes molt potencialment energètics.

La construcció d'un conjunt \widehat{Zmax} es fa connectant inicialment el node $z_{i,j}$ amb un grau molt potencialment energètic més elevat del circuit a la porta AND. Si la falla *stuck0* del node *oe* és detectable, es connecta un segon node z , i així successivament. Els nodes $z_{i,j}$ es van seleccionant segons el grau molt potencialment energètic, començant pels de nivell més elevat. Tal com s'ha esmentat abans, si bé la detectabilitat de la falla *stuck0* no assegura que els nodes connectats a la AND siguin del conjunt $Zmax^*$, l'assumpció de la conjectura 1 permet acceptar, de manera raonable, la implicació inversa de la condició 1. Si en el moment d'afegir una nova connexió d'entrada a la AND la sortida d'aquesta es torna indetectable es considera, segons la condició 2, que el node $z_{i,j}$ nou no és del conjunt $Zmax^*$ i es descarta la connexió.

Després d'iterar successives vegades els passos esmentats, s'obté finalment el conjunt \widehat{Zmax} . Aquest conjunt, ens permet calcular una cota inferior propera de l'activitat ponderada màxima, $CI[APmax^*]$. Val a dir que la construcció del conjunt \widehat{Zmax} segueix tenint un cost en temps de CPU elevat. Això es degut al fet que cal investigar tots els nodes $z_{i,j}$ del circuit H i, per cada un d'ells ha d'executar-se l'algorisme de ATPG.

En l'heurístic proposat, aquest inconvenient es soluciona tal com segueix. En primer lloc, es millora l'expansió de \widehat{Zmax} aprofitant els algorismes de detecció simultànea de falles que tenen les eines ATPG. En segon lloc, el càlcul de la cota $CI[APmax^*]$ es va fent conjuntament amb l'expansió de \widehat{Zmax} . Cada vegada que s'amplia el conjunt de nodes $\{z_{i,j}\}_{AND}$, s'afegeixen juntament amb el node *oe* falles *stuck0* a un conjunt nombrós de nodes z , veure la figura 4.5. Posteriorment, s'examina la detectabilitat del node *oe* forçant a l'eina d'ATPG la detecció simultànea de totes les falles imposades. Per cada una de les solucions obtingudes de l'ATPG s'avalua la $CI[APmax^*]$ i es selecciona la més gran. Aquests passos es van repetint cada vegada que s'afegeix un nou node z a la porta AND. L'algorisme finalitza per dues condicions: per una cantó intents de detecció de la falla *stuck0* fallits un cert nombre de vegades i/o per altre cantó la no obtenció, durant un cert nombre de cicles, d'un valor de $CI[APmax^*]$ superior al valor amagatzemat en els cicles anteriors.

Mentre l'eina d'ATPG determina la detectabilitat del conjunt nombrós de les falles *stuck0*, el conjunt de nodes connectats a la porta AND, $\{z_{i,j}\}_{AND}$, actuen de manera similar a les llavors de cristallització. Tal com està representat a la part inferior de la figura 4.6, aquest conjunt llavor $\{z_{i,j}\}_{AND}$ afavoreix que la detecció simultànea de les falles *stuck0* situades en els nodes

z , es faci en els nodes del conjunt Z_{max}^* . D'aquesta manera, cada vegada que l'algorisme afegeix un nou node a la AND, s'obtenen expansions importants del conjunt de nodes llavor $\{z_{i,j}\}_{AND}$. Durant les simulacions, s'han trobat cassos on un conjunt $\{z_{i,j}\}_{AND}$ amb pocs nodes ha permès l'obtenció d'expansions de \widehat{Z}_{max} molt importants, el que ha accelerat el calcul de la $CI [AP_{max}^*]$.

En aquests moments queden dues qüestions pendents. La primera és sobre quins són els nodes z als que s'afegeixen falles *stuck0* addicionals. La segona qüestió és referent a la determinació del grau molt potencialment energètic dels nodes z . Pel que fa a la primera qüestió, sempre que ha estat possible s'han posat falles *stuck0* a tots els nodes z del circuit. En cas contrari, s'han seleccionat aquells nodes amb un grau molt potencialment energètic més elevat. En referència a la segona qüestió, el grau molt potencialment energètic s'estima fent simulacions de parelles de vectors generades aleatòriament. A l'apèndix D s'explica la metodologia seguida per a l'estimació d'aquest grau.

Al proper apartat es presenten els resultats del càlcul de les cotes inferiors properes de l'energia de transició màxima, utilitzant els mecanismes descrits en aquest capítol.

4.7 Resultats de la cota inferior propera de l'activitat ponderada màxima

La metodologia de càlcul de la cota inferior propera presentada en els apartats anteriors ha estat incorporada en el programa COIN. En aquesta secció s'utilitza aquest programa per calcular les cotes inferiors properes en el conjunt de circuits de prova. Les simulacions es fan emprant els quatre models de retard: retard zero, unitari, variable i variable amb finestra de filtratge inercial. Els resultats de les cotes inferiors properes es comparen amb les cotes inferiors aleatòries² calculades en el capítol 3. En les taules també es presenten els costos de cadascun dels algorismes.

El cost d'obtenció d'una cota es calcula habitualment en unitats de temps (segons). En els resultats que es presenten seguidament, aquest cost no es dona en segons degut a la dificultat de mesurar el temps d'execució de l'eina COIN. Aquesta eina consta de la integració de diversos programes,

²Les cotes inferiors properes s'obtenen amb l'eina SAIL a partir de la simulació de 10000 parelles de vectors generades aleatòriament.

alguns generats a partir d'aquest treball d'investigació i d'altres comercials com és el cas del paquet HILO [32]. Com a alternativa més viable, en aquest apartat es dona el cost calculat com el nombre de parelles de vectors generades internament per l'algorisme per assolir la cota inferior propera desitjada. Si s'assumeix que el temps dedicat per COIN a generar una parella de vectors i el temps emprat per SAIL per simular-ne una d'aleatoria és similar, la comptabilització del nombre de parelles necessàries per assolir la cota inferior propera és una bona indicació del cost de computació.

A les taules 4.2, 4.3, 4.4 i 4.5 es resumeixen els resultats de les simulacions

circuit	cota inferior, retard zero					
	CI[APmax*]			cost		
	propera	aleatoria ¹	millora de la cota (%)	propera	aleatoria ¹	reducció del cost (%)
C432	196	172	14.0	719	9,274	-92.2
C499	214	210	1.9	1,613	4,963	-67.5
C880	363	314	15.6	3,029	6,042	-49.9
C1355	466	423	10.2	7,400	4,237	74.7
C1908	897	880	1.9	4,657	4,599	1.3
C2670	1,233	1,169	5.5	879	1,257	-30.1
C3540	1,529	1,353	13.0	1,867	9,495	-80.3
C5315	2,650	2,262	17.2	651	1,126	-42.2
C6288	2,697	2,297	17.4	5,623	656	757.2
C7552	3,522	3,326	5.9	833	3,679	-77.4
MBmult	1,808	1,465	23.4	1,289	8,754	-85.3
	15,575	13,871	12.3	28,560	54,082	-47.2

¹ Simulació de 10000 parelles de vectors aleatòries.

Taula 4.2: Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el zero.

A cada una de les taules es presenten els resultats per a un model de retard diferent. El model de retard està indicat a la part superior de la taula. A l'esquerra de les taules, a la secció "CI[APmax*]", es llisten els valors de les cotes inferiors calculades utilitzant l'eina COIN, veure columna "propera" i per mitja de l'eina SAIL, veure la columna "aleatori". A la columna "millora de la cota %" es comparen les columnes anteriors amb la fórmula $\left(\frac{\text{propera} - \text{aleatoria}}{\text{aleatoria}}\right) * 100$. En la secció a la dreta de la taula, "cost", es mostren els costos de cada algorisme a les columnes "propera" i "aleatòria".

circuit	cota inferior, retard unitari					
	CI [APmax [*]]			cost		
	propera	aleatoria ¹	millora de la cota (%)	propera	aleatoria ¹	reducció del cost (%)
C432	615	580	6.0	1,844	5,583	-67.0
C499	414	382	8.4	2,931	7,118	-58.8
C880	1,150	790	45.6	1,457	8,505	-82.9
C1355	1,730	1,550	11.6	6,537	4,959	31.8
C1908	3,988	3,442	15.9	3,002	2,939	2.1
C2670	3,628	3,307	9.7	2,971	2,868	3.6
C3540	6,119	5,458	12.1	1,228	1,028	19.5
C5315	8,632	7,745	11.5	1,096	4,336	-74.7
C6288	104,928	89,421	17.3	2,753	656	319.7
C7552	12,982	12,075	7.5	568	7,714	-92.6
MBmult	8,268	8,049	2.7	2,478	8,401	-70.5
	152,454	132,799	14.8	26,865	54,107	-50.3

¹ Simulació de 10000 parelles de vectors aleatòries.

Taula 4.3: Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és l'unitari.

A la columna "%" es comparen els resultats de les dues columnes anteriors emprant la mateixa expressió que en el cas de les cotes. A la fila inferior de la taula es donen els valors acumulats de les columnes "propera" i "aleatòria" i els seus percentatges globals.

L'anàlisi dels resultats en indica que quan el model de retard utilitzat és el zero, la millora en la cota inferior propera va des d'un 1.9% en els circuits C499 i C1908 fins a un 23.4% pel circuit MBmult. Les millores en els costos d'execució van desde un empitjorament del 757.2% pel circuit C6288 fins a una millora del -92.2% pel circuit C432. Els resultats globals per aquest model de retard són una millora mitjana de la cota d'un 12.3% i una millora mitjana en els costos de simulació del -47.2%.

Pel model de retard unitari els resultats són els següents. Les millores en la cota inferior propera van des del 2.7% del circuit MBmult fins a un 45.5% pel circuit C880. Els costos van des d'un empitjorament del 319.7% pel circuit C6288 fins a una millora del -92.6% pel circuit C7552. Els resultats globals per aquest model de retard són una millora del 14.8% per a la cota inferior propera i d'un -50.3% pels costos d'execució.

Pel que fa al model de retard variable, les millores de la cota inferior

circuit	cota inferior, retard variable					
	CI [APmax [*]]			cost		
	propera	aleatoria ¹	millora de la cota (%)	propera	aleatoria ¹	reducció del cost (%)
C432	779	631	23.5	2,699	2,991	-9.8
C499	438	404	8.4	2,931	4,735	-38.1
C880	1,159	929	24.8	1,731	6,474	-73.3
C1355	1,930	1,616	19.4	6,537	3,700	76.7
C1908	4,390	3,999	9.8	2,761	4,401	-37.3
C2670	4,534	3,979	13.9	2,971	8,855	-66.4
C3540	8,597	8,514	1.0	3,919	7,754	-49.5
C5315	10,544	8,993	17.2	1,096	4,336	-74.7
C6288	93,366	71,991	29.7	2,753	6,312	-56.4
C7552	15,401	13,635	13.0	1,004	3,434	-70.8
MBmult	11,476	10,786	6.4	1,637	1,348	21.4
	152,614	125,477	21.6	30,039	54,340	-44.7

¹ Simulació de 10000 parelles de vectors aleatòries.

Taula 4.4: Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el variable.

propera van des del 1.0% del circuit C3540 fins al 29.7% del circuit C6288. Els costos van des del 76.7% del circuit C1355 fins al -74.7% del circuit C5315. Els resultats globals indiquen que per aquest model de retard la millora de la cota és d'un 21.6% i els costos es redueixen un -44.7%.

Finalment pel retard variable amb filtratge inercial, les millores són les següents. Les millores de la cota inferior van d'un 2.4% del circuit C499 fins a un 39.1% del circuit C432. Els costos van des d'un empitjorament del 127.9% pel circuit C1355 fins a una millora del -98.2% del circuit C3540. Els resultats globals indiquen una millora de la cota inferior del 7.5% i una millora també dels costos d'un -55.4%.

Del càlcul dels percentatges per a tots els circuits i models de retard s'obté una millora de la cota inferior d'un 15.8% i una disminució dels costos d'un -49.6%. Aquests resultats globals indiquen clarament que la tècnica proposada és eficaç ja que amb la meitat del cost dedicat a obtenir la cota inferior aleatòria s'obté una cota inferior propera que és aproximadament 1/6 part superior. En cada un dels models de retard que es consideren en les simulacions es poden trobar circuits que han empitjorat els costos de l'algorisme COIN. L'explicació és que en aquests casos l'eina SAIL ha

circuit	cota inferior, retard variable i filtratge inercial					
	CI[APmax [*]]			cost		
	propera	aleatoria ¹	millora de la cota (%)	propera	aleatoria ¹	reducció del cost (%)
C432	491	353	39.1	2,241	7,097	-68.4
C499	257	251	2.4	2,067	5,234	-60.5
C880	954	724	31.8	1,463	9,878	-85.2
C1355	835	724	15.3	11,253	816	1,279.0
C1908	2,161	1,903	13.6	4,101	5,614	-27.0
C2670	3,543	3,223	9.9	1,132	5,177	-78.1
C3540	4,370	4,197	4.1	120	6,730	-98.2
C5315	5,892	5,551	6.1	805	7,649	-89.5
C6288	37,962	36,303	4.6	921	2,182	-57.8
C7552	10,033	9,371	7.1	1,979	7,831	-74.7
MBmult	4,719	3,678	28.3	1,277	3,122	-59.1
	71,217	66,278	7.5	27,359	61,330	-55.4

¹ Simulació de 10000 parelles de vectors aleatòries.

Taula 4.5: Resultats de la cota inferior propera i comparació amb la cota inferior aleatòria. El model de retard utilitzat és el variable amb finestra de filtratge inercial. Les unitat són les d'activitat ponderada.

trobat una cota inferior aleatòria elevada després de relativament poques parelles de vectors. En aquests cassos, l'execució posterior de l'eina SAIL fins a les 10000 parelles de vectors no ha aportat cap millora en la cota inferior aleatòria obtinguda. En canvi, l'eina COIN, si bé ha trobat una cota inferior propera posterior, en el temps, a la cota inferior aleatòria aquesta ha estat d'un valor superior i prèvia a la simulació de les 10000 parelles de vectors.

Un dels cassos més interessants és el del circuit C1355 simulat amb model de retard variable amb finestra de filtratge de transicions inercial. Aquest circuit dona una millora en el càlcul de la cota inferior d'un 15.3% però en canvi el cost de l'algorisme COIN és un 1279.0% superior al de l'eina SAIL, que equival a tenir un cost unes 14 vegades superior. Per poder veure el comportament dels dos mètodes en aquest circuit s'ha representat l'evolució de les cotes inferiors propera i aleatòria al llarg del temps. El gràfic es pot trobar a la figura 4.7. L'eix horitzontal del gràfic correspon al número de parella de vectors que ha estat simulada. L'eix vertical és el valor de la cota inferior. Es representen les dues cotes inferiors obtingudes: la propera

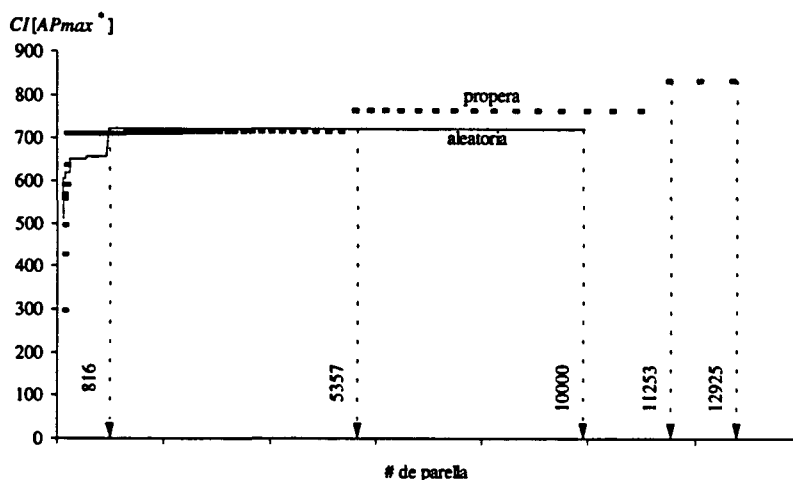


Figura 4.7: Evolució temporal de la cota inferior propera i aleatòria. El circuit simulat és el C1355 i el model de retard el variable amb finestra de filtratge inercial.

en traç discontinu i la aleatòria en traç continu. Amb fletxes discontinues verticals s'indiquen els valors de les abscisses en els llocs d'interès.

Tal com es pot veure en el traç continu, la generació de parelles de vectors aleatòries assoleix la cota inferior més elevada en la parella 816. En aquest punt aquesta supera la cota inferior propera. Des d'aquest punt i fins a assolir a la parella 10000 la cota inferior aleatòria no es modifica, mentre que la cota inferior propera incrementa progressivament, superant la cota inferior aleatòria en la parella 5357. L'execució del programa COIN es manté més enllà de la posició 10000 millorant la cota inferior propera a la posició 11253. El programa COIN s'atura en la posició 12925. Aquest és l'únic circuit on l'execució de COIN es manté més enllà de la posició 10000

A la figura 4.8 es presenta un segon gràfic de l'evolució temporal de les cotes, corresponent al circuit MBmult. El model de retard utilitzat és el variable amb finestra de filtratge inercial. En aquest cas, la cota inferior propera més elevada s'assoleix a la posició 1278, molt abans que la corresponent a la cota inferior aleatòria. Aquesta darrera ho fa a la posició 3123. L'algorisme COIN s'atura a la posició 3441 mentre que la cota inferior aleatòria no es veu superada per cap dels valors posteriors al de la posició 3123.

A la propera gràfica, figura 4.9, es mostra un histograma que reflecteix el

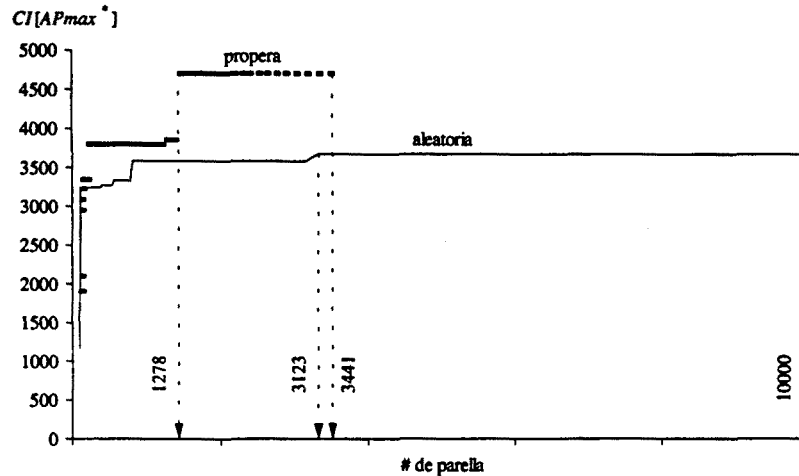


Figura 4.8: Evolució temporal de les dues cotes inferiors, la propera i la aleatòria en el circuit MBmult. El model de retard és el variable amb finestra de filtratge inercial.

comportament intern de les dues eines: la COIN i la SAIL. El circuit simulat és el C432 amb un model de retard variable i finestra de filtratge inercial. A l'eix horitzontal de l'histograma es presenten les activitats ponderades i a l'eix vertical les freqüències d'aparició d'aquestes activitats ponderades. De les parelles de columnes que es representen, la de l'esquerra correspon a l'eina SAIL, "aleatoria", i la de la dreta a l'eina COIN, "propera". La suma de les columnes de cada tipus donaria el nombre total de parelles totals generades per cada programa.

Tal com es pot observar, el mètode SAIL tendeix a generar moltes més parelles de vectors amb una activitat ponderada baixa, veure les columnes més altes. Contràriament, en el mètode COIN, les parelles de vectors que es generen internament donen valors d'activitat ponderada més elevada. Aquest fet afavoreix l'aparició d'una cota inferior propera elevada amb un cost més baix que en el cas del mètode SAIL. Al gràfic s'indiquen amb dues fletxes les posicions de les cotes inferiors calculades per cada mètode.

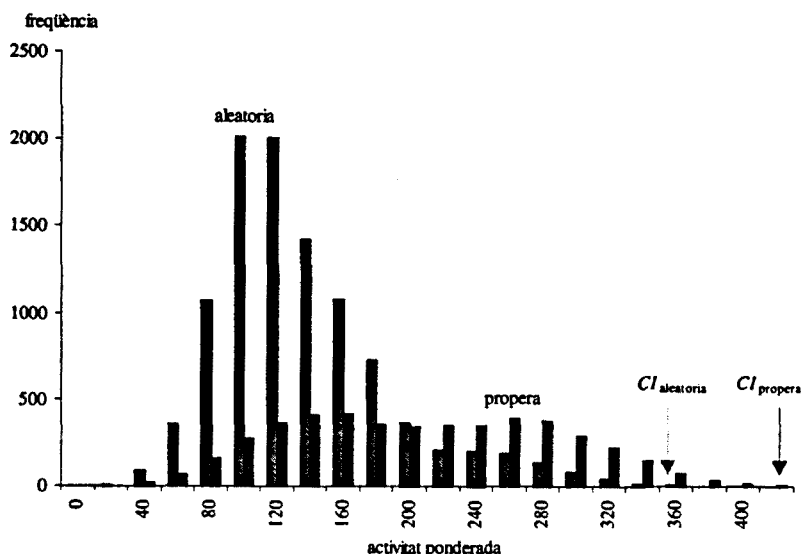


Figura 4.9: Histograma de les activitats ponderades generades internament per cada mètode: el COIN "propera" i el SAIL "aleatòria". El circuit simulat és el C432 i el model de retard el variable amb finestra de filtratge inercial.

4.8 Comparació amb el mètode de Wang

Wang et al. de l'universitat de Purdue proposa un mètode de màximització de l'activitat ponderada que es basa també en tècniques de test [109]. Es parteix d'un algorisme de ATPG que pensat inicialment per fer test de falles tipus *stuck-at*, [25] i es modifica de manera que pot forçar commutacions en els nodes interns del circuit. La nova eina de generació de patrons pot buscar excitacions que maximitzin l'activitat ponderada del circuit. Malgrat que els temps de simulació que s'obtenen amb la seva eina són ràpids, aquesta té la limitació de no poder tractar el domini temporal dels circuits. Només pot operar amb un model de retard zero.

En el seu treball es comparen els resultats amb les simulacions Monte-Carlo. Els resultats de Monte-Carlo els obtenen a partir de la simulació de 10000 parelles de vectors que generen amb una probabilitat de senyal de 0.5 i una probabilitat de canvi de cada bit de 0.9 amb l'objectiu d'augmentar la diversitat dels vectors. A la taula 4.6 que es presenta a continuació es

comparen els resultats de la taula 4.2, que són les cotes inferiors properes calculades amb un model de retard zero, amb els resultats de [109].

circuit	cota inferior amb retard zero									
	cota inferior de Wang					cota inferior proposada a la tesi				
	# portes	CI[APmax [*]]		temps (seg.)		# portes	CI[APmax [*]]		temps (seg.) ²	
		ATPG modificat	Monte-Carlo ¹	ATPG modificat	Monte-Carlo ¹		propera	aleatoria ¹	propera	aleatoria ¹
C432	160	183	169	0.22	50.4	160	196	172	3.62	50
C499	202	196	208	0.50	132.4	202	214	210	21.36	132.4
C880	357	388	333	0.38	314.5	383	363	314	95.26	314.5
C1355	514	368	399	1.22	1,493.2	546	466	423	1,104.97	1,493.2
C1908	880	898	962	0.96	302.5	880	897	880	140.87	302.5
C2670	1,161	1,161	1,191	2.56	1,382.3	1,269	1,233	1,169	121.50	1,382.3
C3540	1,667	1,347	1,462	2.58	529.6	1,669	1,529	1,353	98.88	529.6
C5315	2,290	2,556	2,573	5.32	3,374.3	2,307	2,650	2,262	219.67	3,374.3
C6288	2,416	2,911	2,647	3.34	824.9	2,416	2,697	2,297	463.84	824.9
C7552	3,466	3,556	3,387	12.30	19,934.9	3,513	3,522	3,326	1,660.58	19,934.9

¹ Simulació de 10000 parelles de vectors aleatòries.

² Temps estimat en base als resultats de Wang.

Taula 4.6: Comparació dels resultats de la cota inferior propera amb els obtinguts per Wang. El model de retard és el zero.

La taula està dividida en dues seccions. A la secció de l'esquerra, "cota inferior de Wang" es presenten els resultats de [109]. A la secció de la dreta, "cota inferior proposada a la tesi", els resultats de COIN amb el model de retard zero. En cada una de les seccions s'indiquen el nombre de portes que contenen els circuits de prova ja que aquest és lleugerament diferent en alguns circuits. Les dues columnes "ATPG modificat" són la cota inferior calculada per Wang i el temps emprat pel seu algorisme respectivament. A les columnes "Monte-Carlo" es troben la cota inferior de referència utilitzada per Wang i el temps emprat per obtenir aquest valor de referència, respectivament. A les columnes "propera" es donen els valors de la cota inferior propera calculada amb l'algorisme COIN i el temps utilitzat per l'algorisme, respectivament. Aquest temps s'estima a partir dels temps donats per Wang. A les columnes "aleatòries" es llisten els valors de les cotes inferior aleatòries i els seus temps d'execució. El temps indicats a la segona columna "aleatoria" s'han igualat als temps indicats llistats a la segona columna "Monte-Carlo" donat que corresponen a la simulació del mateig nombre de vectors.

Comparant els resultats de les cotes, la cota inferior propera supera en un 26.63% els resultats de la columna "ATPG modificat", en el circuit C1355. Contràriament, el "ATPG modificat" supera la cota inferior propera en un 7.93% en el circuit C6288. Pel que fa als temps de simulació, el mètode

"ATPG modificat" millora en tots els cassos els temps de càlcul en comparació amb l'eina COIN, segona columna "propera".

4.9 Conclusions

En aquest capítol es presentat una tècnica per al càlcul d'una cota inferior propera a l'energia de transició màxima en circuits combinacionals CMOS. Els circuits s'analitzen a nivell de porta lògica i l'energia de transició s'estima amb la mètrica d'activitat ponderada. L'estimador d'energia màxima proposat té en compte el domini temporal del circuit i en conseqüència és capaç d'incloure les transicions falses, *hazards*, en el càlcul de la cota.

La tècnica que es presenta està dividida en tres grans parts. Una primera on es fa una propagació de transicions habilitables. Amb aquesta propagació es determinen, per cada node del circuit, els intents de temps en els que poden haver-hi commutacions. A la segona part, es fa una transformació temps-espai. Aquesta transformació consisteix en la traducció del domini funcional, arquitectural i temporal del circuit en un nou domini funcional i arquitectural. El circuit obtingut d'aquesta transformació és capaç de reproduir, de manera simultànea, les evolucions en el temps dels nodes del circuit original. El nou circuit generat a partir d'aquesta transformació és un detector de transicions del circuit original. A la tercera part, s'utilitza el circuit transformat per calcular la cota inferior propera de l'activitat ponderada màxima. Aquest càlcul es basa en una eina de test automàtic, una *Automatic Test and Pattern Generation (ATPG)*, que és capaç de trobar els vectors d'entrada del circuit capaços d'excitar determinats nodes del circuit.

La tècnica dissenyada es valida en un conjunt de circuits de prova de tamany divers. Com a valor de referència s'utilitza una cota inferior aleatòria basada en la simulació de 10000 parelles de vectors generades aleatòriament. La validació es fa comparant les cotes inferiors calculades i els costos de cada un dels mètodes. Les cotes es calculen pels quatre models de retard més coneguts que són: retard zero, retard unitari, retard variable i retard variable amb finestra de filtratge inercial. Els resultats indiquen que pel conjunt de circuits de prova simulats, si s'utilitza el model de retard zero, el mètode proposat millora en mitja, en els 10 circuits dels ISCAS-85, en un 12.3% la cota inferior i disminueix en un -47.2% el cost d'obtenció d'aquesta cota. En el model de retard unitari, la millora de la cota és del 14.8% i la reducció de costos del -50.3%. Pel model de retard variable els valors són una millora de la cota inferior del 21.6% i una disminució del cost de -44.7%.

Finalment, pel model de retard variable amb finestra de filtratge inercial els valors són una millora de la cota inferior del 7.5% i una disminució del cost del -55.4%. Si es consideren els resultats globalment, la cota inferior propera millora la aleatòria en un 15.8% i el cost d'obtenció de la cota disminueix en un -49.6%. Els resultats que s'obtenen de la validació confirmen l'eficàcia de la tècnica dissenyada.