

UNIVERSITAT POLITÈCNICA DE CATALUNYA

Departament d'Enginyeria Electrònica

CONTRIBUCIÓ A L'ESTUDI DE
L'ACOBLEMENT PER SUBSTRAT EN
CIRCUITS INTEGRATS MIXTES

Autor: Xavier Aragonès i Cervera

Director: Antonio Rubio Solá

Capítol 8

Tendències del soroll de commutació

Al llarg de la present memòria s'ha presentat un anàlisi exhaustiu que ha portat a la caracterització, modelació, i proposta de solucions de l'acoblament a través del substrat en circuits mixtes. Un cop obtingudes dades experimentals que han confirmat bona part dels resultats obtinguts en l'anàlisi, i abans de posar punt i final al treball, es vol fer una predicció de quina serà la tendència dels problemes d'acoblament en el futur, si les polítiques d'escalat afavoriran o no la problemàtica del soroll de commutació. Estudis d'aquesta mena s'havien fet ja per predir l'evolució de l'acoblament capacitiu entre interconnexions [111], i ara es vol fer per conèixer les tendències tant del soroll a les línies d'alimentació –SSN o soroll delta-I– com del soroll acoblat a través del substrat.

Aquests tipus d'estudis resulten força compromesos en tant que les tendències obtingudes depenen en gran manera de les suposicions que es facin per l'evolució dels múltiples paràmetres a considerar. Per això cal un treball previ de documentació, i ser conscient que els resultats romandran vàlids en tant que la tecnologia mantingui l'evolució prevista. Per aquesta raó en el capítol s'inclou una breu revisió dels escenaris d'escalat i previsions futures que s'han tingut en compte per a realitzar l'anàlisi, en particular l'escalat de tensions d'alimentació.

L'estudi es realitza partint del model d'una situació simple en la que es produeix soroll, i observant la seva tendència en escalar tant els dispositius com els elements paràsits. En l'anàlisi es contemplen dues situacions d'interès: determinar l'evolució del soroll en escalar la tecnologia amb la que s'implementa un circuit donat, i determinar l'evolució del soroll en escalar un circuit genèric en el que es segueixen les tendències actuals d'augment de la complexitat amb el temps.

8.1 Escenaris d'escalat de tecnologies CMOS

Des del desenvolupament de la indústria microelectrònica als anys 70 fins l'actualitat, la tecnologia dels circuits integrats ha estat seguint una tendència que es pot resumir en aquests tres punts [2]:

- Cada tres anys es desenvolupa una nova generació de tecnologia.
- Amb cada generació de tecnologia, la densitat d'integració de les memòries augmenta per un factor quatre, mentre que per la circuiteria lògica ho fa en un factor entre dos i tres. Aquesta és una adaptació a dades reals de la coneguda llei de Moore.
- Cada dues generacions de tecnologia, la grandària dels dispositius disminueix per un factor dos, mentre que la densitat de corrent als transistors, velocitat, àrea, dissipació de corrent i nombre de terminals del circuit integrat es doblen.

Aquestes tendències ja es van il·lustrar al capítol introductori, i han permès la contínua millora de les prestacions dels circuits. A la reducció de les dimensions dels dispositius per un cert factor se l'anomena escalat, i en el passat es va seguir un escenari d'escalat anomenat a tensió constant, en el que es manté el valor de la tensió d'alimentació tot i reduir-se les dimensions físiques. D'aquesta manera s'aconsegueix una gran millora de velocitat amb l'escalat, a costa d'un augment del consum. L'escalat de tensions no ha resultat atractiu, degut a la poca voluntat de defugir els valors estandaritzats, a la pèrdua de prestacions que comporta, i als problemes de corrents de fuites que apareixen quan es redueix la tensió lliantar dels transistors.

La continua reducció de dimensions alhora que es mantenia constant la tensió d'alimentació va fer que els camps dins els dispositius augmentessin fins arribar a límits considerats perillosos a efectes de fiabilitat. Això ha obligat a que a partir dels anys 90 es redueixin les tensions d'alimentació junt amb les dimensions físiques. La idea d'escalar tensions i dimensions per un mateix factor –l'anomenat escalat a camp constant– ja va ser proposada als anys 70 [4], i comportava una millora de prestacions globals ja que el consum dels circuits disminuïa tot i un cert augment en la velocitat. A la pràctica però, no s'ha seguit aquest escalat a camp constant, sinó que les tensions s'han reduït per un factor menys agressiu que les dimensions geomètriques. A aquest escalat se l'ha anomenat escalat generalitzat, i un resum de les seves característiques i limitacions es pot trobar a [5].

La tendència futura vindrà marcada per la possibilitat d'integrar sistemes amb circuits de diverses característiques –incloses diverses tensions d'alimentació–, la necessitat de circuits de baix consum per aplicacions portàtils, i les limitacions de fiabilitat –ruptura d'òxid de porta, portadors calents– que imposen els dispositius. A [5] es mostra que per cada tecnologia es pot trobar una tensió d'alimentació òptima en funció del compromís entre velocitat i fiabilitat. Aquest punt òptim marcarà l'evolució de les tensions d'alimentació per aplicacions on es demani màxima velocitat. Per contra, hi haurà altres aplicacions on l'exigència es centra en el consum, i requeriran ser operades a tensions inferiors a les marcades per l'esmentat òptim, tot i la pèrdua de velocitat. D'aquesta manera, es poden definir dos escenaris d'evolució futura –que de fet ja s'estan donant–: un escalat d'altres prestacions, on prima la maximització de la velocitat, i un escalat de baix consum, on es persegueix mantenir la densitat de potència en el xip. A les figures 8.1, 8.2 i 8.3 es mostra la previsió del camp elèctric en el canal, del temps de propagació a través d'una porta, i de la densitat de potència per cada un dels dos escenaris esmentats. A la primera d'elles es pot veure com a la pràctica cap dels dos escenaris proposats segueix un escalat a camp constant, sinó que les tensions es redueixen menys dràsticament, portant a un progressiu increment del camp elèctric. A la segona es mostra com l'escalat per altes prestacions s'allunya

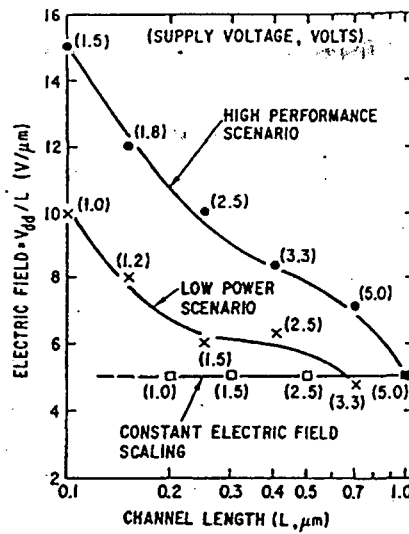


Fig.8.1. Camp elèctric a través del canal de dispositius de diverses tecnologies, pels diversos escenaris d'escalat [5].

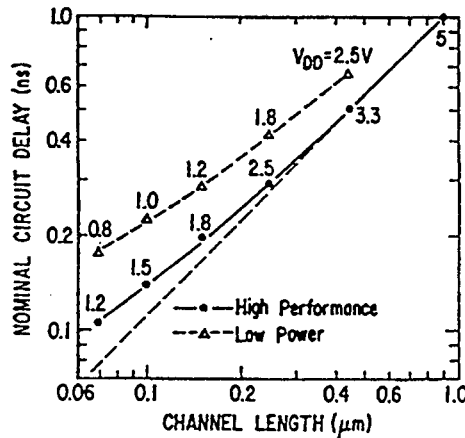


Fig.8.2. Projeccions del retard d'una porta NAND CMOS típica amb fan-out de 1, pels dos escenaris d'escalat. La línia discontinua indica l'objectiu de disminuir retard pel mateix factor que la longitud de canal [112].

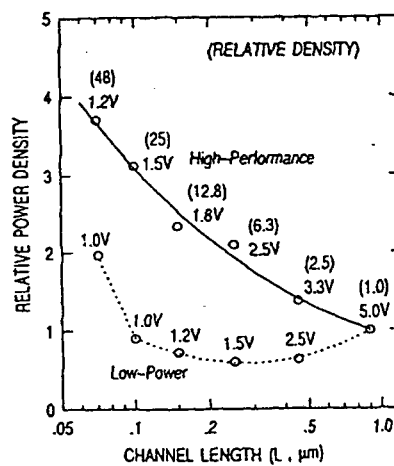


Fig.8.3. Densitat de potència en funció de la tecnologia, pels diversos models d'escalat. Entre parèntesi la densitat d'integració relativa a una tecnologia de 1 μm [112].

progressivament de l'objectiu d'augmentar la velocitat pel mateix factor en què es redueixen les dimensions, mentre que a la figura 8.3 es mostra com en l'escenari de baix consum s'aconsegueix que no augmenti la densitat de potència dissipada.

Basant-se en aquestes tendències i límits establerts, diversos autors han proposat previsions pels valors dels paràmetres que defineixen les característiques dels transistors futurs [2], [5], [10]. Aquestes previsions no difereixen gaire entre sí, i a partir d'elles s'han definit els valors que s'utilitzen en els escenaris d'escalat contemplats en el treball d'aquest capítol. A la taula 8.I es mostra un resum dels més significatius.

Longitud de porta	2 μm	1.5 μm	1 μm	0.7 μm	0.5 μm	0.35 μm	0.25 μm	0.2 μm
Dopat del substrat (N_{sub})	1e16	1.3e16	2e16	2.86e16	4e16	5.7e16	8e16	1e17
Òxid de porta (t_{ox})	400 Å	300 Å	200 Å	140 Å	100 Å	70 Å	50 Å	40 Å
<i>Escenari d'altres prestacions:</i>								
Tensió d'alimentació (V_{dd})	5	5	5	5	3.3	2.5	1.8	1.5
Tensió llindar NMOS (V_{toN})	0.76	0.76	0.76	0.76	0.5	0.38	0.27	0.25
<i>Escenari de baix consum:</i>								
Tensió d'alimentació (V_{dd})	-	-	-	3.3	2.5	1.8	1.3	1
Tensió llindar NMOS (V_{toN})	-	-	-	0.5	0.38	0.27	0.25	0.25

Taula 8.I. Resum dels valors presos pels paràmetres més rellevants dels dos escenaris d'escalat, prenent una tecnologia de 1 μm com a referència.

Per obtenir els valors de la taula 8.I s'ha partit de les dades corresponents a una tecnologia digital de 1 μm . Per l'evolució passada s'ha suposat que totes les dimensions geomètriques s'escalen a l'igual que la longitud de porta, mentre que les tensions es mantenen constants. A partir de 0.7 μm es donen els dos escenaris d'escalat esmentats, en un cas mantenint un camp a l'òxid de porta de 3.5 MV/cm –per sota els límits de fiabilitat establerts–, i en l'altre cas escalant les tensions pel mateix factor que la litografia. Les tensions llindars dels transistors s'han escalat pel mateix factor que l'alimentació, per tal de mantenir la millora de prestacions. Tanmateix, un decrement de la tensió llindar suposa un increment dels corrents de fuites, en general un ordre de magnitud cada 0.1 V de reducció. Aquesta dependència implica un límit pràctic per la tensió llindar, que a temperatura ambient se situa en 0.3 V, tot i que amb tècniques de refredament es podria baixar fins a 0.2 V [5]. En el nostre cas, s'ha fixat un límit a 0.25 V. La predicció de l'evolució es realitza per tecnologies de fins a 0.2 μm . Hem considerat que prediccions més enllà d'aquest límit resultaran poc fiables, en especial per la pèrdua de validesa dels models escalables utilitzats en la simulació dels circuits.

En fer les prediccions contemplat un augment continu de la complexitat dels circuits, es fa la suposició que el nombre de portes augmenta en un factor 2.5 cada generació. Aquest valor està d'acord amb [2] i s'ajusta a les gràfiques que mostren l'evolució de la complexitat dels circuits en els últims anys –figura 1.2–. Tenint en compte l'evolució de la litografia amb el temps –les dimensions dels dispositius es redueixen a la meitat cada dues generacions–, es pot establir la relació entre el factor d'augment de la complexitat c i el factor d'escalat α :

$$c = 2.5^{\left(2 \frac{\ln \alpha}{\ln 0.5}\right)} \quad (8.1)$$

A més de l'augment de portes del circuit, en el futur també augmentarà el nombre de pins de l'encapsulat. Al 1960 es va establir una llei que relacionava el nombre de portes d'un circuit i el nombre d'entrades i sortides, coneguda com a llei de Rent,

$$P = k \cdot N^{\beta} \quad (8.2)$$

on P és el nombre d'entrades i sortides, N és el nombre de portes lògiques, k és una constant de proporcionalitat i β és la constant de Rent. Valors de k i β per ordinadors IBM són de 2.5

i 0.6, respectivament, tot i que varien fortament en funció del tipus de circuit [113]. Estudis realitzats mostren que a la pràctica el nombre de *pins* és inferior al predit per la llei de Rent, i que la millor aproximació ve donada per $k=7$ i $\beta=0.21$ [114]. En el nostre estudi s'ha suposat que el nombre de terminals d'alimentació augmenta segons la mateixa llei que els terminals d'entrada i sortida, de manera que la impedància efectiva dels *pins* d'alimentació es veu reduïda per aquest factor. Prenent per bo el valor $\beta=0.21$, el factor d'augment del nombre de *pins* que es pren és

$$p = c^{0.21} \quad (8.3)$$

és a dir que la impedància equivalent dels *pins* d'alimentació es redueix per un factor p que depèn del factor d'escalat α .

8.2 Tendències del soroll a les alimentacions (SSN)

8.2.1. Situació analitzada

Es parteix d'un circuit consistent en un nombre d'inversors pertorbant un transistor saturat. Donat que s'haurà de considerar un augment de complexitat del circuit, es prefereix triar una situació senzilla com a circuit de referència. Seguint regles de disseny d'un procés digital CMOS de 1 μm , es genera un *layout* de 21 inversors i un altre transistor situat a 50 μm de distància, que fa les funcions de sensor. Tots els transistors tenen una relació d'aspecte de 10/1, i els transistors sorollosos i el sensible s'alimenten amb línies independents. A partir del *layout* generat s'extreuen les capacitats paràsites, de les que només resulten ser significatives les relacionades amb les línies d'alimentació. A més, cada inversor es carrega amb un *fan-out* unitari.

L'extracció de resistències del substrat es realitza amb el simulador de dispositius MEDICI. Només es consideren les resistències entre ports adjacents, tal com s'ha fet en altres capítols. El *layout* segueix una regularitat i es situa un contacte prop de cada transistor, de forma que unes poques simulacions proporcionen les resistències entre tots els elements. A la figura 8.4 es mostra un esquema on es mostren les seccions realitzades per a obtenir la xarxa de resistències del substrat. La resistència entre transistors adjacents s'obté simulant la secció al llarg de l'eix A, tenint en compte l'amplada dels transistors W . Una simulació al llarg de l'eix B proporciona la resistència entre dos contactes, mentre que una altra al llarg de

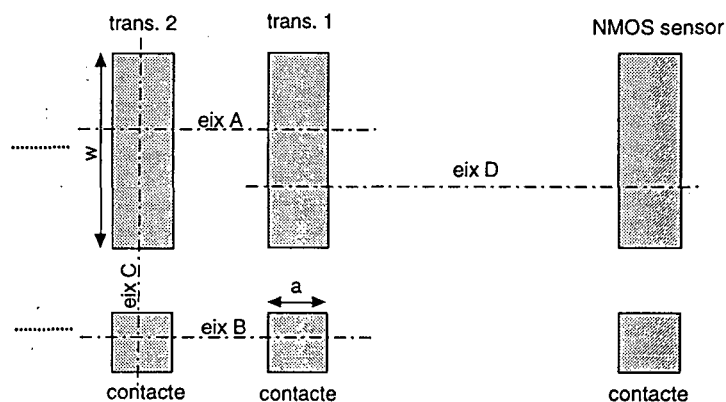


Fig.8.4. Esquema de les seccions sobre les que es realitzen simulacions, per tal d'extreure les resistències que formen el model del substrat.

l'eix C dona la resistència entre un contacte i un transistor, i amb una darrera al llarg de l'eix D s'obté la resistència d'acoblament entre el dispositiu sensible i el transistor sorollós més proper. En substrats P+, s'inclouen a més les resistències entre cada port i el node substrat.

La secció analògica i la digital s'implementen sobre pous-N independents. Tots els inversors sorollosos són comanats per un senyal de rellotge de 0.25 ns de temps de transició, la meitat dels inversors commutant en contrafase. Les línies d'alimentació es connecten a *pins* amb una inductància de 10 nH, prenent el model ja utilitzat en altres capítols. Els contactes es connecten a les línies d'alimentació de la secció respectiva, seguint una estratègia D/A segons la terminologia definida al capítol 5. A la figura 8.5 es mostra un esquema del circuit resultant. El valor obtingut en l'extracció per la capacitat entre les línies d'alimentació digital és de 0.3 pF, mentre que per les alimentacions analògiques és de 0.025 pF, tots dos valors per una tecnologia de 1 μm i el *layout* de referència.

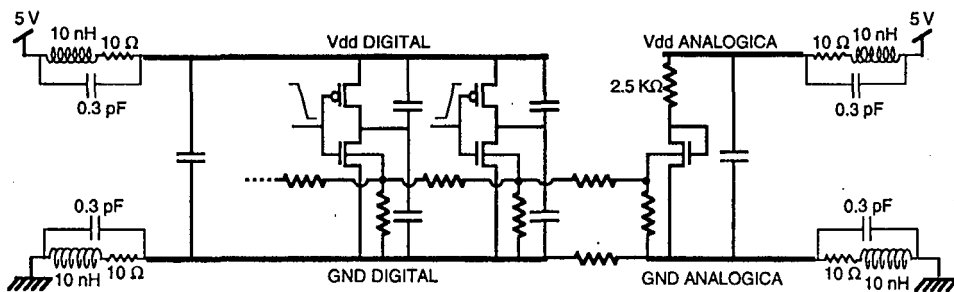


Fig.8.5. Diagrama de la situació analitzada, incloent elements paràsits pel substrat i *pins* de l'encapsulat, substrat P- polaritzat per les línies de *GND* de cada secció.

Per cada tecnologia s'escalen les dimensions dels dispositius i els valors dels diversos elements paràsits. Les capacitats s'escalen tenint en compte la seva natura –capacitats de porta, de juncions, d'una línia d'alimentació al substrat–, mentre que les resistències es tornen a extraure per cada tecnologia, tenint en compte l'escalat del dopat i com en depèn la mobilitat. En l'escenari d'escalat en què es suposa un augment del nombre de portes, les capacitats lligades a les línies d'alimentació augmenten el seu valor segons el factor d'augment de la complexitat donat per l'equació (8.1), mentre que la inductància dels *pins* disminueix segons el factor corresponent (8.3). Pels dispositius s'utilitza un model HSPICE nivell 6 per una tecnologia de 1 μm , i s'escalen els diferents paràmetres del model tenint en compte la seva dependència amb la geometria, les tensions, o la variació de mobilitat, a partir dels valors mostrats a la taula 8.I.

8.2.2. Tendències per un circuit de complexitat fixa

A la figura 8.6 es mostren els resultats obtinguts per l'evolució del soroll present a la línia de *GND* digital, per tecnologies des de 2 μm fins a 0.2 μm , i seguint els dos escenaris d'escalat comentats anteriorment. El soroll a les línies d'alimentació digital no sols és important pel seu paper en l'acoblament per substrat en circuits mixtes, sinó que en circuits purament digitals també és causa de problemes en tant que la seva amplitud és de l'ordre dels marges de soroll de les portes lògiques. Existeixen extensos treballs en els que s'estudia aquest soroll i es desenvolupen tècniques per a la seva reducció [23], [115].

Es pot comprovar com el soroll de commutació ha estat augmentant en tant que s'ha mantingut l'alimentació dels circuits a 5 V, degut al fort increment de velocitat. Tanmateix, en reduir-se la tensió d'alimentació, la quantitat de soroll disminueix dràsticament, tant en

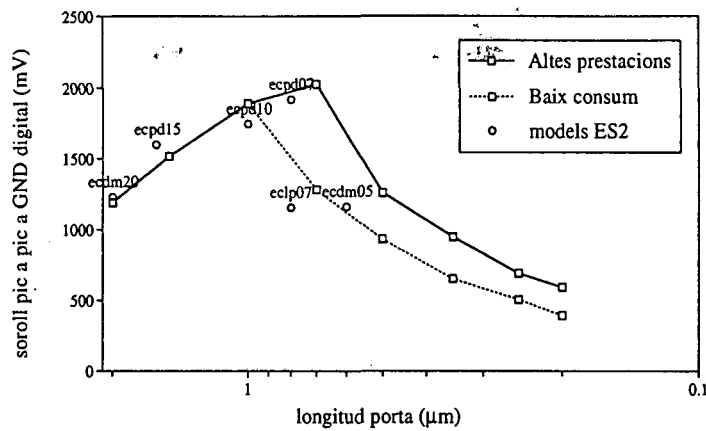


Fig.8.6. Tendències del soroll a les alimentacions digitals per tecnologies d'altres prestacions i de baix consum. Comparació amb dades d'una família de tecnologies CMOS.

l'escenari d'altres prestacions com en baix consum. A la figura s'inclouen els resultats de les simulacions del circuit anterior però utilitzant dades –capacitats paràsites, característiques tecnològiques, models dels transistors– de diverses tecnologies d'una popular família CMOS digital. Es pot comprovar com a grans trets la tendència és la mateixa: un augment de soroll mentre la tensió d'alimentació no varia, i un decrement –encara més ferm que a les nostres prediccions– en escalar la tensió. A [116] es pot trobar un estudi similar però fent comparacions amb tecnologies MOSIS i utilitzant models HSPICE nivell 3, en el que s'obtenen les mateixes tendències.

Més interessant que saber com evolucionarà el soroll és saber com evolucionarà la relació entre el soroll i el nivell dels senyals. A la figura 8.7 es mostra la relació senyal/soroll (*SNR*) en funció de la tecnologia, definida com a relació entre la tensió d'alimentació i el nivell de soroll pic a pic. Com és lògic, l'augment de soroll mentre es mantenia la tensió d'operació dels circuits ha implicat una continua degradació dels senyal, però amb l'escalat de tensions s'espera que s'aturi aquesta tendència i es mantingui la *SNR*. En els resultats de [116] fins i tot s'espera una certa recuperació de la relació *SNR* en tecnologies al voltant de 0.1 μm. Observar per últim que el fet de treballar amb tecnologies de baix consum no implica més immunitat al soroll, ja que els valors de relació senyal/soroll obtinguts són els mateixos pels dos escenaris d'escalat.

En tots els resultats mostrats es suposa que els circuits són implementats sobre un substrat poc dopat P-. També s'han fet simulacions amb un model del substrat corresponent a oblies P+, i les tendències obtingudes són idèntiques, tot i que el nivell de soroll en aquest segon tipus de substrat és lleugerament major.

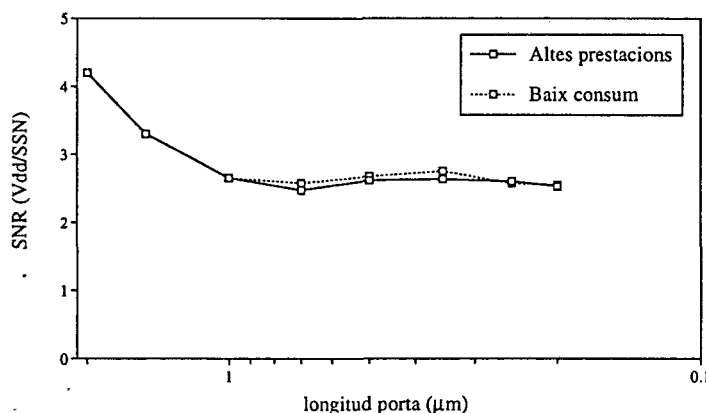


Fig.8.7. Tendència de la degradació del senyal degut al soroll de commutació present a les línies d'alimentació.

8.2.3. Tendències tenint en compte l'augment de complexitat

Els resultats de l'anàlisi suposant un circuit genèric el nombre de transistors del qual augmenta amb l'evolució tecnològica es mostren a la figura 8.8. Com es pot comprovar, les tendències obtingudes són les mateixes que les de la figura 8.6, però amb un increment del nivell de soroll a mesura que augmenta el nombre de portes. Per tecnologies més antigues que la de referència $-1\ \mu\text{m}-$, el nombre de portes és menor i el soroll també, mentre que més enllà de $1\ \mu\text{m}$ el soroll augmenta lleugerament en relació a la figura 8.6, en especial mentre es manté la mateixa tensió d'alimentació. El fet que el soroll a les alimentacions no augmenti de forma lineal amb el nombre de portes és degut a efectes de retroalimentació, i ha estat estudiat a [23]. A la figura 8.9 es mostra la relació senyal/soroll corresponent, i es pot comprovar que és molt semblant a la obtinguda mantenint constant la complexitat, preveient-se un límit en la tendència a la degradació del senyal. Observar que la previsió no és una desaparició dels problemes de soroll, sinó un límit en el seu augment: en les aplicacions on a l'actualitat el soroll de commutació resulti una limitació, seguirà essent necessària l'aplicació de tècniques per a la seva reducció.

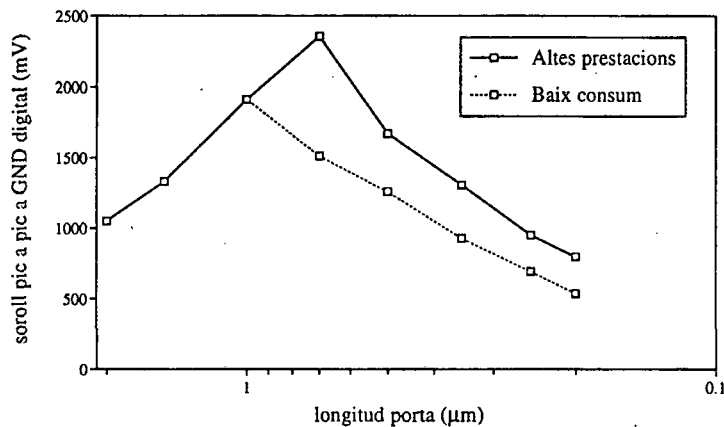


Fig.8.8. Tendències del soroll a les alimentacions digitals per tecnologies d'altres prestacions i de baix consum, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

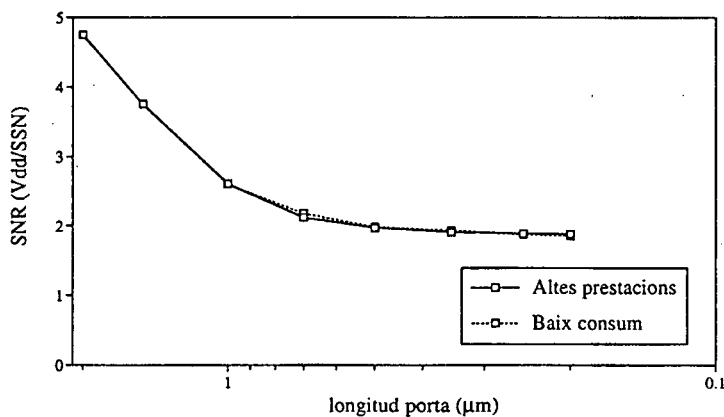


Fig.8.9. Tendència de la degradació del senyal degut al soroll de commutació present a les línies d'alimentació, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

Les tendències exposades d'una reducció del soroll en tecnologies submicròniques poden resultar sorprenents, ja que hi ha una tendència generalitzada a pensar que els problemes de degradació del senyal no deixaran d'augmentar en un futur. Per entendre la raó

d'aquests resultats cal analitzar les característiques del fenomen que origina el soroll: la commutació de senyals. A la figura 8.10 es representen els temps de commutació, definits com a temps entre el 10% i el 90% del valor final de tensió, mesurats a la sortida de les portes lògiques a les simulacions efectuades. Com era d'esperar, la rapidesa de les commutacions augmenta amb la tecnologia, de forma més acusada mentre la tensió d'alimentació es manté constant. Observar que es representa temps de transició del senyal i no temps de propagació a través d'una porta. En aquest segon cas s'apreciaria una diferència segons l'escenari d'escalat, tot i que la tendència seria la mateixa que pel temps de transició. En qualsevol cas i tornant a la figura 8.10, la disminució del temps de commutació és més lleugera en tecnologies submicròniques, mentre que les tensions s'escalen agresivament. Això vol dir que els pendents de les transicions se suavitzen, disminuint les derivades de tensió i corrent respecte al temps, i disminuint el soroll. A la figura 8.11 es mostra la representació del pendent de les transicions des del 10% al 90% del senyal, on queda manifesta la tendència exposada: mentre els circuits s'alimenten a 5 V, els pendents de les transicions augmenten de forma que augmenta el soroll, però quan s'escalen les tensions els pendents es suavitzen i el soroll disminueix. Observar l'alta correlació entre la figura 8.11 i les figures 8.6 o 8.8, que mostra que el nivell de soroll depèn directament del pendent de les transicions, més que del temps en valor absolut.

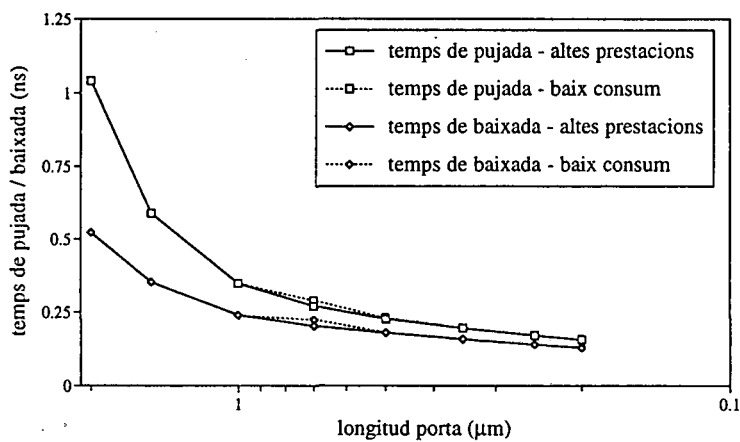


Fig.8.10. Evolució dels temps de transició dels senyals lògics –10% - 90%– en funció de la tecnologia, pels dos escenaris d'escalat considerats.

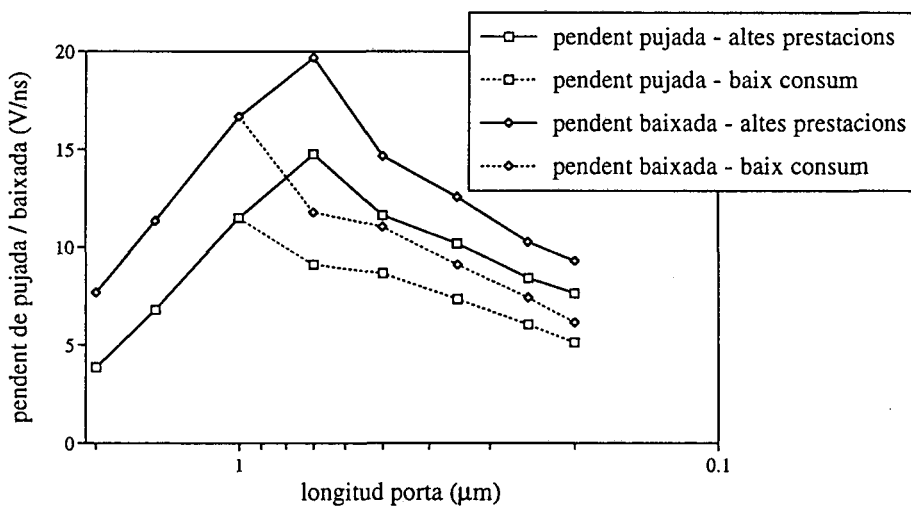


Fig.8.11. Evolució del pendent de les transicions dels senyals lògics –10% - 90%– en funció de la tecnologia, pels dos escenaris d'escalat considerats.

La relació entre els pendents de les transicions i el soroll de commutació ja s'havia mostrat en estudis analítics a [117] i a [118], suposant transistors treballant a la regió de saturació. Les expressions obtingudes són similars, i es poden resumir en l'equació (8.4)

$$V_{SSN} \approx \frac{n \cdot L_{gnd} \cdot C_{ox} \cdot W \cdot v_{max} \cdot V_{dd}}{2t_r} \quad (8.4)$$

on V_{SSN} és el màxim soroll a les línies d'alimentació, n és el nombre de *drivers* que commuten simultàniament, L_{gnd} la inductància efectiva associada als *pins* de la línia d'alimentació corresponent, C_{ox} la capacitat de l'òxid de porta, W l'amplada del transistor, v_{max} la velocitat de saturació, V_{dd} la tensió d'alimentació, i t_r el temps de pujada del senyal. Aquesta expressió no inclou l'efecte de retroalimentació del soroll a les línies d'alimentació, però pot ser utilitzada qualitativament. Degut a la saturació de la velocitat dels portadors, el corrent a través de dispositius submicrònics es satura tot i l'escalat [119], de forma que també ho fa el temps de transició dels senyals, que disminueix molt més lentament del que ho fan les tensions, disminuint el soroll segons l'expressió (8.4).

8.3 Tendències del soroll acoblat a través del substrat

Es presenten en aquesta secció els resultats de l'estudi de les tendències futures de l'acoblament a través tant de substrats P- com de substrats P+. Les simulacions efectuades són les mateixes que han proporcionat els resultats de la secció anterior, sols que ara es mesura el soroll a la sortida del transistor saturat utilitzat com a sensor. Per tant, les condicions de l'estudi són les que es van exposar al punt 8.2.1.

8.3.1. Tendències en substrats P-

8.3.1.a. Per un circuit de complexitat fixa.

A la figura 8.12 es mostra l'evolució del soroll acoblat a través del substrat en la situació de la figura 8.5, mantenint una secció sorollosa composta per 21 inversors [120]. De nou es mostren els resultats utilitzant models i dades per una família de tecnologies digitals, per comprovar la validesa de les tendències. Els resultats obtinguts són molt semblants als que es tenien pel soroll a l'alimentació digital: mentre la tensió d'alimentació es manté constant el soroll augmenta, i en escalar la tensió l'acoblament

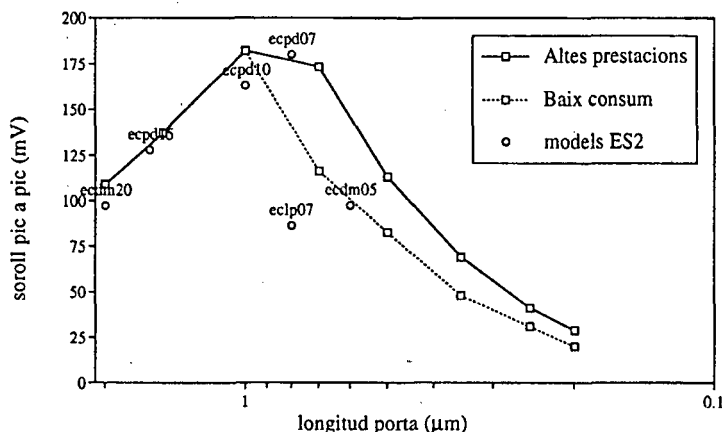


Fig.8.12. Tendències del soroll acoblat a través de substrats P+, per tecnologies d'altres prestacions i de baix consum. Comparació amb dades d'una família de tecnologies CMOS.

disminueix. En aquest cas però la tendència a la disminució és encara més pronunciada que la que es tenia pel soroll a l'alimentació. Això es posa especialment de manifest si es representa la relació senyal/soroll, definida com relació entre la tensió d'alimentació i soroll pic a pic al sensor –se suposa que els senyals analògics es veuran escalats pel mateix factor que la tensió d'alimentació–. A la figura 8.13 es pot comprovar com per tecnologies per sota $0.5\ \mu\text{m}$ la degradació del senyal no sols s'atura, sinó que millora la relació SNR. La raó d'aquesta major reducció en la quantitat de soroll rebuda és l'augment de les resistències a través del substrat entre els diversos ports, en particular la resistència d'acoblament entre els dispositius sorollosos i el transistor sensible. L'escalat per un factor α fa que la superfície de cada port disminueixi per un factor α^2 , i tot i l'apropament dels dispositius i la menor resistivitat del substrat, es produeix un lleuger augment de les esmentades resistències. El fet que el soroll injectat des de les alimentacions disminueixi, així com el que s'injecta a través de les junccions dels dispositius – dV/dt menors, àrea de les junccions menor–, junt amb una major resistència d'acoblament, fa que la reducció del soroll sigui més pronunciada del que es tenia a les alimentacions.

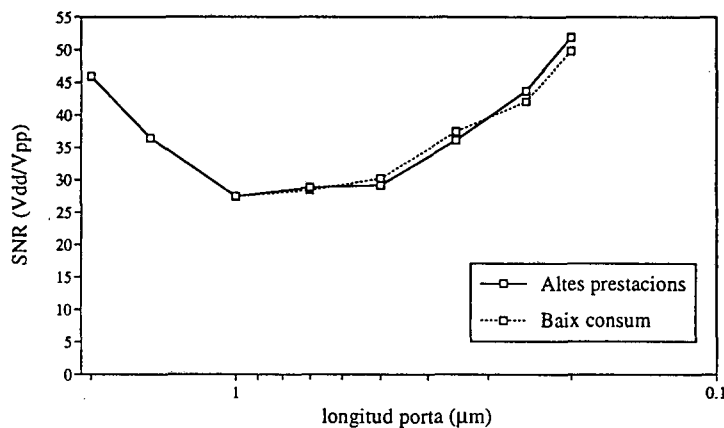


Fig.8.13. Tendència de la degradació del senyal degut al soroll acoblat a través de substrats P-.

8.3.1.b. Tenint en compte l'augment de complexitat.

En suposar un augment de la complexitat del circuit i en conseqüència un major nombre de portes sorolloses, la tendència del soroll acoblat és aproximadament la mateixa que es té si el nombre de portes es manté fixe, segons es pot comprovar a les figures 8.14 i 8.15. No sols això, sinó que els nivells de soroll són aproximadament els mateixos. La raó

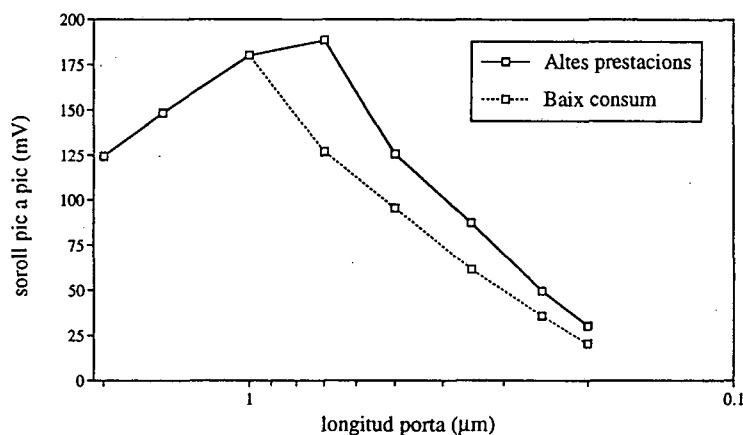


Fig.8.14. Tendències del soroll acoblat a través de substrats P-, per tecnologies d'altas prestacions i de baix consum, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

cal buscar-la en la natura altament resistiva del substrat, que fa que el soroll acoblat disminueixi amb la distància si es compta amb bons contactes de polarització. En augmentar el nombre de portes del circuit, se suposa que aquestes noves portes se situaran a distàncies creixents dels dispositius sensibles, de forma que la seva influència serà menyspreable per sobre cert límit. Com a més el soroll introduït des de les línies d'alimentació no augmenta de forma lineal amb el nombre de portes, el resultat és que el soroll acoblat és aproximadament el mateix a les dues situacions.

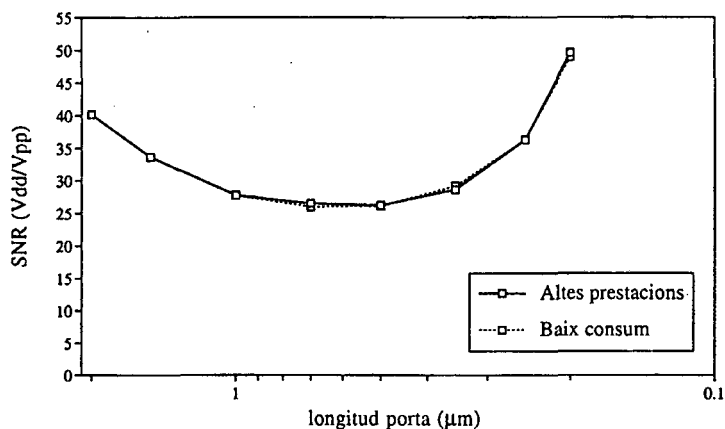


Fig.8.15. Tendència de la degradació del senyal degut al soroll acoblat a través de substrats P-, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

8.3.2. Tendències en substrats P+

8.3.2.a. Per un circuit de complexitat fixa.

L'anàlisi per substrats P+ es fa de nou amb una estratègia de polarització D/A, i a més suposant la presència d'un contacte posterior amb una inductància associada de 2.5 nH. Els resultats obtinguts per l'evolució del soroll en valor absolut es poden veure a la figura 8.16 [120]. Les tendències obtingudes són significativament diferents de les que s'havien vist fins ara. Mentre la tensió d'alimentació es manté constant, el nivell de soroll no augmenta, i l'escalat de tensions propicia una reducció dràstica del soroll, fins a nivells menyspreables per tecnologies molt avançades. La disminució del soroll es posa encara més de manifest en observar la relació senyal/soroll representada a la figura 8.17, on el creixement és espectacular.

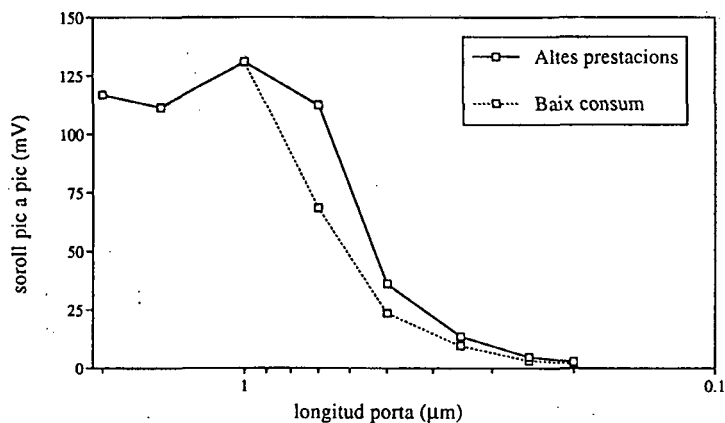


Fig.8.16. Tendències del soroll acoblat a través de substrats P+, per tecnologies d'altres prestacions i de baix consum.

La raó d'aquest canvi de tendències –o millor dit, de l'extremisme de les tendències–, es troba de nou en la reducció de l'àrea de dispositius i contactes pel factor d'escalat al quadrat. En substrats P- aquesta reducció provocava un augment de la resistència entre dos ports, tot i que aquest efecte es veia compensat en bona part per la disminució de distàncies i per efectes de propagació distribuïda del corrent. En substrats P+ el soroll es propaga principalment a través de la part altament dopada, de forma que l'acoblament ve determinat per la resistència a través de la capa epitaxiada. La reducció de l'àrea dels ports disminueix la secció d'aquesta resistència, mentre que s'ha suposat que la capa epitaxiada manté el seu gruix. En aquest cas doncs l'increment de resistència no es veu compensat per la disminució de distància, i donat el poc gruix de l'epitàxia els corrents circulen de forma molt més concentrada, per la qual cosa les resistències entre el substrat P+ i qualsevol port augmenten fortament, i el soroll transmès disminueix molt més dràsticament. Hi ha però un segon efecte a tenir en compte, i és que el substrat és connectat a *GND* a través d'una inductància de valor fixe. És a dir, a mesura que la tecnologia avança, la resistència entre fonts de soroll i substrat P+ augmenta mentre la impedància a *GND* es manté constant, de forma que millora la polarització del substrat. Recordar el que es va raonar a la secció 5.3 sobre l'efecte del *backplane* en funció de la grandària de la circuiteria sorollosa. La combinació de tots aquests efectes porta per tant a una disminució dràstica del soroll, molt major que en substrats P-. Cal tenir en compte però paràmetres tant importants com el valor de la inductància associada al *backplane* o les característiques de la capa epitaxiada, que segons quina sigui la seva evolució real poden alterar significativament els resultats obtinguts.

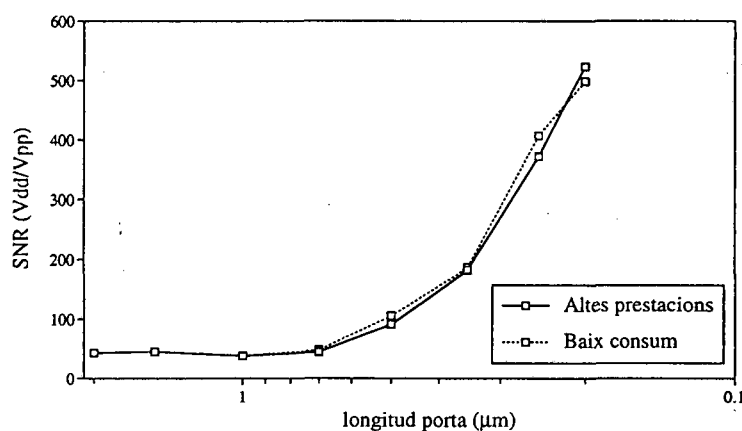


Fig. 8.17. Tendència de la degradació del senyal degut al soroll acoblat a través de substrats P+.

8.3.2.b. Tenint en compte l'augment de complexitat.

Segons el que s'ha raonat a l'apartat anterior, l'increment del nombre de portes dels circuits pot ser determinant en la tendència del soroll en aquest tipus d'oblies. Els resultats de l'apartat anterior seran vàlids només sota la suposició que s'escala un circuit donat, amb un nombre de portes invariable. A la figura 8.18 es mostra l'evolució del soroll prevista sota la suposició d'augment de complexitat a mesura que la tecnologia avança. Es comprova com efectivament, tot i que el soroll segueix tendent a disminuir –això és inevitable donada la suavització de les transicions de les portes digitals–, l'evolució és molt més suau, semblant a la que es tenia en oblies P-. A la figura 8.19 es mostra l'evolució de la relació senyal/soroll, preveient-se un límit en la degradació del senyal, però mantenint-se en uns valors aproximadament constants.

Com és sabut, en aquest tipus de substrats la distància entre dispositius passa a tenir una importància de segon ordre, de forma que si augmenta el nombre de portes del circuit totes elles contribuiran al soroll. Un major nombre de portes compensa l'increment de la

resistència de cada porta a través de la capa epitaxiada, de forma que en resulta una resistència equivalent entre fonts de soroll i substrat P+ aproximadament constant tot i el progrés de la tecnologia. Per tant l'evolució de l'acoblament dependrà únicament de la tendència del soroll injectat, que com s'ha vist disminueix en la mateixa forma en què ho fa la tensió d'alimentació.

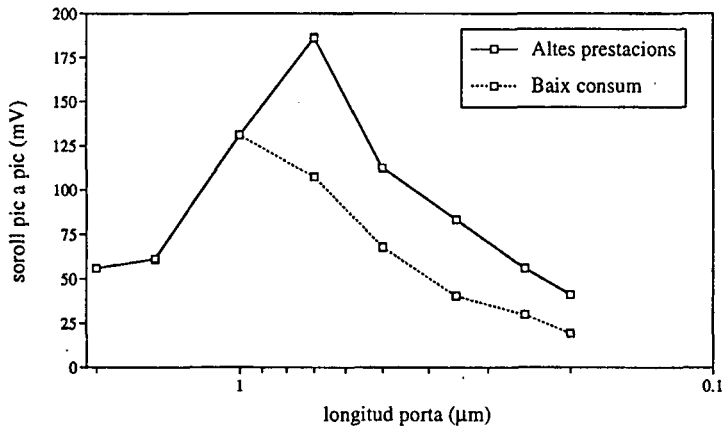


Fig.8.18. Tendències del soroll acoblat a través de substrats P+, per tecnologies d'altres prestacions i de baix consum, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

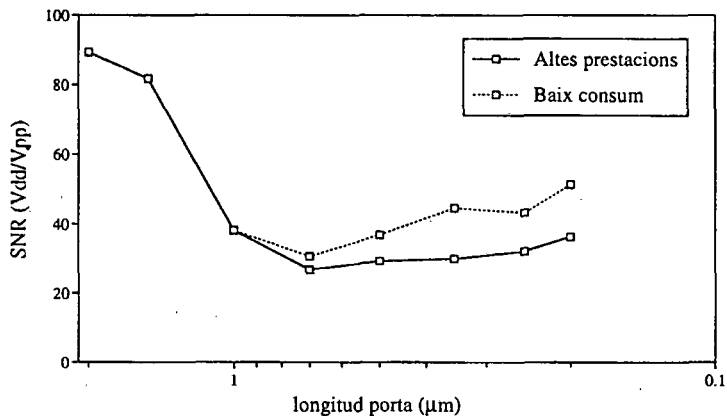


Fig.8.19. Tendència de la degradació del senyal degut al soroll acoblat a través de substrats P+, tenint en compte l'increment de complexitat dels circuits amb la tecnologia.

La reducció del soroll acoblat a través del substrat no té per què suposar una eliminació del problema en el futur. S'ha vist que en oblies P+ la integritat del senyal no millora, mentre que en oblies P- s'apunta una tendència a la recuperació, però no massa acusada. Els problemes d'acoblament per substrat han aparegut en microelectrònica principalment per l'augment de prestacions demanada als circuits, especialment major demanda de qualitat en els senyals que implica majors relacions senyal a soroll. Mentre es mantinguin aquests nivells d'exigència als circuits, i res no fa pensar que deixi de ser així, l'acoblament de soroll seguirà essent font de problemes.