

**UNIVERSITAT POLITÈCNICA DE CATALUNYA**

*Departament d'Enginyeria Electrònica*

**CONTRIBUCIÓ A L'ESTUDI DE  
L'ACOBLEMENT PER SUBSTRAT EN  
CIRCUITS INTEGRATS MIXTES**

Autor: Xavier Aragonès i Cervera

Director: Antonio Rubio Solá

# Capítol 1

## Introducció

Un dels inconvenients clàssics dels circuits analògics enfront els digitals ha estat la baixa tolerància al soroll que presenten. En els últims anys, la resolució demanada a aquests circuits s'ha fet més exigent, tant per la necessitat de processar senyals de molt baix nivell, com per la creixent demanda de qualitat en les comunicacions d'àudio o vídeo. Les fonts de soroll que el dissenyador de circuits analògics havia de tenir en compte tradicionalment eren les relacionades amb els dispositius, principalment el soroll tèrmic, el soroll *shot* i el soroll *flicker* ( $1/f$ ) [1]. Tanmateix, darrerament la tendència en microelectrònica ha estat integrar en un sol circuit integrat sistemes complets, incloent-hi part analògica i part digital. Això ha fet que la principal font de soroll a què es veu subjecte la circuiteria analògica ja no sigui l'esmentat soroll de dispositiu, sinó les perturbacions que la circuiteria digital indueix sobre la part analògica. El problema a més s'agreuja amb la major densitat d'integració i amb la creixent velocitat dels circuits digitals, que fa que el soroll produït sigui cada vegada major.

Els problemes d'acoblament han esdevingut limitadors en les prestacions de molts circuits avançats. Això ha comportat una necessitat de recerca en aquest camp, per a comprendre com es produeixen tots aquests efectes, i què es pot fer per a evitar-los. La tesi doctoral que es presenta en aquesta memòria es centra en un dels fenòmens més recents, i que no ha merescut atenció fins els últims anys: l'acoblament a través del substrat de silici que comparteixen la part digital i la part analògica en un circuit integrat mixte. En aquest capítol introductori es fa un repàs a l'estat de l'art per a observar l'evolució de la microelectrònica i comprendre els factors que han portat a l'esmentada situació. Posteriorment es descriuen els tres principals mecanismes d'acoblament elèctric en un circuit mixte, el tercer dels quals és l'acoblament a través del substrat. Per últim, es fa una breu presentació del treball realitzat a la tesi, així com de l'organització dels continguts de la present memòria.

## 1.1 Tendències en la tecnologia microelectrònica

És de tothom conegut que un dels aspectes que han caracteritzat la microelectrònica és la constant tendència a miniaturitzar cada vegada més els circuits i dispositius que s'implementen. A la reducció de les dimensions dels elements que formen un circuit integrat se l'anomena *escalat*, i la tendència clàssica ha estat que cada dues generacions de tecnologia –sis anys– la grandària dels dispositius es redueixi a la meitat, és a dir, que s'escalin per un factor dos [2]. Sovint les dimensions dels diversos elements del circuit es referencien a una mida mínima de referència –*feature size*– característica de cada tecnologia. A la figura 1.1 es mostra l'evolució d'aquesta mida mínima de referència –i en conseqüència de les dimensions de tots els elements del circuit– en els últims anys, on s'evidencia l'esmentada tendència a la miniaturització.

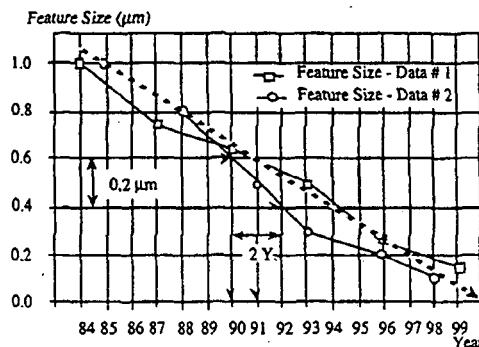


Fig.1.1. Evolució de la mida mínima dels dispositius en els últims anys [3].

Si es volen mantenir els valors dels camps elèctrics en un dispositiu, no sols s'han d'escalar les seves dimensions sinó també la tensió a la que operen, mentre que la concentració de portadors en el semiconductor ha d'augmentar per l'invers del factor d'escalat. Aquest escenari d'escalat tant de dimensions geomètriques com de tensions per un factor  $\alpha$ , fa que la dissipació de potència es redueixi per un factor  $\alpha^2$ , la densitat augmenti també per  $\alpha^2$ , i que la velocitat augmenti en un factor  $\alpha$  [4]. Tot i que aquestes conseqüències són positives i suposen una millora de prestacions dels circuits, també suposen un increment dels problemes de soroll. Un acoblament entre dos elements d'un circuit es produirà a través d'algun element paràsit, una resistència, una capacitat, o una inductància. La major densitat d'integració implica una disminució de distància entre elements del circuit. Si l'acoblament es produeix a través d'una resistència paràsit, menys distància implica menys atenuació de la pertorbació. Si l'element paràsit és una capacitat, menys distància vol dir major capacitat, i major acoblament. Per altra banda, l'acoblament a través d'elements capacitius o inductius és proporcional a la rapidesa de les variacions de tensió o de corrent, respectivament. Major velocitat per tant vol dir major acoblament a través de capacitats o d'inductàncies paràsites. En resum, la tendència a la miniaturització porta a un augment dels acoblaments entre els elements d'un mateix circuit integrat.

A la pràctica, la tensió d'operació dels circuits no s'ha escalat de la mateixa manera en què ho ha fet la geometria, degut a l'avantatge de treballar amb nivells de tensió estandaritzats, i també a l'augment de fuites que suposa escalar la tensió llindar dels transistors. Això no ha fet sinó provocar un creixement encara més ràpid de la velocitat d'operació. Efectes de fiabilitat fan però que a l'actualitat hom es vegi obligat a reduir també les tensions [2], [5]. Per altra banda, l'escalat de l'amplada i el gruix de les interconnexions provoca un augment de la densitat de corrent per un factor  $\alpha^2$ , mentre que el retard associat a les interconnexions es manté constant. No escalar l'amplada de les interconnexions suposa

una pèrdua de densitat d'integració, alhora que augmenta el retard. Com a alternativa s'ha proposat mantenir constant o fins i tot augmentar el gruix de les metalitzacions, però això suposa un augment de la capacitat entre interconnexions veïnes, i per tant més problemes d'acoblament [5], [6].

L'escalat dels elements dins un circuit integrat no ha portat a una disminució de la grandària dels xips, sinó que les lleis de mercat han propiciat una cursa cap a una millora de prestacions i en conseqüència una major complexitat dels circuits. Al 1975 es va enunciar la coneguda llei de Moore [7], segons la qual la densitat d'integració es dobla cada 18 mesos, llei que s'ha vingut acomplint des d'aleshores ençà [8], [9]. A la figura 1.2 es mostra l'evolució del nombre de transistors per xip en els últims anys, tant per processadors com per memòries, i com aquesta evolució ha comportat un augment en la grandària de cada dau de silici.

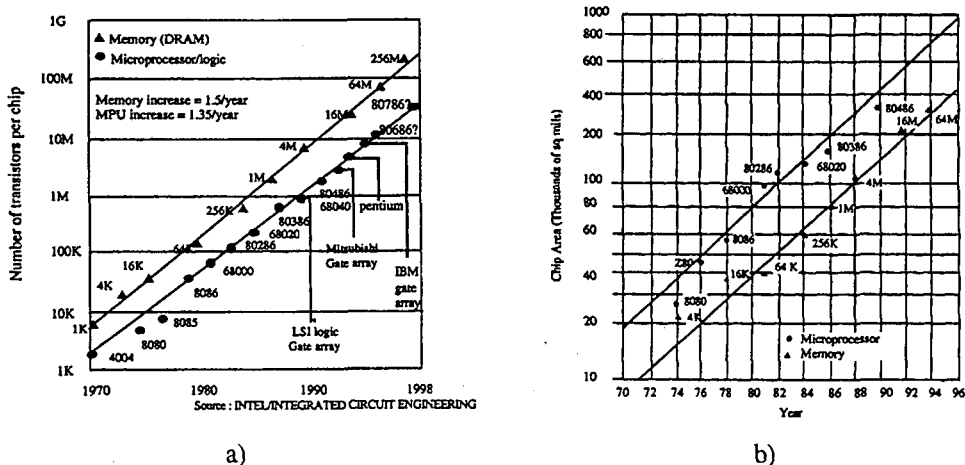


Fig.1.2. Evolució de la complexitat (a) i de la grandària (b) dels circuits integrats en els últims anys [3].

De fet, l'augment de complexitat dels circuits no sols porta a xips cada vegada més grans, sinó també a incrementar el nombre d'entrades i sortides del xip *-pins-*, el nombre de connexions d'alimentació, el nombre de nivells de metalització per a fer les interconnexions internes, la longitud d'aquestes interconnexions, i les dimensions dels encapsulats. A la taula 1.1 es mostren unes previsions de les característiques dels circuits integrats en el futur

	1995	1998	2001	2004	2007	2010
litografia ( $\mu\text{m}$ )	0.35	0.25	0.18	0.12	0.1	0.07
transistors/ $\text{cm}^2$ :						
microprocessador	4M	7M	13M	25M	50M	90M
ASIC	2M	4M	7M	12M	25M	40M
àrea ( $\text{mm}^2$ ):						
DRAM	190	280	420	640	960	1400
microprocessador	250	300	360	430	520	620
ASIC	450	660	750	900	1100	1400
nivells d'interconnexió	4-5	5	5-6	6	6-7	7-8
<i>pins</i> I/O	900	1350	2000	2600	3600	4800
freqüència (MHz):						
pins I/O	150	200	250	300	375	475
interna	300	450	600	800	1000	1100

Taula 1.1. Previsions de les característiques microelectròniques segons l'Associació d'Indústries de Semiconductors (SIA) [10].

proper, on es pot comprovar que en pocs anys es tindran circuits amb set nivells d'interconnexió, i el nombre de *pins* es contarà per mil·lers. Aquestes tendències també tenen el seu efecte en els acoblaments. El major nombre de nivells d'interconnexió evidentment facilita les interaccions entre diversos senyals, ja que hi ha molts més creuaments entre elles. El major nombre d'entrades i sortides també és un problema, donada l'alta capacitat de donar corrent que han de tenir els *pads* corresponents, i la possibilitat de que molts d'aquests *pads* estiguin commutant alhora. En aquest sentit, l'augment de complexitat en circuits seqüencials CMOS representa una major concentració de consum en instants de temps determinats. A part dels problemes de dissipació de potència i fiabilitat que això comporta, pics de corrent grans impliquen elevades quantitats de soroll a través d'elements inductius paràsits.

L'encapsulat dels circuits també resulta un tema prou interessant. L'augment del nombre de terminals porta a un augment de la grandària de l'encapsulat, i això sempre va lligat a un augment de les inductàncies associades a cada *pin*. Com es veurà al punt 1.2.2, les inductàncies de l'encapsulat són les responsables d'una important font de soroll, i seria desitjable la seva minimització. Per altra banda, la manera clàssica de fer la unió del xip i l'encapsulat resulta inviable per un nombre gran de terminals. Clàssicament s'alineen els *pads* d'entrada/sortida i alimentació a la vora del xip, i es fa un cablejat *-bonding-* vers les pistes de l'encapsulat *-leadframe-*. Si el nombre de terminals és prou elevat, això porta a xips en els que l'àrea ve determinada pel rectangle que formen els *pads*, i que és molt més gran que l'àrea de la circuiteria en sí. Per tant, calen nous tipus d'encapsulat en els que es realitzi la soldadura directament sobre la superfície del xip, sense necessitat de posar els *pads* a la perifèria *-per exemple tecnologies flip-chip com la C4 (controlled collapse chip connection) [11]-*. Seran necessaris estudis per a conèixer la possibilitat que els senyals de l'encapsulat interfereixin amb els senyals dins el xip, donada la seva proximitat.

A més de l'augment en complexitat en els circuits integrats, hi ha una tendència paral·lela, menys quantificable, que és la d'integrar diverses tecnologies per a fabricar circuits d'altres prestacions. El primer pas en aquest sentit es va donar amb les tecnologies BiMOS, aparegudes a meitat dels 80, en les que s'integren transistors bipolars i MOS en el mateix xip, afegint algunes etapes a un procés MOS típic. La major densitat i flexibilitat d'integració ha portat a integrar circuits cada vegada més complexes, fins la possibilitat actual d'encabir sistemes sencers en un sol dau. En circuits de telecomunicació en particular, això s'ha traduït en la integració de circuiteria analògica i circuiteria digital en el mateix xip, donant lloc al que es coneix com a *circuits mixtes*. Això ha provocat l'aparició de greus problemes d'acoblament elèctric, donada la natura sorollosa dels circuits digitals *-ràpides excursions de tensió o corrent-* i la baixa tolerància al soroll dels circuits analògics. La creixent demanda de resolució no ha fet sinó convertir l'aïllament entre part digital i analògica en un problema de primer ordre, ja que moltes aplicacions han vist limitades les seves prestacions en no poder aconseguir els nivells de soroll desitjats.

Per minimitzar els problemes d'acoblament i d'encapsulat s'han proposat tecnologies alternatives com els mòduls multixip (*MCM*). En poques paraules, aquestes tecnologies consisteixen en connectar diversos circuits integrats o elements discrets sobre un substrat que fa les tasques de connexionat. El substrat típicament està format per diverses capes d'interconnexions separades per dielèctrics, mentre que els circuits integrats no estan encapsulats i s'uneixen directament al substrat. Això permet per una banda reduir el nombre de *pins* de l'encapsulat, sobretot en relació a la circuiteria, i per altra banda permet integrar dins el mateix encapsulat tecnologies tant diverses com poden ser MOS, bipolar, o GaAs. Els mòduls multixip permeten separar en diversos daus els circuits que presentin problemes d'acoblament, tot i mantenir el conjunt dins el mateix encapsulat. Tanmateix, aquesta tecnologia MCM té un cost sensiblement més elevat que el d'un circuit monolític, per la qual cosa no es presenta com una alternativa atractiva als circuits mixtes.

A més de la possibilitat d'integrar tecnologies MOS i bipolar, i parts analògiques i digitals, la cursa no s'atura i molts processos actuals permeten incorporar dispositius d'alt voltatge –típicament entre 30 i 50 V– junt amb la circuiteria convencional. Aquestes tecnologies *smart power* sens dubte faciliten l'aparició de pertorbacions, tot i que no s'acostuma a demanar en una mateixa aplicació alta potència i alta resolució. Per últim, citar l'aparició recent de tecnologies que permeten implementar elements mecànics en el mateix xip, utilitzant processos convencionals amb una sèrie de passos afegits. Aquests micro sistemes electro-mecànics (*MEMS*) permeten incorporar la generació de senyal per part d'un sensor en el mateix xip, i recentment es comencen a implementar els primers actuadors.

L'acostament entre els processos bipolars i CMOS ha permès l'intercanvi d'aportacions tecnològiques. Així, les capes enterrades i els substrats amb capes epitaxiades eren comuns en processos bipolars, i han estat adoptats per les tecnologies CMOS com solució al problema del *latch-up*. Aquest problema consisteix en la posada en conducció dels transistors paràsits que apareixen entre un NMOS i un PMOS, formant una estructura tiristor SCR. La posada en conducció és propiciada del pas de corrent a través del substrat resistiu, i una manera de minimitzar aquesta resistència és posar una capa molt conductora sota els dispositius. En lloc de posar una capa enterrada molt conductora, el que s'ha fet és senzillament partir d'una oblia amb molt baixa resistivitat, i dipositar per epitàxia una capa de poques micres de gruix amb la conductivitat habitual. A aquest tipus d'oblies les anomenarem *molt conductores*, *altament dopades*, o senzillament *P+* (fent referència al seu nivell de dopat). Per contra, a les oblies que presenten un dopat uniforme en tot el seu gruix, les anomenarem *poc conductores*, *poc dopades*, o senzillament *P-*. A la figura 1.3 es mostra un esquema amb les característiques tecnològiques més habituals dels dos tipus d'oblia. Com es pot comprovar, en els dos casos és habitual trobar una fina capa més conductora a la part superior del substrat. Aquesta capa es crea sota l'òxid de camp, per tal d'evitar la formació de transistors paràsits, i s'anomena *channel-stop layer*. És fonamental conèixer les característiques dels dos tipus d'oblies ja que juguen un paper fonamental en l'acoblament pel substrat, com es posarà de manifest en la present memòria. De fet, l'acoblament per substrat ha motivat que alguns fabricants hagin decidit abandonar l'ús d'oblies *P+* en els seus processos mixtes CMOS i BiCMOS.

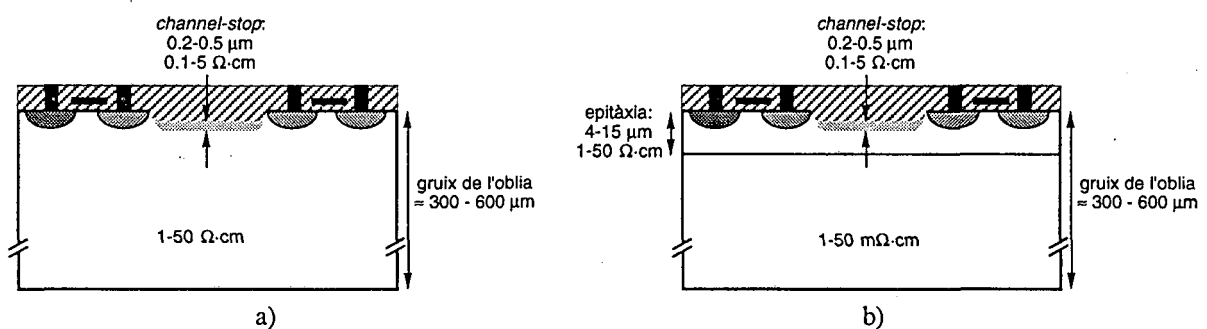


Fig 1.3. Característiques tecnològiques d'una oblija poc dopada P- (a) i d'una oblija altament dopada P+ (b).

Una vegada fabricat el circuit integrat, aquest és encapsulat. Ja hem parlat de la forma en què es realitza el connexionat dels diversos senyals d'entrada/sortida i alimentacions, però aquest connexionat per sí sol no proporciona una unió física de suficient consistència entre xip i encapsulat. El xip és habitualment unit mitjançant una resina tipus epoxy a un pla metàl·lic al centre de l'encapsulat. Aquesta resina pot estar dissenyada per a proporcionar una elevada conductivitat tèrmica, o una gran conductivitat elèctrica. Existeix la possibilitat de dipositar per evaporació una capa metàl·lica a la cara posterior del xip, de manera que es crea una pla conductor que es curtcircuita el substrat i el pla metàl·lic de l'encapsulat. Al pla conductor a la

part posterior del xip de l'anomenada *backplane*, i en principi pot ser utilitzat per a polaritzar el substrat connectant el pla metàl·lic de l'encapsulat a un dels *pins* de terra.

Per tal d'aconseguir un millor aïllament, un tercer tipus d'oblia és l'emprada en tecnologies SOI (*silicon-on-insulator*). Bé per implantació i oxidació, o bé per deposició, unes micres per sota la superfície de l'oblia s'implementa una capa gruixuda d'aïllant, típicament òxid de silici. Les diverses parts del circuit –fins i tot transistors individuals– poden ser aïllades amb barreres d'òxid, de forma que entre elles no hi ha cap camí conductor.

## 1.2 Tipus d'acoblament en circuits mixtes

En la secció anterior s'ha posat de manifest com les tendències vers una major complexitat dels circuits integrats, augment de prestacions i escalat de la tecnologia fan que els acoblaments entre senyals adquireixin major importància. En aplicacions en què les pertorbacions limitin les prestacions del circuit, hauran de ser tingudes en compte pels dissenyadors en totes les fases del disseny. A continuació es presenten breument els principals mecanismes d'acoblament elèctric en circuits integrats.

### 1.2.1. Acoblament entre interconnexions

L'acoblament capacitiu entre interconnexions, tradicionalment conegut simplement com a *crosstalk*, ha estat motiu d'estudi des dels anys 80 [12], [13]. L'efecte és degut a la capacitat paràsita que hi ha entre dues interconnexions paral·leles. Una transició de tensió en una de les interconnexions propicia un pas de corrent a través de la capacitat, i un pic de soroll a la línia adjacent –pic positiu si la transició és de pujada, negatiu si és de baixada–. L'acoblament és major com més gran sigui la capacitat, és a dir que augmenta com més properes i més llargues siguin les interconnexions. Un altre efecte que pot tenir l'acoblament capacitiu és una variació –augment o disminució– en el retard de la línia afectada, que pot produir violacions de temps de *sep-up* o de *hold* en elements síncrons de memòria [14].

El fenomen del *crosstalk* ha estat ja un problema en plaques de circuits impresos o PCB, i amb l'arribada de circuits LSI d'alta velocitat ha estat font d'atenció en circuits digitals, donats els alts nivells de soroll –de l'ordre de volts– que es poden tenir. Els espuris produïts es poden propagar indefinidament a través de portes lògiques, depenent també de la seva amplada, i provocar errors permanents si afecten elements de memòria [15]. En circuits mixtes el *crosstalk* no acostuma a ser descrit com un factor limitador, ja que donats els efectes que pot tenir, es té prou cura que les seccions digitals i analògiques quedin clarament diferenciades en fer el *floorplanning* de l'integrat, evitant-se la proximitat entre interconnexions analògiques i digitals. Tanmateix, alguns blocs necessiten dels dos tipus de senyals –un mostrejador, per exemple–, per la qual cosa s'haurà de fer una distribució molt acurada del senyal, allunyant al màxim les interconnexions digitals dels nodes sensibles. En cas necessari, una tècnica per reduir el *crosstalk* és apantallar les línies acoblades, inserint entre elles una tercera línia connectada a terra.

Es pot obtenir fàcilment una visió intuïtiva dels paràmetres dels que depèn el nivell de soroll amb un model amb capacitats i resistències concentrades, com el mostrat a la figura 1.4 [16]. En aquest model,  $C_2$  modela la capacitat total de la línia afectada a terra, incloent el circuit de càrrega i la capacitat paràsita de la línia al substrat. De l'anàlisi del circuit

equivalent es desprèn que el soroll és major com més gran sigui la capacitat d'acoblament  $C_{12}$ , menor sigui la capacitat a terra de la línia afectada, i menor sigui el temps de transició del senyal digital afectant. Anàlisis amb un circuit equivalent que també contempla els paràmetres de la línia afectant han estat presentats a [17]. Per interconnexions molt llargues, apareixen efectes propis de línies de transmissió, que només poden ser observats amb models distribuïts. A [18] es troben regles per a determinar quin és el tipus de model més senzill que es pot utilitzar en funció de les característiques de les línies. Entre els efectes propis de línies de transmissió que poden aparèixer destaquen les reflexions en línies mal terminades, que poden causar oscil·lacions o reforçar els polsos de soroll. L'efecte també es dona en apantallaments, que si no disposen de suficients punts de connexió a terra i no estan adequadament terminats, poden esdevenir sorollosos, provocant l'efecte que pretenen eliminar [19].

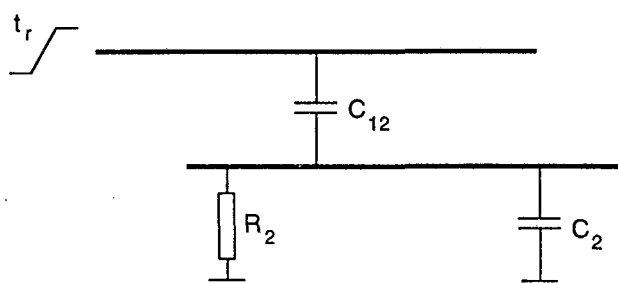


Fig. 1.4. Model amb elements concentrats de l'acoblament entre interconnexions [16].

En els últims anys han aparegut eines CAD que tenen en compte els acoblament entre línies en la generació del *routing*, afegint la possibilitat de fer modificacions –incrementar distància, afegir apantallaments– per a eliminar el *crosstalk* en circuits integrats [20] o bé en mòduls multixip [21].

### 1.2.2. Soroll acoblat a través de les línies d'alimentació

El conjunt que connecta un *pad* del xip a la placa de circuit imprès, a través de l'encapsulat i les connexions corresponents, es pot modelar elèctricament com una inductància en paral·lel amb una capacitat [22]. En els *pins* corresponents a les línies d'alimentació, on les tensions es mantenen constants, l'element paràsit dominant és la inductància. En circuits CMOS, on el consum no és continu al llarg del temps, els pics de corrent produeixen caigudes de tensió a través de la inductància, que es tradueixen en fluctuacions a les tensions d'alimentació internes. Aquesta mena de soroll s'anomena *delta-I noise*, *simultaneous switching noise* –SSN–, o *ground bounce*. En circuits purament digitals, la font de SSN més important són els *pads* de sortida, donada la quantitat de corrent que han de proporcionar. Una expressió que es pren sovint per avaluar el soroll produït per  $n$  nodes de sortida commutant simultàniament és

$$V_n = nL_{ef} \frac{dI}{dt} \quad (1.1)$$

on  $L_{ef}$  és la inductància efectiva dels pins. Aquesta expressió dona una sobreestimació del soroll [23], però és útil per saber que el soroll augmenta amb la quantitat de portes demanant corrent en un instant donat, i amb la inductància efectiva dels *pins*. Aquesta última dependència indica la importància de les característiques de l'encapsulat i de l'assignació de *pins*, ja que aquells que estan més propers a les cantonades són els que presenten major autoinductància [24]. L'assignació de múltiples *pins* per a les tensions d'alimentació, i de



connexions especialment grosses –*lug pins*– són recomenacions que es fan per a reduir la inductància efectiva i en conseqüència el soroll a les alimentacions.

En circuits mixtes, la compartició de línies d'alimentació proporciona un camí perfecte per a que la commutació de la circuiteria digital produeixi soroll que afecta directament la part analògica. La mesura més elemental que es pren per aconseguir el màxim aïllament és la separació de les línies d'alimentació i de terminals de cada part. Tanmateix una independència total entre les dues seccions no és possible ja que sovint totes les terres es connecten al substrat, quan no és el mateix fabricant qui exigeix curtcircuitar-les a través d'un *scribe line* a la perifèria. En els últims anys s'han proposat diverses tècniques per aconseguir una reducció del *SSN*, que han gaudit de diversos graus d'acceptació. A nivell de soroll originat pels *pads*, s'han proposat tècniques per evitar la seva commutació simultània [25], i regular la rapidesa de les commutacions [26]. En quant al soroll originat per la circuiteria digital, s'han proposat diverses famílies lògiques MOS en mode corrent –ESCL [27], FSCL [28]– que, amb una estructura anàloga a les portes ECL en el món bipolar, aconseguen un consum pràcticament constant. El gran inconvenient que presenten és el seu consum quiescent, desmesurat en comparació a la lògica CMOS convencional. Per últim, esmentar la reducció de soroll amb condensadors de desacoblament dins el xip, o fora l'integrat però compartint l'encapsulat, o altres propostes més imaginatives com el suministrament de corrent per part de condensadors tanc interns [29].

### 1.2.3. Soroll acoblat a través del substrat

Tradicionalment s'ha considerat que el substrat de silici sobre el què es fabriquen els dispositius ofereix un aïllament adequat entre dispositius, donada la seva alta resistivitat i el fet que tota junció amb el substrat queda polaritzada inversament. Tanmateix, existeixen diversos mecanismes pels què els dispositius en commutació poden introduir perturbacions al substrat, que donada la seva resistivitat finita es propaguen vers altres dispositius. L'alta resistivitat del substrat afavoreix que la quantitat de soroll que arriba a les parts sensibles del circuit sigui petita, però tot i això la creixent resolució demanada en aplicacions analògiques fa que aquest mecanisme d'acoblament hagi esdevingut un factor limitador en les prestacions de molts circuits mixtes [30]-[32]. A més, l'ús de substrats P+ afavoreix la conducció del soroll vers parts remotes del xip. Darrerament també ha estat reportat que l'acoblament per substrat obliga a augmentar la freqüència de refresc en memòries RAM dinàmiques [33]. Seguint intuïció i experiència, s'han començat a implementar tècniques per a minimitzar aquest acoblament, incrementant la distància entre circuits acoblats, incorporant anells de guarda de diversos tipus, pous, capes enterrades, incrementant el nombre de contactes de polarització, etc. [34]-[37]. L'aplicació d'aquestes tècniques ha mancat però de criteris clars respecte la seva efectivitat, ja que els primers anàlisis sobre el tema no van ser publicats fins el 1992 [38], [39].

## 1.3 Objectius i organització de la tesi

La tesi doctoral presentada en aquesta memòria es centra en l'estudi del tercer dels mecanismes d'acoblament presentats a la secció anterior, que no ha estat objecte d'atenció fins els últims anys i del que en manquen estudis exhaustius. Els objectius d'aquesta tesi són: caracteritzar de forma completa l'acoblament per substrat, per a obtenir-ne una

comprensió adequada del seu origen i propagació, i de com influeixen les característiques de *layout* i tecnològiques en la seva magnitud; fer una revisió crítica dels models presentats a la literatura per aquest acoblament, i proposar millores o alternatives; fer una anàlisi comparativa de les diferents tècniques per a reduir el soroll, estudiant l'efecte de les línies d'alimentació i l'encapsulat, i proporcionar criteris per a triar cada tècnica en funció de la tecnologia; estudiar com es propaga el soroll en el substrat, per tal de proposar criteris per optimitzar la geometria dels anells de guarda; avaluar l'efectivitat de guardes actives, de tècniques de compensació, i de capes enterrades; analitzar el soroll per substrat en tecnologia BiCMOS, comprovant si aquestes famílies són millors o pitjors que les CMOS en aquest sentit, i quins paràmetres particulars de la tecnologia hi influeixen; realitzar prediccions de l'evolució de l'acoblament en circuits mixtes en funció de l'escalat de la tecnologia.

En el capítol 2 es realitza un estudi per a conèixer les característiques bàsiques de l'acoblament per substrat. Es descriuen els mecanismes d'injecció i recepció del soroll, i s'analitza com influeixen diverses característiques geomètriques o tecnològiques en l'acoblament, tant per simulació com experimentalment. L'estudi també es realitza per tecnologies BiCMOS, i es tenen en compte les diverses configuracions i característiques dels transistors bipolars.

Al capítol 3 s'analitza com es propaga el soroll entre dos dispositius en funció de la presència de diversos elements com anells de guarda de diverses característiques, capes enterrades, o contactes de polarització posteriors. L'anàlisi es realitza suposant condicions de polarització ideals i servirà per esbrinar el potencial de les diverses mesures reductores de soroll, l'efecte que produeixen i com optimitzar-les. El capítol també descriu els modes de propagació del soroll en alta freqüència.

Al capítol 4 es realitza una revisió dels diversos mètodes presentats a la literatura per a modelar l'acoblament per substrat i la seva evolució. Es determinen les situacions en què són vàlids els models d'última generació i es proposen expressions per a obtenir valors aproximats de la resistència entre contactes o dispositius.

En el capítol 5 s'utilitzen aquests models per analitzar les diferents estratègies de polarització i determinar quines proporcionen menors nivells de soroll, tenint en compte els elements paràsits associats a l'encapsulat i les línies d'alimentació, i la grandària de la secció digital. Es tenen en compte també les implicacions que poden tenir les estratègies defensades en fenòmens com el *latch-up*.

En algunes situacions les estratègies de polarització analitzades al capítol 5 poden resultar insuficients. En el capítol 6 es revisen algunes propostes alternatives per a la reducció del soroll, com la implementació de capes enterrades, compensació de polsos de soroll, i les guardes actives.

Al capítol 7 es presenten les mesures realitzades sobre un circuit integrat mixte dissenyat a tal efecte. El circuit conté una part digital d'activitat variable, i diversos elements analògics que actuen com a sensors de soroll. Amb les mesures en comproven bona part dels resultats obtinguts analíticament en capítols anteriors, a més de posar-se de manifest la susceptibilitat al soroll al substrat de diversos circuits convencionals.

Per últim, al capítol 8 es fa una predicció de l'evolució del soroll al substrat i les línies d'alimentació per tecnologies futures, considerant els escenaris d'escalat de tensió previstos en el futur.