

# Design of an On-Chip Hybrid DC/DC Converter

J. Cosp Vilella and H. Martínez García

**Abstract** — This paper presents the design of a hybrid on-chip VLSI DC/DC converter for low to medium integrated circuit power consumption that combines a switching and a linear regulator in parallel. The main goal is to take the best of both approaches, obtaining good power efficiency as in switching DC/DC converters, with small voltage output ripple as in linear converters. While the switching regulator is used to drive most of the load current, the linear regulator supplies the required current to filter out the steady state ripple due to inductor switching without the need of a filtering output capacitor. In addition, the second regulator supplies the required current when the load changes abruptly and the inductor current is momentarily insufficient. The design has been tested with simulations using a standard 180-nm CMOS technology showing good performance.

**Keywords**— DC/DC converter; hybrid regulator; CMOS; VLSI design; power electronics; first-generation current conveyor (CCI).

## I. INTRODUCCIÓN

LA ventaja principal de los convertidores de potencia DC/DC conmutados [1] es su alta eficiencia que, a pesar de no ser del 100% debido a las pérdidas de los componentes del circuito, está próximo a este valor óptimo. A pesar de ello, presentan algunos problemas importantes debido a su complejidad, son proclives a generar interferencias electromagnéticas a otros circuitos próximos y requieren grandes condensadores para reducir el rizado de la tensión de salida. La alternativa a los convertidores conmutados son los reguladores serie lineales [2]. Este tipo de reguladores tienen varias ventajas pero también presentan serias desventajas como tener una reducida eficiencia de conversión de potencia y requiere el uso de grandes transistores de paso en serie para suministrar la corriente de salida necesaria.

Los convertidores híbridos que incluyen un regulador lineal y un convertidor conmutado son circuitos compactos para la realización de reguladores de tensión DC/DC. Además, mantienen las ventajas de las dos alternativas presentadas previamente; es decir, consiguen unas eficiencias moderadamente altas gracias al convertidor conmutado con una regulación rápida del rizado de la tensión de salida y una respuesta transitoria mejorada gracias al regulador lineal. Estas estructuras híbridas son de gran interés cuando se requieren fuentes de alimentación que suministren corrientes altas y que tengan una respuesta rápida a las variaciones de la carga como por ejemplo en los sistemas basados en microprocesadores [3] o en fuentes de alimentación adaptativas de banda ancha para amplificadores de potencia en aplicaciones de RF.

En este artículo, se presenta el diseño de un regulador DC/DC CMOS integrado basado en una topología asistida linealmente para aplicaciones *on-chip*. El diseño garantiza el suministro de la alimentación para una carga crítica que requiere una alimentación constante de 1.1 V y una corriente de carga de 0 a 15 mA. En particular, esta carga es un circuito analógico que está incluido en el mismo chip y consiste en un filtro de tiempo continuo para el filtrado de señal proveniente de un sensor integrado (MEMS) con sus lazos de control de frecuencia y factor de calidad. El margen de la tensión de entrada es de 1.6 V a 1.8 V.

## II. ARQUITECTURA PROPUESTA PARA EL CONVERTIDOR DC/DC HÍBRIDO

Considérese un regulador lineal serie que suministra una tensión  $V_{out}$  constante a una carga  $R_L$ . Con el objetivo de reducir la potencia disipada en el transistor serie de paso del regulador, es necesario reducir la corriente a través de dicho regulador tanto como sea posible. Para ello, se fijará un valor máximo para la corriente. En caso que la carga requiera una corriente mayor que éste máximo, el convertidor *buck* conmutado entra en funcionamiento. Este segundo bloque está conectado en paralelo con el primero y suministra el exceso de corriente requerido por la carga que el regulador lineal no suministra. La idea original que se presentó y analizó en [4] requiere una señal de reloj para el convertidor conmutado.

La configuración que se propone en este artículo, que fue presentada por primera vez en [5], y que se mejora aquí en varios aspectos, se muestra en la Fig. 1. Esta estructura usa un comparador de corriente con histéresis *CMP* que conmuta entre los estados *ON* y *OFF* el transistor  $M_P$ , y fija la frecuencia de conmutación. Nótese que el principal objetivo del convertidor conmutado es el de suministrar el exceso de corriente que el regulador lineal no suministra.

En una primera aproximación, considérese que el comparador *CMP* no muestra histéresis. Si la corriente de carga se encuentra por debajo de una cierta corriente límite, llamémosla corriente umbral de conmutación,  $I_\gamma$ , la salida de *CMP* se mantiene baja. Así, el convertidor conmutado está desactivado y la corriente a través del inductor  $L$  será cero. Como resultado de esto, el regulador lineal suministra toda la corriente requerida por la carga  $R_L$  (es decir,  $I_{lin}=I_{load}$ ). Sin embargo, cuando la corriente requerida por la carga aumenta ligeramente por encima de la corriente umbral de conmutación,  $I_\gamma$ , la salida del comparador cambia a nivel alto, conmutando así el transistor  $M_P$  e incrementando linealmente la corriente en el inductor  $I_{ind}(t)$ . Como consecuencia de ello, la corriente en el regulador lineal,  $I_{lin}(t)$  disminuirá también linealmente hasta estar por debajo del umbral  $I_\gamma$ . En este momento, el comparador cambiará su salida a su estado bajo, desactivará el transistor  $M_P$  y, como consecuencia, decrecerá

---

J. Cosp-Vilella, Departamento de Ingeniería Electrónica, Universitat Politècnica de Catalunya, Barcelona, España, jordi.cosp@upc.edu

H. Martínez-García, Departamento de Ingeniería Electrónica, Universitat Politècnica de Catalunya, Barcelona, España, herminio.martinez@upc.edu

la corriente del inductor  $I_{ind}(t)$ . Cuando la corriente  $I_{ind}(t)$  haya decrecido suficientemente de manera que  $I_{ind}(t) > I_y$ , el comparador *CMP* conmutará de nuevo al estado alto repitiendo así el ciclo otra vez. Nótese que para limitar la frecuencia de conmutación y, en consecuencia, las pérdidas de conmutación, es conveniente añadir una histéresis al comparador de corriente *CMP*.

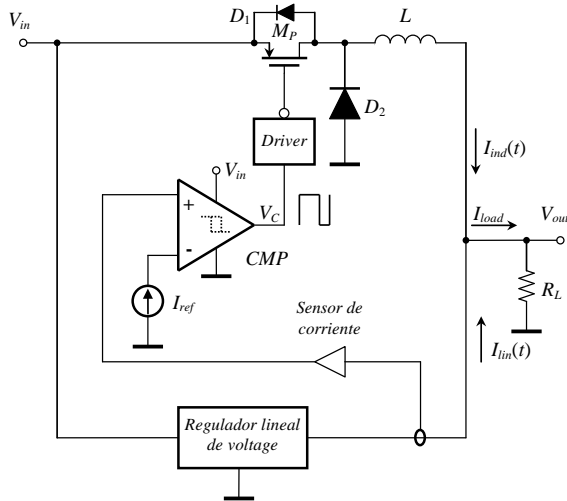


Fig. 1. Estructura básica del regulador asistido linealmente o convertidor *DC/DC* híbrido.

Nótese que los puntos de conmutación exactos (es decir, la histéresis) del comparador son importantes para fijar la frecuencia exacta de conmutación pero no afectan de manera significativa las regulaciones de línea o de voltaje. Por ese motivo no son necesarios circuitos de alta precisión para esta tarea.

Como ventaja adicional, es importante destacar que los típicos transistores de filtrado paso-bajo a la salida de los terminales de los convertidores conmutados (que pueden ser notablemente grandes en algunas aplicaciones), no son necesarios en esta estructura ya que el regulador lineal realiza eficientemente la función del filtrado paso-bajo [6]. Por ello, la estructura de regulación híbrida es una estructura altamente atractiva para ser integrada *on-chip*.

### III. DISEÑO DEL CONVERTIDOR *DC/DC*

El circuito se ha diseñado usando la tecnología CMOS TSMC 0.18  $\mu\text{m}$  de señal mixta/RF con una alimentación de 1.8V, doble pozo y transistores *MOS* normales y de baja tensión umbral. Todos los dispositivos están integrados *on-chip* excepto el inductor *off-chip* del convertidor conmutado.

#### A. Sistema VLSI completo

En la Fig. 2 se muestra el esquema completo del regulador *DC/DC* híbrido que consiste en un amplificador operacional (*OA*) como regulador lineal y un convertidor conmutado compuesto por un transistor de potencia *PMOS* ( $M_P$ ) con su correspondiente diodo de protección ( $D_1$ ), un inductor *off-chip* ( $L$ ) y un diodo ( $D_2$ ). Además, hay un circuito de control para el convertidor conmutado formado por un convector de corriente (*current conveyor*) de primera generación (*CCI*) y un

comparador con histéresis (*CMP*) que funciona en modo corriente. Finalmente, un divisor de tensión formado por los resistores  $R_1$  y  $R_2$  como sensor de la tensión de salida completa el esquema.

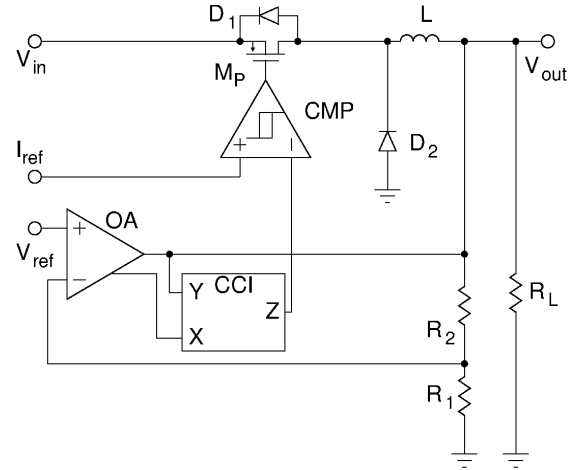


Fig. 2. Esquema del convertidor híbrido *DC/DC* completo. La salida inferior del amplificador operacional es una salida secundaria con la misma conductancia que la salida primaria pero dividida por 200.

El funcionamiento del diseño es tal como sigue. El divisor resistivo de tensión, compuesto por los resistores  $R_1$  y  $R_2$ , divide la tensión de salida y la realimenta al amplificador operacional. Como consecuencia, este amplificador fija la salida del convertidor a una tensión estable que depende de la tensión de referencia  $V_{ref}$ , siempre y cuando la ganancia y el ancho de banda de éste sean suficientes para compensar las variaciones en la carga y en la línea. Para detectar la corriente de salida del regulador lineal, se usa la técnica *SENSEFET* [7]. La corriente de salida del amplificador se copia y se divide por 200 en el mismo amplificador y es dirigida a través de una salida secundaria al terminal *X* del *CCI*. Esta salida secundaria del amplificador es una etapa de salida de tipo *AB* idéntica a la principal y está conectada al mismo nodo de entrada pero con unos transistores 200 veces más estrechos. De esta manera, como el *CCI* copia el voltaje de su terminal *Y* a su terminal *X*, y como la conductancia de la salida secundaria del amplificador es 200 veces más pequeña que la conductancia de la salida principal, la corriente que circula por el puerto *X* es 200 veces más pequeña que la corriente suministrada por la salida principal del amplificador. Esta corriente más pequeña puede ser usada para detectar la corriente que suministra el regulador lineal. Nótese que puede usarse el *CCI* más simple en lugar del *CCII* más complejo porque no es necesaria una copia exacta de la corriente suministrada a la carga. Así, el error sistemático producido por el 0.5% de la corriente total que es absorbida por el puerto *Y* no es en absoluto problemática para el correcto funcionamiento del sistema.

La corriente absorbida por el puerto *X* es copiada por el *CCI* a su puerto *Z*, quien a su vez dirige la copia de esta corriente al puerto de entrada negativo del comparador de corriente con histéresis. Por lo tanto, esta magnitud es comparada con una corriente de referencia, de manera que el

*PMOSFET* de potencia ( $M_p$ ) conduce cuando la corriente del *CCI* es mayor que la corriente de referencia ( $I_{ref}$ ) y se encuentra en corte cuando la corriente es menor que  $I_{ref}$ .

### B. Regulador lineal de tensión

La realización del regulador lineal *CMOS* se muestra en la Fig. 3. Consiste en un amplificador tipo *OTA Miller* (transistores  $M_1 \sim M_7$ ) con un desplazador de nivel ( $M_8 \sim M_{11}$ ) y unas etapas de salida de tipo *AB* primaria ( $M_{12} \sim M_{13}$ ) y secundaria ( $M_{14} \sim M_{15}$ ). Estos últimos transistores son 200 veces más estrechos que los transistores de la etapa de salida principal. Así, cuando  $V'_{out}$  se fija a la misma tensión que  $V_{out}$ , la corriente de salida suministrada por la etapa de salida secundaria es 200 veces inferior que la corriente de salida suministrada por la etapa primaria. Conviene hacer notar que, para incrementar el margen de tensión disponible a la salida del amplificador, los transistores  $M_{12} \sim M_{15}$  son transistores de baja tensión umbral. Como la tensión de salida está más próxima a  $V_{in}$  que a masa, el transistor *NMOS*  $M_{13}$  que conecta la salida a  $V_{in}$  es el más crítico y su tensión puerta-fuente ( $V_{GS13}$ ) debe ser minimizada mientras que la tensión puerta-fuente del transistor *PMOS*  $M_{14}$  ( $V_{GS14}$ ) puede ser mayor sin perjudicar por ello el rendimiento del convertidor.

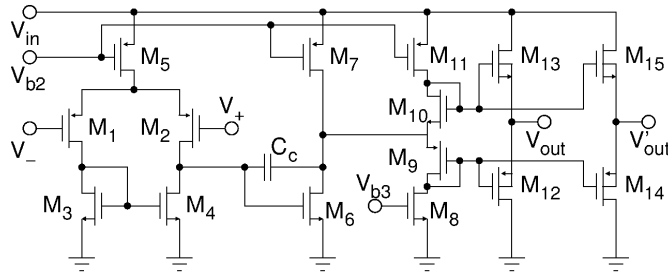


Fig. 3. Esquema del regulador lineal de tensión. No se muestran las conexiones al sustrato excepto en los casos en que no están conectada a tierra o a la fuente de tensión ( $V_{in}$ ).  $V_{out}$  es la salida primaria y  $V'_{out}$  es la salida secundaria con transistores 200 veces más estrechos. Nótese que  $V_{in}$  es la fuente de tensión conectada a la mayoría de las fuentes y sustratos de los transistores *PMOS*.

### C. Detector de corriente

Para detectar la corriente que entrega el regulador lineal, se ha usado una estructura de tipo *SENSEFET* [7]. Para conseguir una corriente proporcional a la entregada por el regulador lineal, se copia la tensión de la salida principal del amplificador operacional a una salida secundaria. Este proceso, como ya hemos indicado previamente, se lleva a cabo mediante un convector de corriente de primera generación (*CCI*) [8]. El inconveniente más importante de este tipo de convector de corriente es que la entrada  $Y$  conduce la misma corriente que la entrada  $X$ , distorsionando así la medida exacta de la corriente entregada a la carga por el regulador lineal. Para solventar este problema, sería necesario el uso de un convector de corriente de segunda generación (*CCII*). De todos modos, como la corriente que absorbe  $X$  es dos órdenes de magnitud inferior a la entregada a la carga, un convector más simple como el *CCI* (aunque sea menos preciso) es en este caso más apropiado que un convector *CCII* para así reducir la complejidad y el consumo de energía del conjunto

regulador.

En la Fig. 4 se muestra el esquema del convector de corriente usado en este diseño. Los transistores  $M_{27}$ ,  $M_{28}$  y  $M_{30}$  copian la corriente de entrada del terminal  $X$  a los terminales  $Y$  y  $Z$ , y los transistores  $M_{29}$  y  $M_{30}$  copian la tensión del terminal  $Y$  al terminal  $X$  puesto que  $I_{D29} = I_{D30}$ , y como  $M_{29}$  y  $M_{30}$  son iguales, así  $V_{GS29} = V_{GS30}$  y en consecuencia  $V_X = V_Y$ .

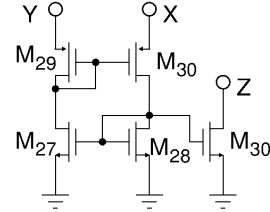


Fig. 4. Convector de corriente de tipo I (*CCI*) diseñado para el regulador híbrido. No se muestran las conexiones al sustrato ni a la fuente de alimentación ( $V_{in}$ ).

### D. Comparador de corriente con histéresis

Para comparar la corriente suministrada por el regulador lineal con una corriente de referencia y así controlar el interruptor de potencia, se ha usado el comparador de corriente con histéresis mostrado en la Fig. 5. El comparador consiste en un circuito de decisión (transistores  $M_{16} \sim M_{19}$ ), un *buffer* de salida consistente en una etapa de amplificación diferencial (transistores  $M_{20} \sim M_{24}$ ) y un inversor (transistores  $M_{25} \sim M_{26}$ ) para restaurar la salida a los dos valores lógicos y controlar así el interruptor de potencia.

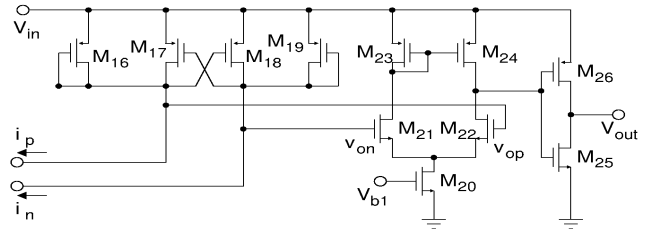


Fig. 5. Esquema del comparador de corriente con histéresis.

El funcionamiento del circuito de decisión es como sigue. Las dimensiones de los transistores  $M_{16} \sim M_{19}$  son tales que  $\beta_{16} = \beta_{19} = \beta_A$ , y  $\beta_{17} = \beta_{18} = \beta_B$ . También, se asume que la corriente  $i_p$  es, inicialmente, mucho mayor que la corriente  $i_n$ . Bajo estas circunstancias, los transistores  $M_{16}$  y  $M_{18}$  están en *ON*. Así, cuando disminuye la tensión fuente-drenador de  $M_{18}$  ( $V_{SD18}$ ), la tensión  $v_{on}$  se acerca a  $V_{in}$  y se cortan  $M_{17}$  y  $M_{19}$ . Como consecuencia,  $M_{16}$  conduce toda la corriente  $i_p$  y su tensión fuente-puerta ( $V_{SG16} = v_{op}$ ) viene dada por la corriente que circula por este transistor, definida como:

$$v_{op} = V_{in} - v_{THP} - \sqrt{\frac{2i_p}{\beta_A}} \quad (1)$$

Cuando la corriente  $i_p$  decrece y/o la corriente  $i_n$  aumenta, empieza el proceso de conmutación cuando la tensión fuente-puerta del transistor  $M_{19}$  es igual a su tensión umbral ( $v_{THP}$ ). Cuando al incrementar más  $i_p$ /decrementar más  $i_n$ , la tensión  $V_{SG19}$  crece más allá de  $v_{THP}$ , el transistor  $M_{17}$  empieza a tomar corriente de  $M_{16}$ . Esto hace decrecer la tensión  $V_{SD16,17}$  y, de esta manera, corta el transistor  $M_{18}$ .

Cuando el transistor  $M_{19}$  está a punto de empezar a conducir; es decir, cuando  $V_{SG19}$  se acerca a  $v_{THP}$  pero las corrientes de drenador de  $M_{19}$  y  $M_{17}$  son todavía cero, las corrientes en  $M_{18}$  y  $M_{16}$  vienen definidas, respectivamente, por las siguientes expresiones:

$$\begin{aligned} i_n &= \frac{\beta_B}{2} (V_{in} - v_p - v_{THP})^2; \\ i_p &= \frac{\beta_A}{2} (V_{in} - v_p - v_{THP})^2 \end{aligned} \quad (2)$$

ya que ambos transistores comparten la misma tensión fuente-puerta. En consecuencia, la relación entre las corrientes de estos transistores es:

$$i_n = \frac{\beta_B}{\beta_A} i_p \quad (3)$$

Si se aplica el mismo razonamiento para el caso en que  $i_n > i_p$ , se obtiene el siguiente punto de conmutación:

$$i_n = \frac{\beta_A}{\beta_B} i_p \quad (4)$$

Nótese que si  $\beta_A$  y  $\beta_B$  no son iguales, los puntos de conmutación son distintos en (3) y en (4), y se obtiene un comparador con histéresis. Concretamente, en nuestro diseño, se ha fijado  $\beta_A = 2\beta_B$  y  $i_p = I_{ref} = 5 \mu A$  y, por lo tanto, el comparador conmuta cuando  $i_n = 2.5 \mu A$  e  $i_n = 10 \mu A$ . Estos puntos corresponden a unas corrientes en el regulador lineal 200 veces mayores, es decir,  $i_1 = 0.5 mA$  e  $i_2 = 2mA$ .

#### IV. RESULTADOS DE LAS SIMULACIONES

El presente diseño se ha validado mediante simulaciones usando la tecnología de  $0.18 \mu m$  de TSMC con doble pozo y transistores con tensión umbral normal y baja. El diseño debe garantizar una tensión de salida constante de  $1.1 V$  con una tensión de entrada entre  $1.5$  y  $1.8 V$  y una corriente de carga variable entre  $0$  y  $15 mA$ . El gráfico de la Fig. 6 muestra el comportamiento transitorio de la tensión de salida ( $V_{out}$ ), la corriente de carga ( $I_{load}$ ), la corriente en el inductor ( $I_{ind}$ ) y en el regulador lineal ( $I_{lin}$ ) cuando la corriente de carga cambia rápidamente de  $0$  a  $15 mA$  y viceversa. Nótese que el regulador lineal proporciona toda la corriente a la carga cuando el convertidor conmutado no puede suministrarla en el cambio repentino en la carga en  $t=20 \mu s$  o absorbe la corriente del inductor cuando la corriente de carga disminuye abruptamente en  $t=28 \mu s$ . En ambos casos, la regulación de carga queda garantizada gracias a dicho regulador durante las transiciones de carga. Además, el regulador lineal suministra la corriente requerida para compensar el rizado de corriente en el inductor y mantener así la salida estable sin rizado significativo. En efecto, la tensión de salida se mantiene constante a  $1.1 V$  excepto un pequeño rizado de unos pocos  $mV$  cuando la corriente de carga cambia bruscamente.

En la Fig. 7 se muestra la tensión de salida ( $V_{out}$ ) y la tensión de rizado ( $V_r$ ) para diferentes tensiones de entrada ( $V_{in}$ ). El convertidor DC/DC funciona correctamente para tensiones de entrada  $V_{in} > 1.45 V$  entregando una tensión de salida próxima a la nominal y un pequeño rizado de solamente

$2 mV$ .

Finalmente, en la Fig. 8 se muestra la eficiencia de todo el sistema para diferentes corrientes de carga. Tal como es de esperar, la eficiencia aumenta para mayores corrientes de carga hasta el 70% ya que, conforme la corriente de salida aumenta, la proporción de la corriente entregada por el convertidor conmutado a la carga respecto a la entregada por el regulador lineal aumenta.

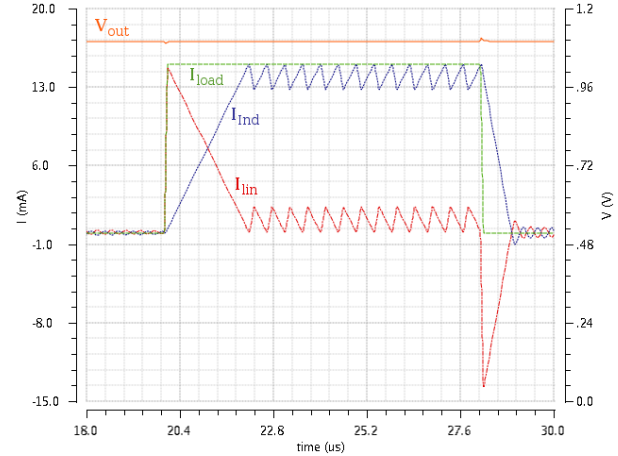


Fig. 6. Respuesta transitoria del convertidor DC/DC híbrido propuesto a un escalón de corriente de  $0$  a  $15 mA$  y viceversa, mostrando la regulación de carga. Tensión de salida ( $V_{out}$ ): línea continua; corriente de carga ( $I_{load}$ ): línea discontinua; corriente en el inductor ( $I_{ind}$ ): línea punteada; corriente en el regulador lineal ( $I_{lin}$ ): línea punto-rosa.

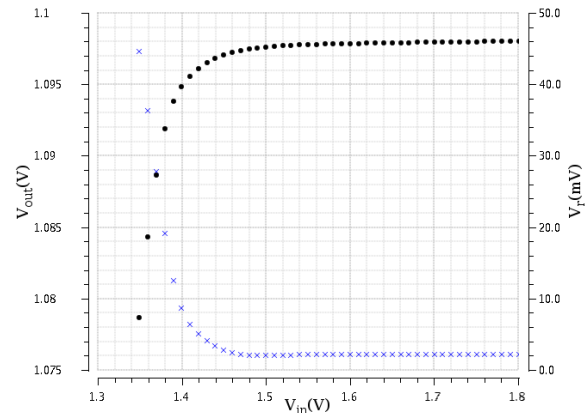


Fig. 7: Regulación de línea del convertidor híbrido DC/DC propuesto. Tensión de salida ( $V_{out}$ ): puntos negros; tensión de rizado ( $V_r$ ): cruces azules.

#### V. CONCLUSIONES

En este artículo se ha mostrado la implementación de un convertidor DC/DC híbrido o asistido linealmente usando tecnología VLSI CMOS. Por un lado, el artículo muestra que la estructura propuesta es altamente susceptible de ser integrada en forma *on-chip*, y muy adecuada para la regulación de voltaje de circuitos integrados de bajo o medio consumo obteniendo buenas características tanto estáticas (eliminación de rizados de salida debido a la conmutación) como dinámicas (regulación de carga y de línea). En segundo lugar, el artículo muestra que el regulador lineal, por un lado, elimina la necesidad de incluir un condensador de salida de filtrado y, por otro lado, permite suministrar la corriente

necesaria cuando hay cambios repentinos en la carga y la inercia del inductor no es suficientemente rápida manteniendo así la tensión de salida estable hasta que el convertidor conmutado puede suministrar la corriente requerida y en consecuencia, minimizar el rizado. Por tanto, puede decirse que el regulador lineal actúa, en este sentido, como un eficiente filtro pasa-bajos. De esta manera, mientras el convertidor conmutado suministra la mayoría de la corriente en régimen permanente obteniendo así una buena eficiencia, el regulador lineal en paralelo mejora notablemente la regulación de carga compensando las variaciones rápidas de la corriente de carga.

En definitiva, el diseño combina lo mejor de los reguladores lineales y conmutados compensando en gran manera los inconvenientes de ambos. Los resultados de las simulaciones demuestran la viabilidad de la estructura propuesta y sus correctas regulaciones de carga y de línea.

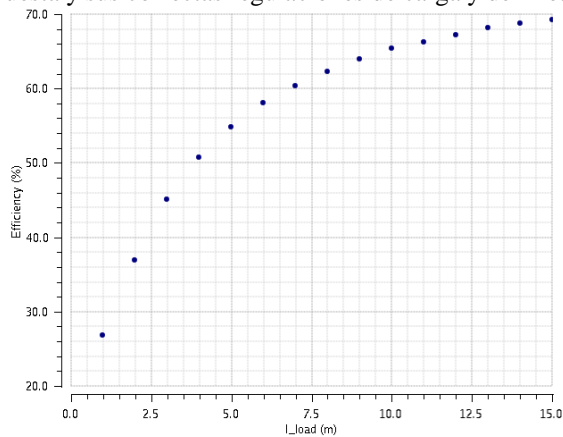


Fig. 8: Eficiencia del convertidor híbrido  $DC/DC$  propuesto para diferentes corrientes de carga desde  $1\text{ mA}$  a  $15\text{ mA}$ .

## AGRADECIMIENTOS

Este trabajo ha sido parcialmente financiado por el Ministerio de Ciencia e Innovación español a través de los proyectos TEC2010-15765/MIC y TEC2011-27047.

## REFERENCIAS

- [1] R. W. Erickson, and D. Maksimovic, "Fundamentals of Power Electronics", 2nd edition, Ed. Kluwer Academic Publishers, 2001.
- [2] V. Gupta, G. A. Rincón-Mora, and P. Raha, "Analysis and Design of Monolithic, High PSR, Linear Regulator for SoC Applications", Proceedings of the IEEE International SoC Conference, pp. 311-315, 2004.
- [3] V. Yousefzadeh, E. Alarcon, and D. Maksimovic, "Band Separation and Efficiency Optimization in Linear-Assisted Switching Power Amplifiers", 37th IEEE Power Electronics Specialists Conference (PESC'06), pp. 1-7, 18-22 Jun. 2006.
- [4] H. Ertl, J. W. Kolar and F. C. Zach, "Basic Considerations and Topologies of Switched-Mode Assisted Linear Power Amplifiers", IEEE Transactions on Industrial Electronics, vol. 44 (n° 1): pp. 116-123, February 1997.
- [5] J. Cosp and H. Martínez, "Design of an On-Chip Linear-Assisted DC-DC Voltage Regulator", Proceedings of the 20th IEEE Inf. Conf. on Electronics, Circuits and Systems (ICECS'13), in press, December 2013
- [6] H. Martínez, and A. Conesa, "Modeling of Linear-Assisted DC-DC Converters", 18th European Conference on Circuit Theory and Design, (ECCTD 2007), Desember 2007.
- [7] H. P. Forghani-Zadeh, and G. A. Rincon-Mora, "Current-sensing techniques for DC-DC converters", Proceedings of the 45th IEEE

Midwest Symposium on Circuits and Systems (MWSCA-2002), Vol. 2, pp. II-577 - II-580, August 2002.

- [8] A. S. Sedra and G. W. Roberts, "Current Conveyor, Theory and Practice", in Analogue I.C. Design: The Current-mode Approach, C. Toumazou, F. J. Lidgley, and D. Haigh, Eds., Circuit and Systems series, Peregrinus on behalf of IEE, London, 1990, pp.127-180.
- [9] R. J. Baker, "CMOS Circuit Design, Layout, and Simulation", Hoboken, New Jersey, IEEE Press, Wiley, 2010



**Jordi Cosp Vilella** received both the M.S. and Ph.D degree (with honors) in Telecommunication Engineering from Universitat Politècnica de Catalunya (UPC) in Barcelona, Spain, in 1995 and 2002 respectively. During the period 1997-2000 he held a FI Research Fellowship at the Department of Electronic Engineering, UPC. In 2000 he became an Assistant Professor at UPC. He has participated

in several European and national research projects in the last years. His research interests include neuromorphic engineering, MEMS signal conditioning, analog and digital VLSI design, nonlinear oscillators and image processing implementation schemes.



**Herminio Martínez García** received the B.Eng. degree (National Award) in Electrical Engineering, the M.S. degree (National Award) in Electronics Engineering and the Ph.D. degrees in Electronics Engineering (all three with honors) from the Technical University of Catalonia (UPC) in Barcelona, Spain, in 1994, 1998 and 2003, respectively. During the period 1995-1998, Dr. Martínez-García was a

half-time Assistant Professor at the Department of Electronics of the College of Industrial Engineering of Barcelona (EUETIB-CEIB), where he became a full-time Assistant Professor at the same Department in September 1998. In September 2000 he joined the Department of Electronics Engineering of the Technical University of Catalonia (UPC), where he became an Associate Professor in 2006 and researcher with the Energy Processing and Integrated Circuits (EPIC) Group of the UPC. From October 2008 to March 2009, he was a Visiting Professor at the Analog & Mixed Signal Center (AMSC) of the Department of Electrical and Computer Engineering of the Texas A&M University (TAMU) at College Station, Texas (USA). Professor Martínez-García currently teaches analog circuits design, communication systems, and data acquisition and control systems. His research focuses on the area of DC-DC power converters and their control, and analog circuit design with emphasis in analog microelectronics and particular interest in continuous-time filters and automating tuning design. He has participated in five Spanish national research projects. He has authored or co-authored about forty scientific papers in journals and conference proceedings and 15 books and book chapters. Dr. Martínez is a member of the IEEE Solid-State Circuits, Power Electronics, and Education Societies.