



Escola d'Enginyeria de Telecomunicació i
Aeroespacial de Castelldefels

UNIVERSITAT POLITÈCNICA DE CATALUNYA

TRABAJO FINAL DE GRADO

TÍTULO DEL TFG: Diseño y construcción de un amplificador de audio de alta eficiencia energética

TITULACIÓN: Grado en Ingeniería de Sistemas de Telecomunicación

AUTOR: Daniel García Fernández

DIRECTOR: Gabriel Montoro López

FECHA: 23 de octubre de 2022

Título: Diseño y construcción de un amplificador de audio de alta eficiencia energética

Autor: Daniel García Fernández

Director: Gabriel Montoro López

Fecha: 23 de octubre de 2022

Resumen

El presente trabajo tiene como objetivo el diseño y la construcción de un amplificador de potencia de Clase D enfocado a tareas de audio, partiendo de los conocimientos obtenidos en el grado de Sistemas de Telecomunicación en materia de electrónica y teoría de señales. En cuanto a la estructura, consta de tres partes diferenciadas.

En primer lugar se exponen las bases teóricas necesarias para la elaboración del diseño: descripción de la señal de audio, preamplificadores, revisión de las distintas clases de amplificadores de potencia lineales, análisis detallado de los amplificadores de potencia conmutados de Clase D y revisión de distintas técnicas de procesado digital, en concreto ecualización y predistorsión digital.

Posteriormente, se propone un diseño de un amplificador de potencia conmutado de Clase D elaborado con componentes comerciales. El diseño está compuesto por un microcontrolador, un DAC, un modulador PWM, una puerta NOT, una etapa de potencia y un filtro paso-bajo demodulador. Se analiza el funcionamiento de cada uno de los componentes utilizados y se realizan todos los cálculos necesarios a nivel de dimensionado de componentes y adaptación de la señal. Se presentan simulaciones de cada uno de los bloques del circuito y del circuito en su totalidad.

Finalmente, se adquieren los componentes necesarios y se construye en placas de pruebas un prototipo real siguiendo el diseño planteado. Se comprueba el funcionamiento tanto de cada uno de los bloques como del sistema total a través de mediciones de osciloscopio. Se ecualiza el sistema y se miden las características del prototipo.

El trabajo tiene un enfoque fundamentalmente práctico y supone un acercamiento personal a la electrónica de audio.

Title: Design and construction of a high energy efficiency audio amplifier

Author: Daniel García Fernández

Director: Gabriel Montoro López

Date: October 23, 2022

Overview

The objective of this project is the design and construction of a Class D power amplifier for audio signal amplification, based on the knowledge obtained in the Telecommunication Systems degree, specially in the topics of electronics and signal theory. The project is structured in three differentiated parts.

In the first place, the theoretical bases necessary for the elaboration of the design are presented: description of the audio signal, preamplifiers, review of the different classes of linear power amplifiers, detailed analysis of the Class D switched power amplifier and review of different digital processing techniques, specifically equalization and digital predistortion.

Next, a design of a Class D switched power amplifier made with commercial components is proposed. The design is composed of a microcontroller, a DAC, a PWM modulator, a NOT gate, a power stage and a low-pass demodulation filter. The working principle of each component is analyzed and all the necessary calculations are made. Simulations are performed at the block and circuit level.

Finally, the necessary components are acquired and a real prototype is built on protoboards following the previous design. The correct operation of each block and of the total system is checked through oscilloscope measurements. The system is equalized and the performance of the prototype is measured.

The project has a practical approach and supposes a personal introduction to audio electronics.

1. INTRODUCCIÓN

2. FUNDAMENTOS TEÓRICOS

2.1. La señal de audio

2.2. Amplificación de señales de audio

2.2.1. Preamplificadores

2.2.2. Amplificadores de potencia

2.2.2.1. Eficiencia y linealidad

2.2.2.2. Amplificadores lineales

2.2.2.2.1. Clase A

2.2.2.2.2. Clase B

2.2.2.2.3. Clase AB

2.2.2.2.4. Compromiso eficiencia-linealidad

2.2.2.3. Amplificadores conmutados, Clase D

2.2.2.3.1. Modulación PWM

2.2.2.3.2. Demodulación PWM

2.2.2.3.3. Principales causas de distorsión

2.3. Procesado digital de señales

2.3.1. Ecuación

2.3.2. Predistorsión digital

2.4. Conversión D/A

3. DISEÑO TEÓRICO Y SIMULACIÓN DEL SISTEMA

3.1. Recepción de las muestras de audio y ecualización

3.2. Conversión D/A

3.3. Amplificación

3.3.1. Modulador PWM

3.3.2. Puerta NOT

3.3.3. Amplificación de la señal PWM

3.3.4. Demodulador

4. CONSTRUCCIÓN DEL SISTEMA

4.1. Microcontrolador

4.2. Conversor D/A

4.3. Adaptación DAC - Modulador

4.4. Amplificador

4.4.1. Modulador PWM

4.4.2. Puerta NOT

4.4.3. Etapa de potencia

4.4.4. Filtro

- 4.5. Ecuación
- 4.6. Medidas finales

5. CONCLUSIONES

6. BIBLIOGRAFÍA

7. ANEXOS

- 7.1. Obtención de la expresión de la tensión eficaz de una señal
- 7.2. Cálculo del valor medio y del espectro de una señal PWM
- 7.3. Simulación de modulador PWM en GNU Octave
- 7.4. Código ecualizador MATLAB

1. INTRODUCCIÓN

En el presente trabajo se plantea el diseño y construcción de un amplificador de potencia de alta eficiencia energética enfocado a la amplificación de señales de audio. Se trata de un proyecto que tiene como principal objetivo la aplicación práctica de algunos de los contenidos vistos en el grado en materia de electrónica y teoría de señales. El trabajo consta de tres partes.

En la primera parte se realiza una revisión general de la teoría necesaria para el diseño, haciendo énfasis en las distintas clases de amplificadores de potencia existentes. Se analiza el funcionamiento de las distintas topologías, planteando ventajas e inconvenientes de cada una de ellas. Se abordan los conceptos en base a conocimientos previos sobre teoría de señales y electrónica.

En la segunda parte se realiza el diseño de un amplificador de potencia de Clase D con componentes comerciales. Se simula cada una de las etapas y, finalmente, se realiza una simulación global del circuito.

En la tercera parte se construye el circuito sobre placas de pruebas siguiendo el diseño definido. Se realizan medidas de cada una de las etapas con tal de comprobar su correcto funcionamiento. Finalmente se realizan mediciones del sistema en conjunto.

2. FUNDAMENTOS TEÓRICOS

2.1. La señal de audio

Una onda sonora es, como toda onda, la propagación de una perturbación en una magnitud determinada. En este caso la magnitud es la presión. Podemos convertir las variaciones de presión en un punto en variaciones de tensión mediante un transductor (micrófono). La variación de tensión obtenida será una analogía exacta de la variación de presión en el punto en que se ha colocado el transductor. Es por ello que decimos que la señal de tensión obtenida es una señal de audio analógica.

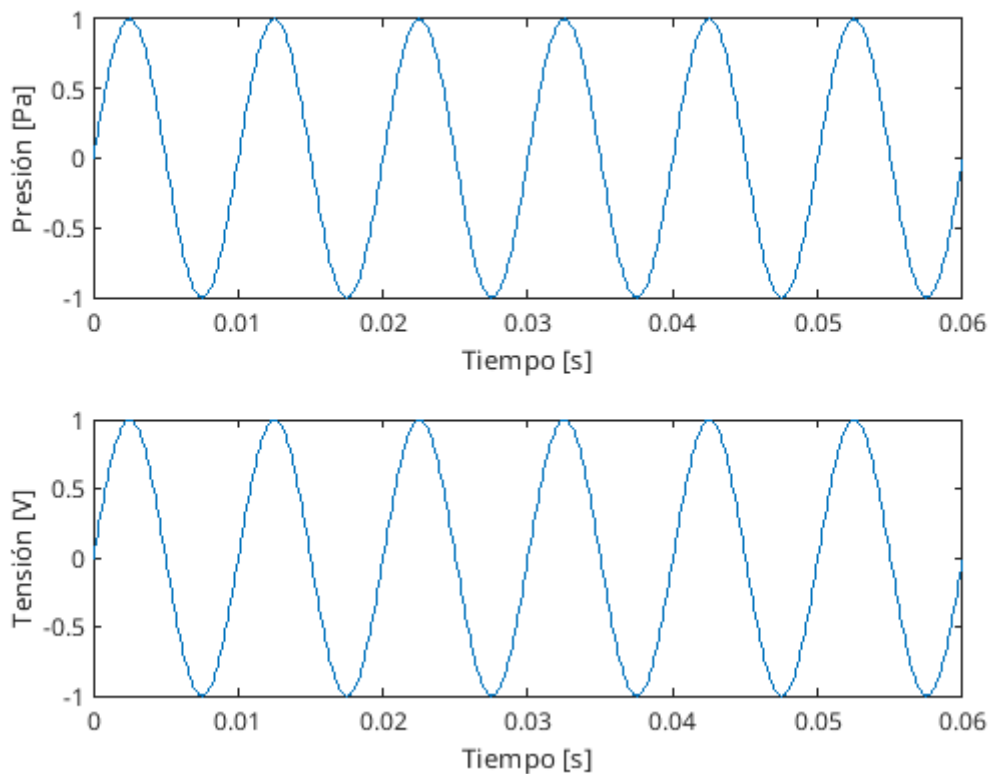


Fig. 1 Analogía presión/tensión en un tono puro

Por lo general nos interesa representar los sonidos que puede captar el oído humano. El rango de frecuencias audibles está aproximadamente entre los 20Hz y los 20kHz. Por tanto, la frecuencia máxima de las señales de audio que trataremos será de 20kHz en banda base.

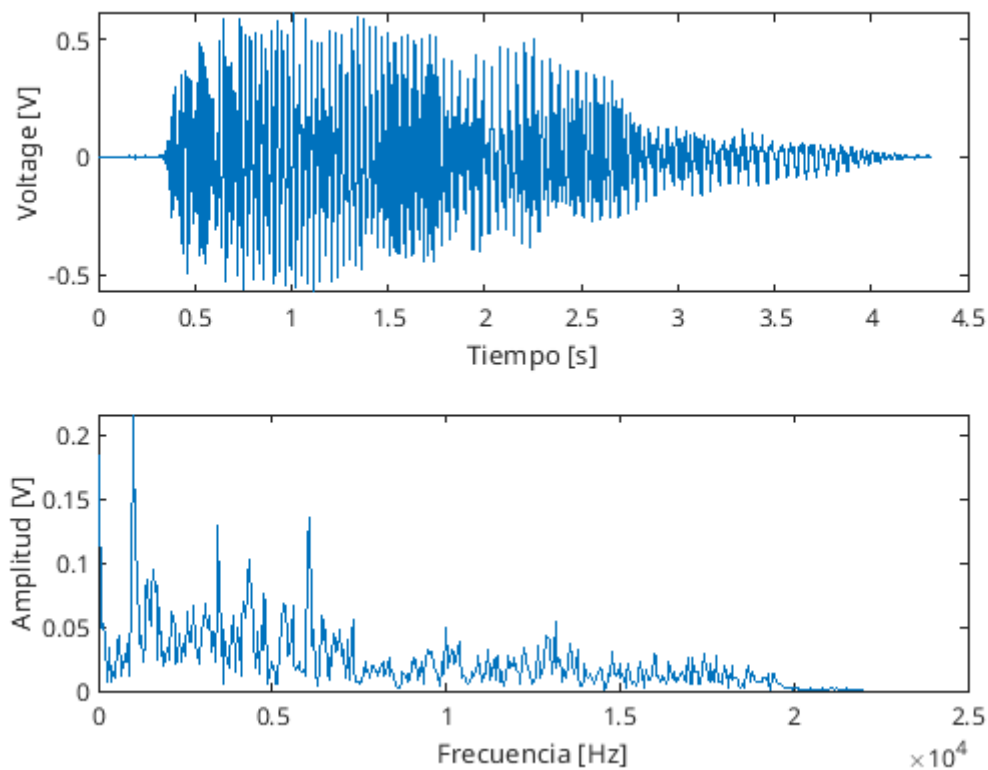


Fig. 2 Espectro de una señal de audio

A la hora de digitalizar una señal de audio debemos de tener esto en cuenta. Según el teorema de muestreo de Nyquist-Shannon, si queremos poder recuperar toda la información original de la señal, la frecuencia de muestreo debe de ser de por lo menos el doble de la frecuencia máxima de la señal en banda base. Se expresa de la siguiente forma:

$$f_s \geq 2 \cdot f_{max} \quad (2.1)$$

Así pues, podríamos pensar que muestreando con una frecuencia de 40kHz bastaría. Pese a ello, debido a que para la reconstrucción de la señal analógica se utilizan filtros analógicos paso-bajo no ideales, es necesario muestrear a una frecuencia ligeramente mayor. Es habitual muestrear audio a 44,1kHz.

En ocasiones es conveniente muestrear a frecuencias bastante mayores a las que establece el teorema de Nyquist-Shannon. Tal práctica se conoce como sobremuestreo y nos permite relajar los requisitos del filtro de reconstrucción y reducir el nivel de ruido de la señal.

Los parámetros característicos de una señal de audio son los siguientes:

- Tensión de pico: hace referencia al máximo valor de tensión de la señal.
- Tensión eficaz o RMS: hace referencia al valor cuadrático medio de la señal. Indica el valor de tensión que debería de tener una señal continua para disipar la misma potencia al aplicarse sobre una resistencia óhmica. Su expresión, demostrada en el Anexo 7.1, es la siguiente:

$$V_{rms} = \sqrt{\langle V^2(t) \rangle} = \sqrt{\frac{1}{T} \cdot \int_{t_0}^{t_0+T} V^2(t) dt} \quad (2.2)$$

- Potencia de pico: potencia máxima instantánea disipada por una carga cuando se le aplica una señal. Su expresión es la siguiente:

$$P_{peak} = \frac{\max(V^2(t))}{R} \quad (2.3)$$

- Potencia RMS: potencia media disipada por una carga óhmica cuando se le aplica una señal. Su expresión es la siguiente:

$$P_{rms} = \frac{V_{rms}^2}{R} \quad (2.4)$$

- Relación señal-ruido o SNR: proporción entre la potencia de la señal útil y la potencia del ruido que la corrompe. Se suele expresar en decibelios:

$$SNR_{dB} = 10 \cdot \log\left(\frac{P_S}{P_N}\right) \quad (2.5)$$

2.2. Amplificación de señales de audio

Amplificar una señal es el proceso de aumentar su amplitud, quedando esta multiplicada por un factor G llamado ganancia. El término ganancia también puede hacer referencia al incremento de potencia de la señal, proporcional al incremento de tensión pero no igual.

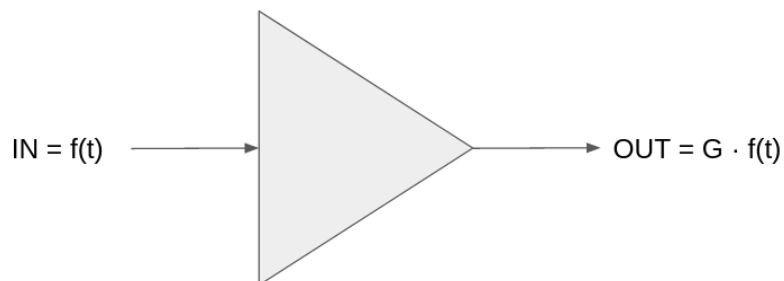


Fig. 3: Amplificación de señal

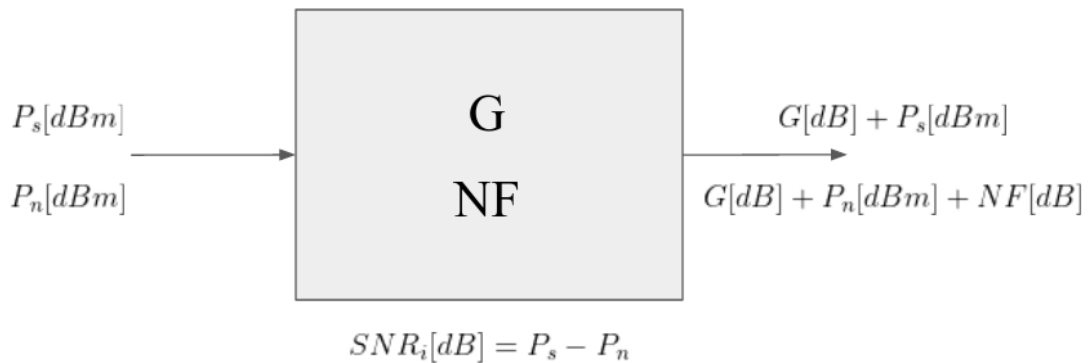
Este aumento de amplitud de la señal se consigue típicamente mediante el uso de transistores. En las cadenas de tratamiento de señal de audio podemos

encontrar dos tipos de amplificadores: los preamplificadores y los amplificadores de potencia.

2.2.1 Preamplificadores

Se trata de dispositivos utilizados para adaptar la amplitud de una señal de audio a los requisitos de la cadena de procesamiento de señal. Por tanto, es una amplificación previa al tratamiento de la señal (analógico o digital).

Podemos generalizar cualquier componente de una cadena de procesamiento de señal según su efecto sobre la amplitud (ganancia, G) y sobre el ruido (factor de ruido, NF). El factor de ruido se define como la degradación de SNR que sufre una señal al atravesar un cuadripolo:



$$SNR_o [dB] = (G + P_s) - (G + P_n + NF) = P_s - P_n - NF = SNR_i - NF$$

Fig. 4: Efecto de la ganancia y del factor de ruido sobre la señal

$$SNR_o [dB] = SNR_i [dB] - NF [dB] \tag{2.6}$$

Partiendo de dicha generalización podemos entender cualquier cadena de procesamiento de señal como una sucesión de cuadripolos, cada cual con su ganancia y factor de ruido propios. La fórmula de Friis nos permite obtener el factor de ruido total resultante de una cadena de procesamiento de señal:

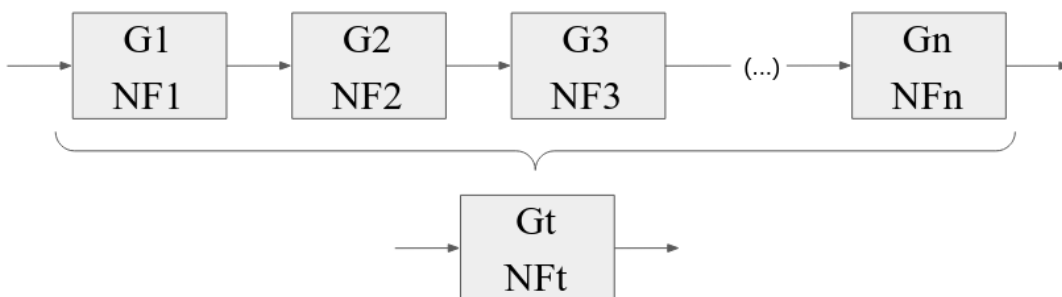


Fig. 5: Generalización de cuadripolos en una cadena de señal

$$G_t = G_1 \cdot G_2 \cdot G_3 \cdot \dots \cdot G_n \quad (2.7)$$

$$NF_t = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 \cdot G_2} + \dots + \frac{NF_n - 1}{G_1 \cdot G_2 \cdot \dots \cdot G_{n-1}} \quad (2.8)$$

Ateniéndonos a esta última expresión vemos que si lo que se busca es un factor de ruido total reducido, es conveniente que el primer elemento de la cadena de procesamiento de señal tenga una alta ganancia y un factor de ruido reducido (G_1 elevada, NF_1 reducido). Un preamplificador es un amplificador que se añade como primer elemento de la cadena de procesamiento de señal, y que por tanto cobra gran importancia en términos de SNR. Como se ha visto, un uso correcto del mismo reduce el impacto del ruido introducido por los elementos de la cadena sobre la calidad final de la señal.

Los circuitos preamplificadores suelen ser implementados usando amplificadores operacionales, ya que estos pueden proporcionar una ganancia de tensión elevada manteniendo un factor de ruido reducido.

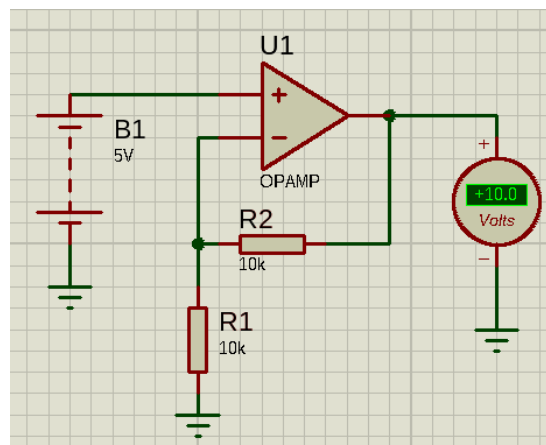


Fig. 6: Ejemplo, amplificador operacional ideal en modo no-inversor

Sin embargo, por lo general, los amplificadores operacionales no pueden proporcionar potencias de salida elevadas. Es por ello que, si queremos amplificar una señal con tal de aumentar considerablemente su potencia, debemos de utilizar topologías distintas. Estos amplificadores son conocidos como amplificadores de potencia.

2.2.2 Amplificadores de potencia

Estos amplificadores se usan, como se ha dicho anteriormente, cuando la señal de salida debe de tener una potencia elevada. En cadenas de procesamiento de señal de audio son utilizados como elemento final, previo al altavoz, ya que

resulta más sencillo y eficiente realizar el procesado de la señal en baja potencia.

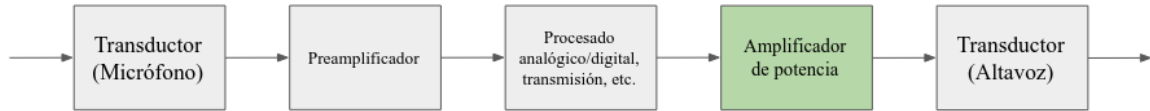


Fig. 7: Cadena de procesado de señal de audio

2.2.2.1 Eficiencia y linealidad

Existen dos características especialmente relevantes en los amplificadores de potencia, la eficiencia y la linealidad.

La eficiencia o rendimiento energético se define como la cantidad de energía empleada de forma útil por un sistema respecto a la cantidad de energía suministrada al mismo.

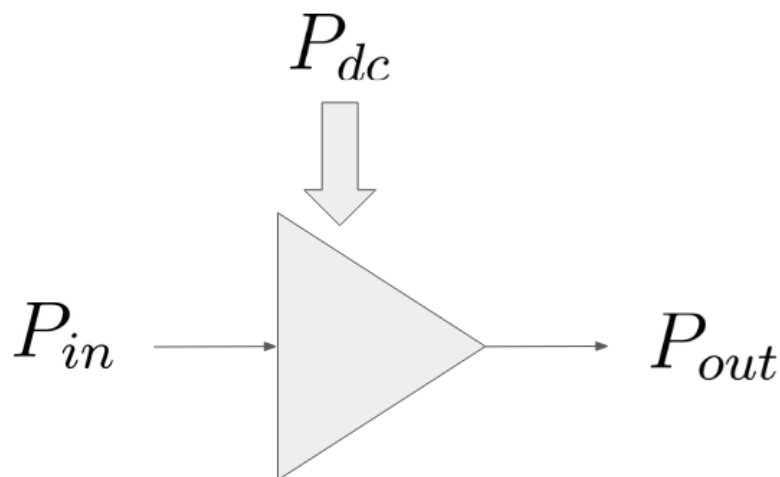


Fig. 8: Entradas y salidas de energía en un amplificador

En el caso de los amplificadores de potencia, existen dos parámetros distintos para medir la eficiencia:

- Power-Added Efficiency (PAE): expresa la eficiencia del amplificador teniendo en cuenta la potencia de la señal de entrada.

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \quad (2.9)$$

- Power Efficiency (PE): expresa la eficiencia del amplificador sin tener en cuenta la potencia de la señal de entrada.

$$PE = \frac{P_{out}}{P_{dc}} \quad (2.10)$$

Por otro lado, la linealidad de un amplificador se refiere a la relación existente entre la potencia de entrada P_{in} y la potencia de salida P_{out} . Decimos que una relación entre dos variables “x” e “y” es lineal cuando toma la forma de $y=m*x+n$, siendo “m” y “n” números reales. Idealmente, un amplificador debería de limitarse a aplicar una ganancia constante sobre la potencia de entrada:

$$P_{out} = G \cdot P_{in} \quad (2.11)$$

Pero esto no sucede así por limitaciones de los componentes electrónicos usados en el diseño del amplificador. Para entender las consecuencias de la no linealidad se usará un ejemplo extremo. Supongamos un sistema cuya relación entrada-salida sea la siguiente:

$$V_{out} = V_{in}^2$$

Supongamos, además, que introducimos dos tonos de frecuencias diferentes:

$$V_{in} = \cos(A) + \cos(B)$$

$$A = 2\pi f_1$$

$$b = 2\pi f_2$$

Entonces, en la salida tendremos:

$$V_{out} = (\cos(A) + \cos(B))^2 = \cos^2(A) + \cos^2(B) + 2\cos(A)\cos(B)$$

Teniendo en cuenta las siguientes identidades trigonométricas:

$$\cos^2(x) = \frac{1}{2} + \frac{1}{2}\cos(2x)$$

$$\cos(x)\cos(y) = \frac{1}{2}[\cos(x+y) + \cos(x-y)]$$

Se obtiene el resultado:

$$V_{out} = 1 + \frac{1}{2}\cos(2A) + \frac{1}{2}\cos(2B) + \cos(A+B) + \cos(A-B)$$

Es decir, en el sistema introducimos dos tonos de frecuencias f_1 y f_2 , y a la salida nos aparecen tonos de frecuencias $2*f_1$ (armónico), $2*f_2$ (armónico), f_1+f_2 (producto de intermodulación) y f_1-f_2 (producto de intermodulación).

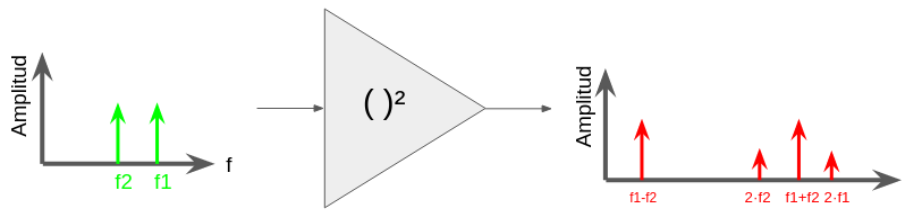


Fig. 9: Frecuencias de entrada y salida de un sistema no lineal

Como la tarea a realizar es la amplificación de la amplitud de los tonos de entrada, los tonos resultantes de frecuencias diferentes de f1 y f2 resultan espúreos y distorsionan la señal. Este tipo de distorsión se conoce como distorsión armónica y surge, como hemos visto, de la no linealidad en la relación entrada-salida del amplificador.

El parámetro utilizado para medir la distorsión armónica es la Total Harmonic Distortion (THD), y se calcula como el cociente entre la suma de potencias de las señales espurias y la potencia de la señal útil o fundamental:

$$THD = \frac{\sum_n P_{espureo\ n}}{P_{fundamental}} \quad (2.12)$$

Este parámetro resulta importante en las cadenas de procesamiento de señal de audio ya que una THD lo suficientemente elevada puede llegar a resultar audible, mermando la calidad de la experiencia.

2.2.2.2 Amplificadores lineales

Los amplificadores lineales son aquellos amplificadores de potencia que utilizan transistores operando en región activa. A la hora de diseñar un amplificador lineal surgen compromisos de diseño (compromiso eficiencia-linealidad). Es por ello que existen distintas topologías, conocidas como “clases”.

2.2.2.2.1 Clase A

Se conoce como amplificador de Clase A a la siguiente topología:

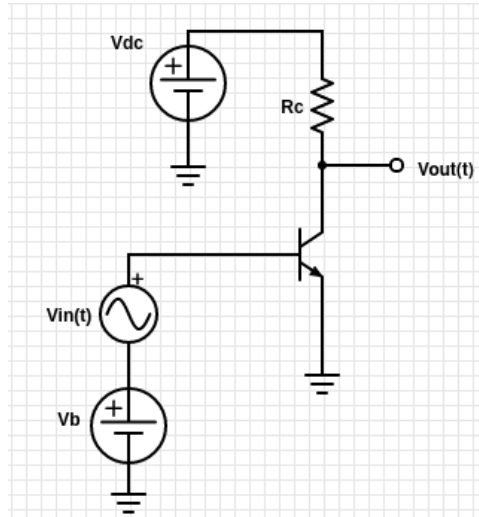


Fig. 10: Amplificador de Clase A

Aplicando el teorema de superposición, como V_b y V_{dc} son utilizadas para polarizar el transistor (forzar que trabaje en zona lineal), podemos suponer que trabaja en esta región y simplificar el circuito:

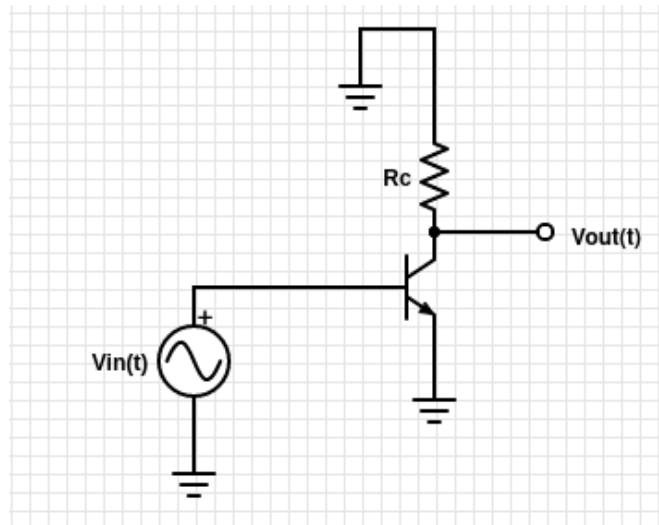


Fig. 11: Circuito simplificado

Para analizar el circuito simplificado, se utiliza el modelo en pequeña señal de un transistor BJT:

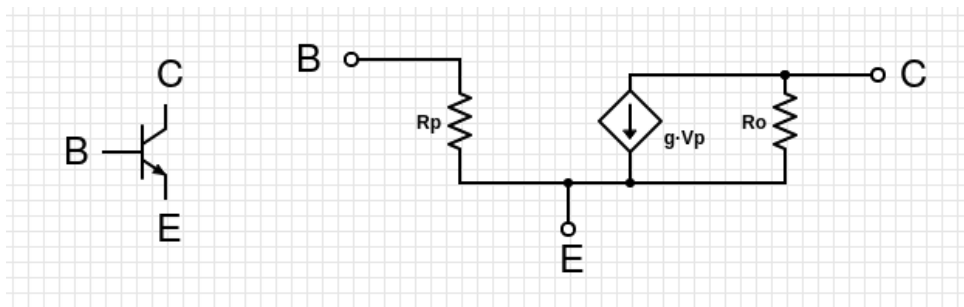


Fig. 12: Modelo en pequeña señal de transistor BJT

Sustituyendo el modelo sobre el circuito simplificado, obtenemos lo siguiente:

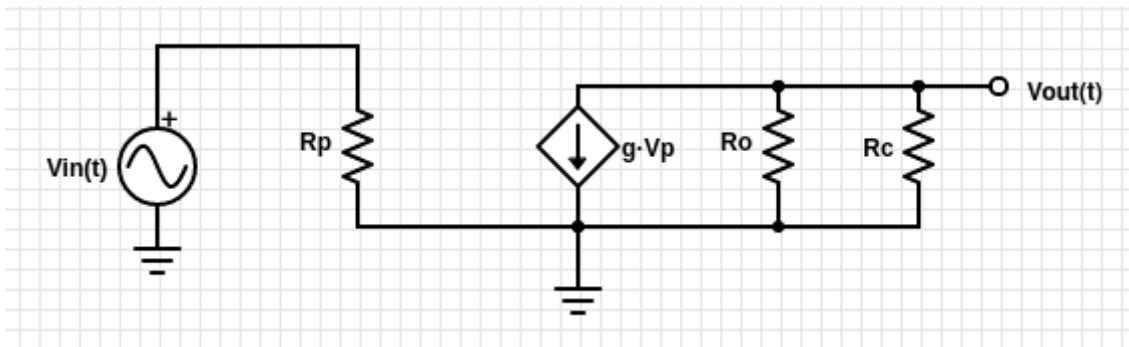


Fig. 13: Circuito simplificado con modelo en pequeña señal

Aplicando la ley de Ohm y la ley de corrientes de Kirchoff, obtenemos:

$$V_{out} = -g \cdot (R_o // R_c) \cdot V_{in} \quad (2.13)$$

Este resultado indica que a la salida del circuito obtenemos la señal de entrada multiplicada por un factor $-g \cdot (R_o // R_c)$, que será la ganancia. El signo negativo indica que la señal de salida está invertida.

Este tipo de amplificadores cuentan con un diseño simple y con valores de distorsión muy reducidos. Pese a ello, mantener el transistor operando continuamente en región activa genera un flujo de corriente que está presente aún siendo nula la señal a amplificar. Esto puede deducirse de la Figura 10. Es por ello que la eficiencia máxima teórica que se puede obtener al amplificar señales sinusoidales es de tan solo un 25% (50% si se utiliza un transformador para adaptar la impedancia de salida).

Suponiendo una señal de entrada sinusoidal, como el transistor es capaz de amplificar la totalidad de dicha señal, decimos que el ángulo de conducción es de 360° .

2.2.2.2.2 Clase B

Con esta clase de amplificadores se pretende conseguir una eficiencia superior a la de los Clase A. La topología es la siguiente:

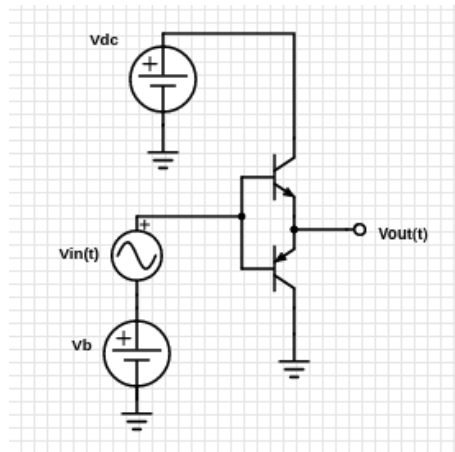


Fig. 14: Amplificador de Clase B

Cuando $V_{in}(t)$ es mayor que 0, el transistor superior (NPN) está en región activa y por tanto amplifica la corriente de base. Cuando $V_{in}(t)$ es menor que 0, es el transistor inferior (PNP) el encargado de amplificar la corriente de base.

De este modo evitamos la pérdida de corriente producida en los clase A, resultando en un incremento de la eficiencia. La eficiencia teórica máxima de este tipo de amplificadores al amplificar señales sinusoidales es de un 78,5%.

Sin embargo, debido a que el transistor no cambia de región de forma inmediata, la señal de salida queda distorsionada en el momento en que la señal de entrada cruza por 0V. Esta distorsión se conoce como distorsión de cruce, y se modela como una degradación en la THD del dispositivo.

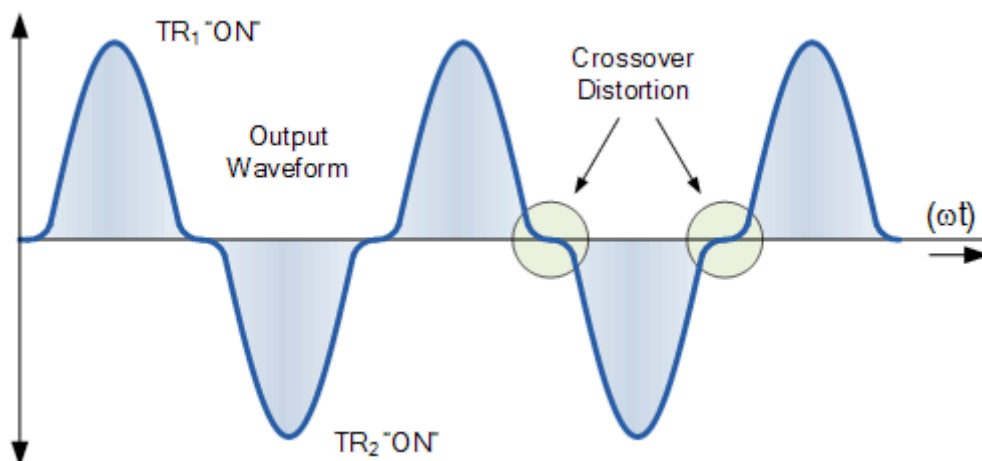


Fig. 15: Distorsión de cruce por cero.

Fuente: https://www.electronics-tutorials.ws/amplifier/amp_7.html

Por tanto, esta clase de amplificadores garantizan un mayor rendimiento que los de Clase A pero su linealidad es menor. Suponiendo una señal de entrada

sinusoidal, como cada transistor amplifica medio periodo, decimos que el ángulo de conducción es de 180° .

2.2.2.2.3 Clase AB

Debido a la falta de linealidad de los amplificadores de Clase B y a la falta de eficiencia de los Clase A, se ideó una topología “intermedia”. Es la siguiente:

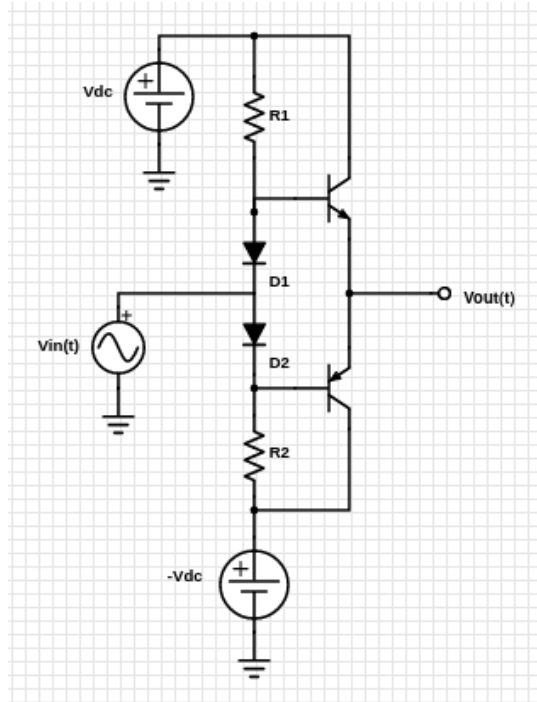


Fig. 16: Amplificador de Clase AB

Suponiendo que la señal de entrada $V_{in}(t)$ es igual a 0, entonces en los diodos se genera una caída de tensión de aproximadamente 0,7V. Esta misma tensión se aplica entre base y emisor de cada uno de los transistores, forzando por tanto su funcionamiento en región activa. De este modo se evita en gran medida la distorsión de cruce por cero. Sin embargo, al trabajar los transistores en región activa, existe nuevamente una corriente constante que fluye aún siendo la señal de entrada nula.

En conclusión, el amplificador de Clase AB supone una mejora en la linealidad del amplificador de Clase B, pero una reducción de su eficiencia. Aún así, la eficiencia resultante está muy por encima de la eficiencia de los Clase A.

2.2.2.2.4 Compromiso eficiencia-linealidad

A la hora de medir el comportamiento de los amplificadores lineales, se observan dos regiones diferenciadas en función de la potencia de la señal de entrada. La primera es la región lineal, en la que el amplificador mantiene una ganancia fija. La eficiencia del amplificador al trabajar en esta región es muy reducida. La segunda región es la región no lineal, en la que la ganancia del amplificador cambia según la potencia de la señal de entrada. Cuando el amplificador trabaja en esta región, la eficiencia energética es más elevada. Por tanto, un aumento en la eficiencia energética del amplificador conlleva una reducción en la linealidad del mismo. Estas características son observables en las curvas de la Figura 17.

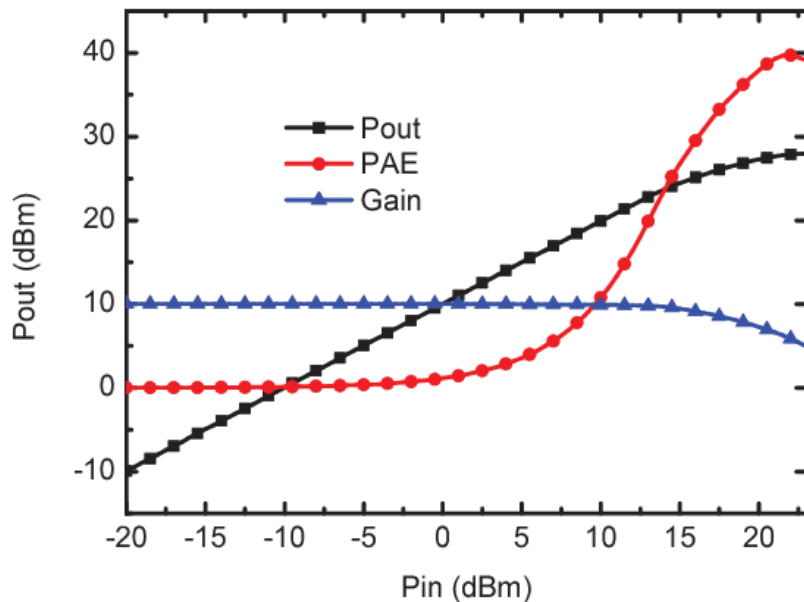


Fig. 17: Curvas amplificador lineal. Pout(Pin), PAE(Pin) y G(Pin)
Fuente: [14]

Como la señal de entrada no es constante sino que su tensión varía, la potencia de entrada Pin es variable. Ante el compromiso eficiencia-linealidad que se presenta, es necesario escoger el punto de operación del amplificador, es decir, la potencia de entrada promedio a la que trabajará. Es posible medir la variación de la potencia de una señal calculando su *Peak-to-Average Power Ratio* (PAPR), según la siguiente expresión:

$$PAPR = \frac{P_{max}}{P_{avg}} = \frac{\max(|v(t)|^2)}{\text{avg}(|v(t)|^2)} = \frac{\max(|v(t)|^2)}{\frac{1}{T} \int_0^T |v(t)|^2 dt}$$

Cuanto mayor sea el PAPR de la señal de entrada, menor será el punto de operación del amplificador con tal de mantener la linealidad del mismo (a mayor variación de P_{in} , más distancia habrá que dejar de la región no lineal, esta distancia es conocida como *input backoff*. Figura 18). A su vez, cuanto menor sea el punto de operación, menor será la eficiencia del amplificador. Por tanto, cuando se amplifiquen señales con PAPR elevado la eficiencia energética será menor que cuando se amplifiquen señales con PAPR reducido ya que el punto de operación del amplificador será necesariamente menor.

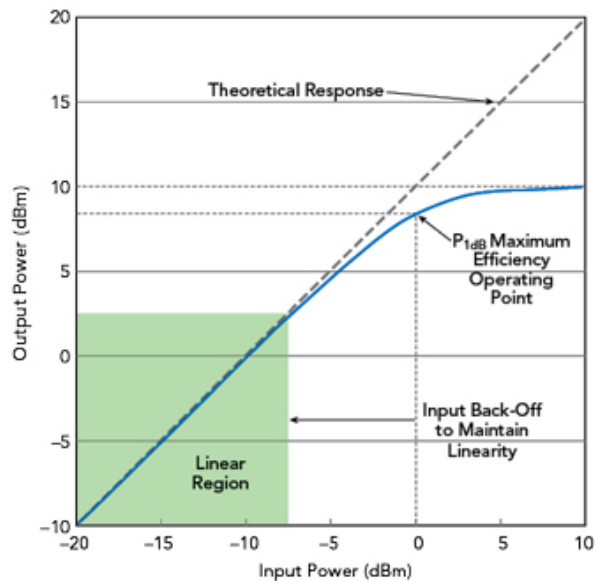


Fig. 18: $P_{out}(P_{in})$, regiones y backoff de entrada
Fuente: [15]

Existen técnicas para reducir el PAPR de las señales con tal de mejorar la eficiencia energética del amplificador, conocidas como técnicas de Crest Factor Reduction (CFR). A menudo estas técnicas se combinan con predistorsión digital (DPD) con tal de maximizar la eficiencia del amplificador. El funcionamiento de la predistorsión digital se explicará en el apartado 2.3.2.

2.2.2.3 Amplificadores conmutados, Clase D

Los amplificadores conmutados son aquellos amplificadores de potencia que utilizan transistores operando en conmutación (regiones de corte y saturación). Esta configuración permite a los transistores amplificar señales cuadradas moduladas (modulaciones PCM, PWM). Si tomamos los transistores como conmutadores ideales (ON o OFF según la tensión aplicada en puerta *gate*), podemos entender el amplificador de Clase D con el siguiente diagrama:

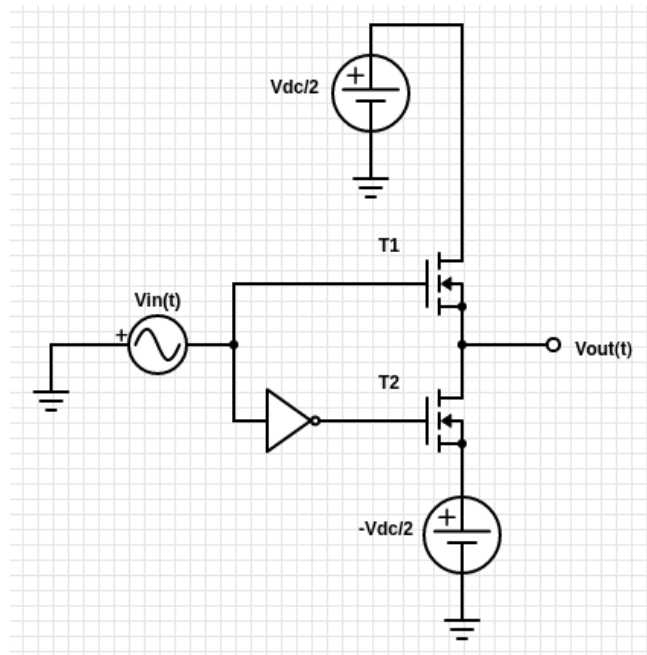


Fig. 19: Amplificación de señales conmutadas, transistores en *Half Bridge*

Para entender cómo funciona esta amplificación, supondremos una señal $V_{in}(t)$ cuadrada (potencialmente modulada) que alterna su valor entre 0V y un valor de tensión positiva que denominaremos $V+$:

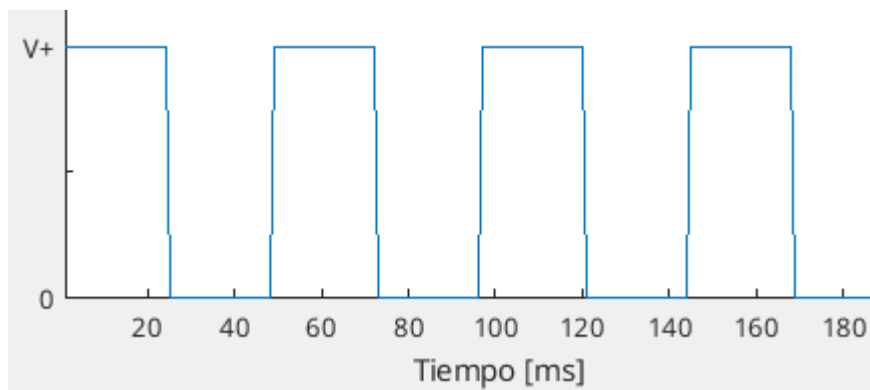


Fig. 20: Señal cuadrada

Podemos ver que cuando el valor de la señal es de $V+$, entonces sobre la base del transistor T1 se aplica una tensión $V+$. Si esta tensión es suficientemente elevada, el transistor entrará en región de saturación y permitirá el flujo de corriente, quedando a la salida del circuito un valor de tensión de aproximadamente $V_{dc}/2$. En dicho caso se aplicará sobre la base del transistor T2 una tensión de $0V$, haciendo que quede en región de corte e impidiendo el flujo de corriente.

Si, por el contrario, el valor de la señal de entrada es de $0V$, será el transistor T2 el que permitirá el flujo de corriente y, por tanto, a la salida tendremos un valor de tensión de $-V_{dc}/2$.

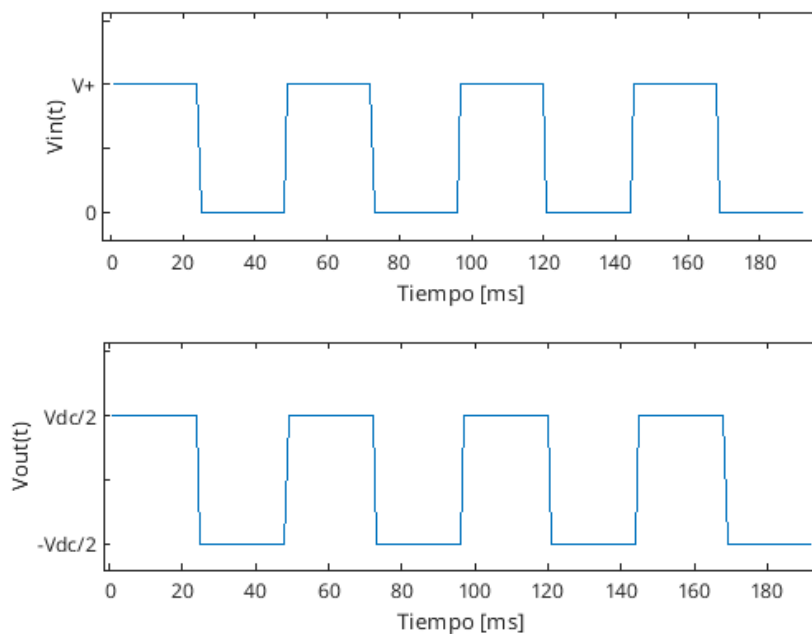


Fig. 21: Señales de entrada y salida

$V_{in}(t)$	T1	T2	$V_{out}(t)$
$V+$	ON (SAT.)	OFF (CORTE)	$V_{dc}/2$
0	OFF (CORTE)	ON (SAT.)	$-V_{dc}/2$

Tabla 1: Funcionamiento *Half Bridge*

Dado que los transistores no tienen que operar en región lineal, no requieren de una polarización constante. De este modo evitamos la pérdida de eficiencia debida a la fuga de corriente causada por la constante polarización. Esto hace que la amplificación de señales conmutadas sea muy eficiente.

A nivel de implementación real, la condición para que un transistor MOSFET conmute depende no solamente de la tensión de *gate* sino de la diferencia de tensiones *gate-source* (V_{gs}). A esta tensión, especificada en la hoja de datos, se la conoce como tensión de *threshold*.

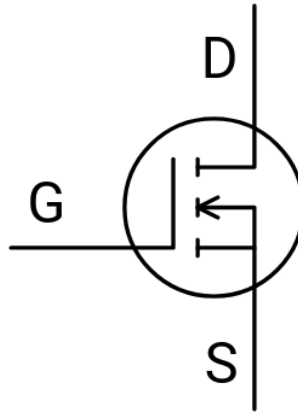


Fig. 22: Transistor MOSFET de tipo N

Conociendo esto, veamos qué sucedería en el circuito de la figura 19. Para el MOSFET inferior, utilizaremos el siguiente equivalente:

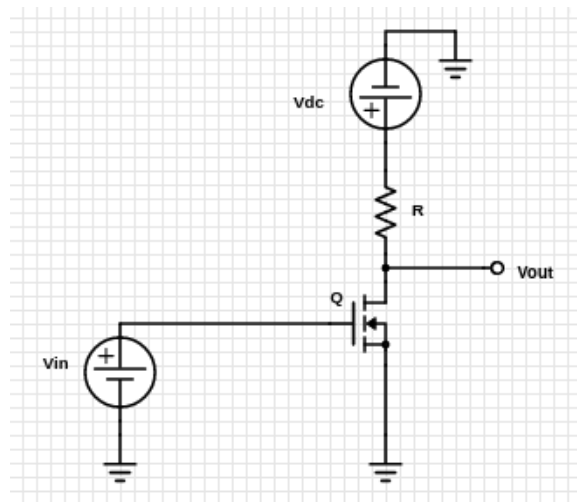


Fig 23: Circuito equivalente

Suponiendo que V_{in} es igual o superior a la tensión de *threshold* del MOSFET, si aplicamos V_{in} sobre la puerta *gate*, este conmutará ya que:

$$V_{gs} = V_g - V_s = V_{in} - 0V = V_{in} \geq V_{th}$$

Para el MOSFET superior, el equivalente será el siguiente:

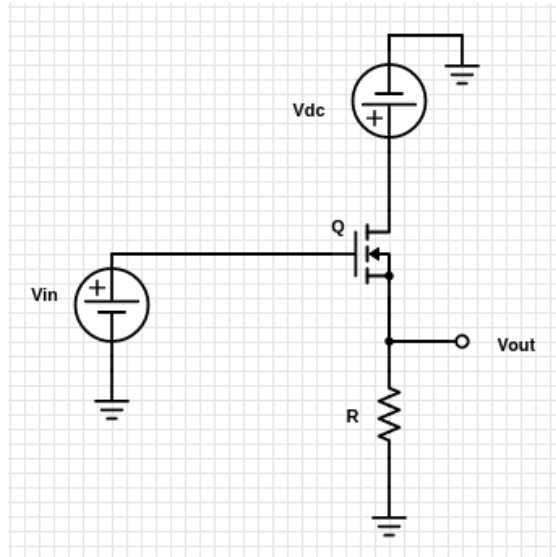


Fig 24: Circuito equivalente

Con tal de simplificar la situación, se supone un MOSFET ideal con resistencia R_{ds} nula. En el momento de aplicar la tensión V_{in} , justo antes de que el MOSFET conmute, tenemos:

$$V_{gs} = V_g - V_s = V_{in} - 0V = V_{in} \geq V_{th}$$

Al cumplirse esta condición, el MOSFET conmutará. Tras la conmutación, la tensión V_s cambia su valor a V_{dc} . Por tanto:

$$V_{gs} = V_g - V_s = V_{in} - V_{dc} < V_{th}$$

Entonces, el MOSFET cesará el flujo de corriente y V_s volverá a $0V$, repitiendo el proceso. En conclusión, si aplicamos una tensión V_{in} de forma continua el MOSFET conmutará constantemente.

Para solucionar este problema se utilizan circuitos conocidos como *MOSFET drivers*, que garantizan el cumplimiento de la condición de conmutación. Lo hacen aumentando la tensión de *gate* V_{th} voltios por encima de la tensión de salida mediante un condensador llamado condensador de *bootstrap*. En el apartado 3.3.3 se explica en detalle el funcionamiento de dichos circuitos mediante un ejemplo real.

Como hemos visto, es posible amplificar una señal cuadrada de forma muy eficiente. Podemos utilizar esta idea no solamente para amplificar señales conmutadas, sino todo tipo de señales. Esa es la idea detrás del amplificador de Clase D. Consta de tres fases, representadas en la Figura 25:

- Modulador PWM: esta etapa convierte la señal original en una señal PWM de baja potencia. La señal PWM debe de contener

necesariamente toda la información de la señal original, para poder ser posteriormente recuperada.

- Etapa de potencia: la señal PWM de baja potencia es amplificada generalmente mediante el mecanismo descrito anteriormente (*Half Bridge*).
- Demodulador PWM: la señal PWM de alta potencia se demodula de forma pasiva, obteniendo la señal original amplificada.

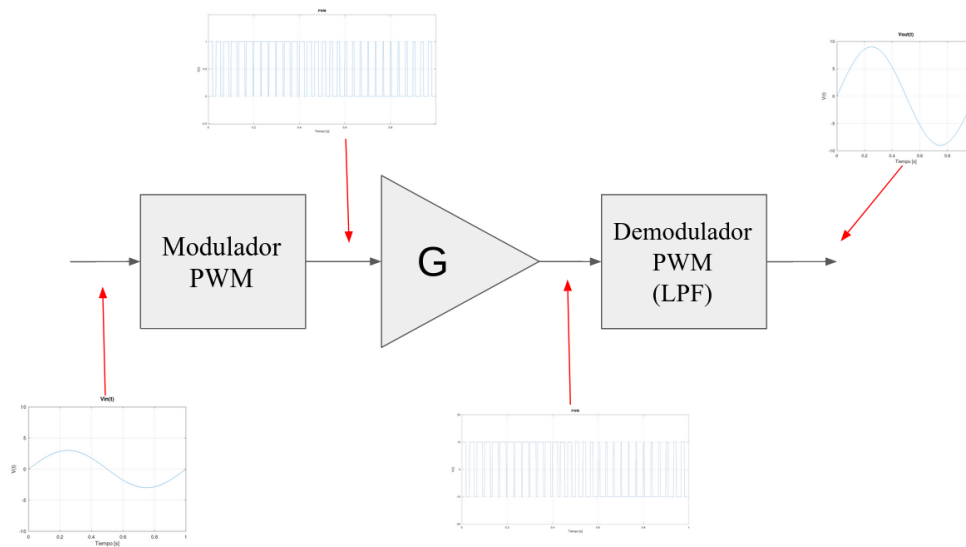


Fig. 25: Etapas de un amplificador de Clase D

2.2.2.3.1 Modulación PWM

La modulación PWM (*Pulse Width Modulation*) consiste en la variación del ciclo de trabajo de una señal cuadrada periódica (señal modulada). Esta variación debe de representar la información total de la señal moduladora.

Durante un periodo, una señal cuadrada modulada alterna entre un valor máximo y un valor mínimo, en la figura 26 definidos como y_{max} e y_{min} . El ciclo de trabajo se define como, tomando un periodo de la señal, el tiempo en que esta está en su valor máximo dividido entre la duración total del periodo. Por tanto, el ciclo de trabajo puede tomar valores de 0 (la señal siempre está en su valor mínimo) a 1 (la señal siempre está en su valor máximo).

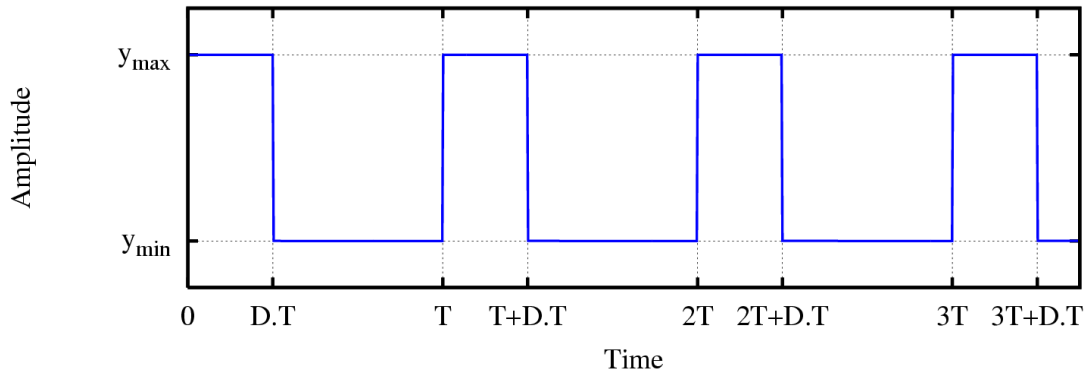


Fig. 26: Señal PWM

Fuente: https://es.wikipedia.org/wiki/Modulaci%C3%B3n_por_ancho_de_pulsos#/media/Archivo:Duty_cycle_general.png

Un modulador PWM es un circuito que toma una señal de entrada $V_{in}(t)$ y genera una señal PWM de *duty cycle* variable y directamente proporcional a $V_{in}(t)$, de modo que toda la información de la señal de entrada quede representada y sea recuperable.

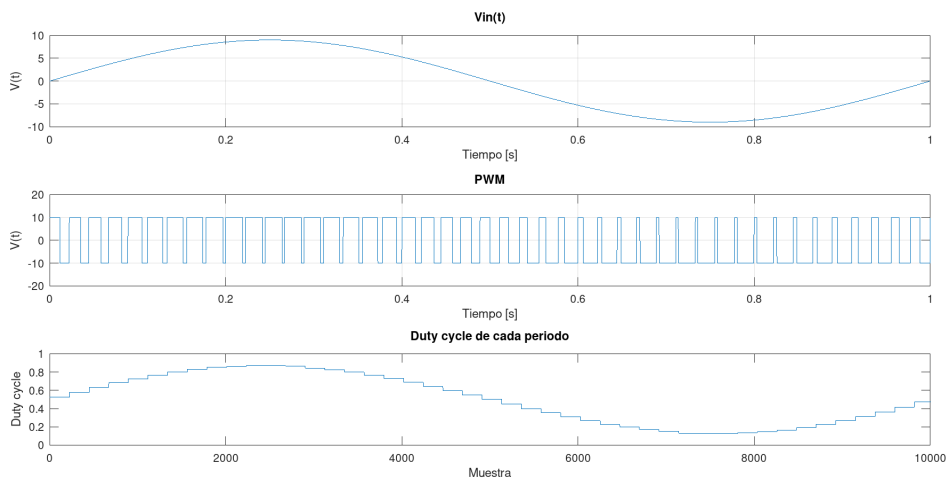


Fig.27: Señal sinusoidal de entrada, señal PWM modulada y evolución del *duty cycle* de la señal PWM

Como vemos, cada periodo de la señal PWM solamente puede tener asociado un único valor de *duty cycle*. Podemos interpretar esto como un muestreo de la señal de entrada, tomando una muestra por cada periodo de la señal PWM [1]. De este modo, la frecuencia de la señal PWM equivale a la frecuencia de muestreo y para poder recuperar la señal original debe de cumplirse el criterio de Nyquist-Shannon: la frecuencia de muestreo debe de ser mayor o igual al doble del ancho de banda de la señal original en banda base. Como trataremos con señales de audio, la frecuencia de la señal en banda base será de 20kHz. Por tanto:

$$f_{pwm} \geq 2 \cdot BW_{in} = 40kHz \quad (2.14)$$

En el anexo 8.2 se ha incluido el cálculo del espectro de una señal PWM con *duty cycle* fijo. Cuando modulamos una señal PWM, cada uno de los armónicos calculados pasa a convertirse en un alias de la señal moduladora (una repetición de su espectro en banda base). Dado que el primer armónico se encuentra en la frecuencia de la señal PWM modulada, se deduce de nuevo que esta frecuencia debe de ser por lo menos del doble del ancho de banda de la señal moduladora. De lo contrario parte del primer alias caería sobre el alias en banda base de la señal, produciéndose aliasing:

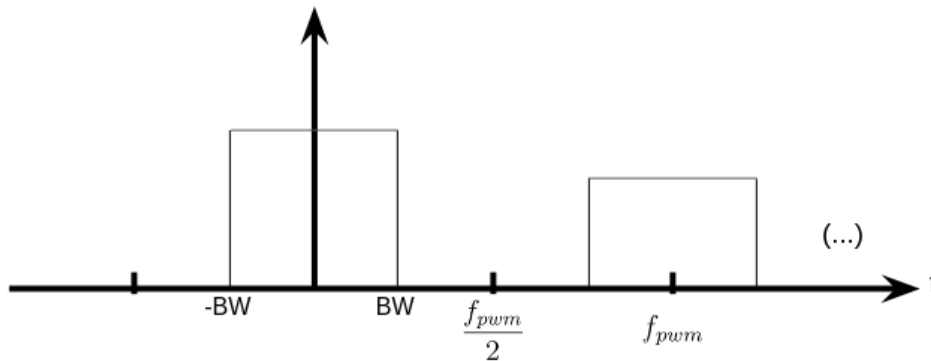


Fig. 28: Alias en banda base y primer alias de una señal PWM

Podemos modular una señal PWM mediante la comparación de la señal moduladora con una señal triangular:

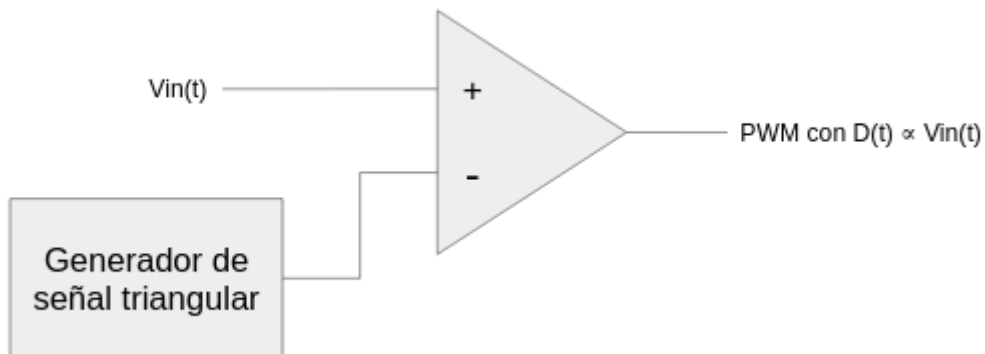


Fig. 29: Modulador PWM

También es posible utilizar una señal de diente de sierra, en tanto que se sigue cumpliendo que el *duty cycle* de la señal modulada resultante es proporcional a la amplitud de la señal de entrada. Podemos ver el funcionamiento de este modulador en la siguiente figura:

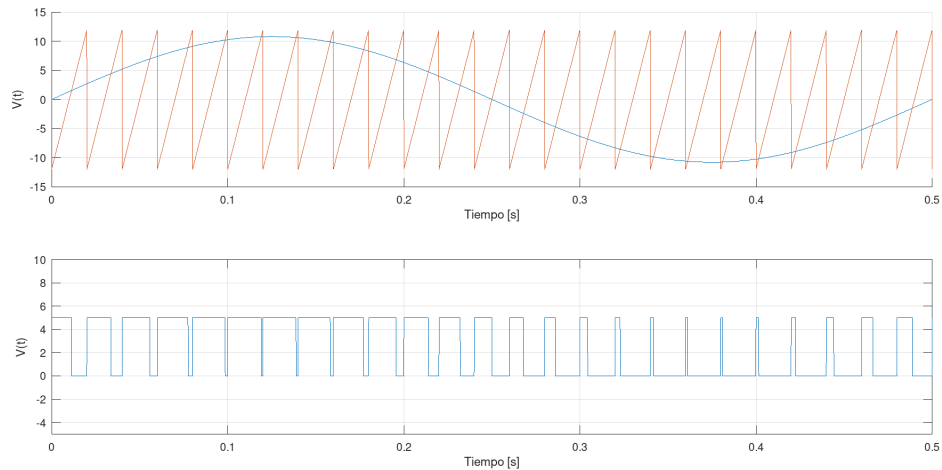


Fig. 30: Señal a modular, señal de diente de sierra y señal PWM modulada

Cuando la señal de entrada es mayor que la señal triangular, entonces la salida del comparador es de 5V. Cuando es menor, la salida es de 0V. Por tanto, cada periodo de la señal triangular equivale a un periodo de la señal PWM resultante. Si tomamos la señal PWM resultante y calculamos su valor medio (el *duty cycle* de una señal PWM es directamente proporcional a su valor medio, como se demuestra en el Anexo 7.2), entonces vemos que este es proporcional a la señal de entrada muestreada:

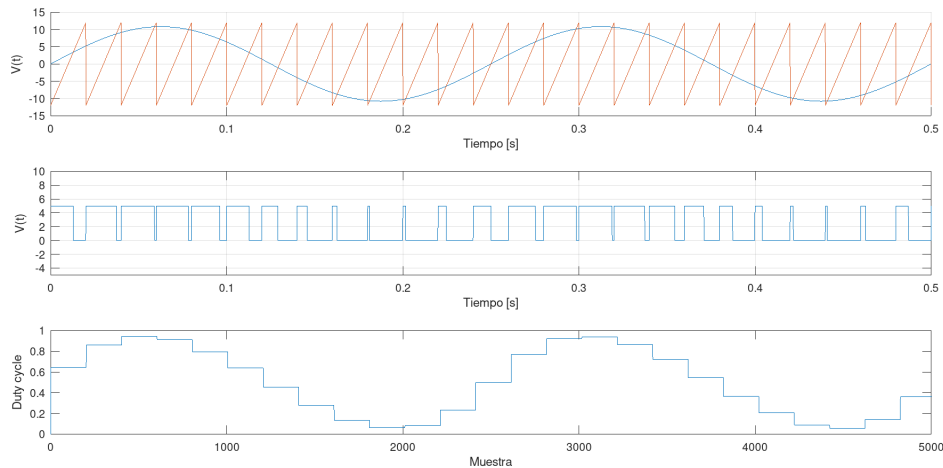


Fig. 31: Evolución del *duty cycle* proporcional a la señal de entrada

Se observa, además, que un aumento en la frecuencia de la señal triangular conlleva un aumento en la frecuencia de la señal PWM resultante. Siguiendo la interpretación anterior, esto puede considerarse como un aumento en la frecuencia de muestreo:

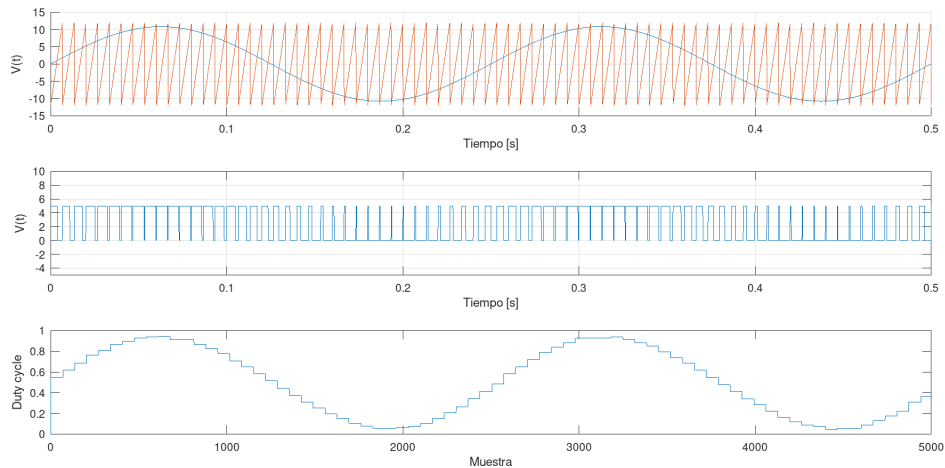


Fig. 32: Aumento de la frecuencia de la señal PWM visto como aumento de la frecuencia de muestreo

La señal PWM puede también ser generada mediante circuitos digitales secuenciales como microcontroladores, DSPs o FPGAs. La modulación se realiza variando una salida del circuito entre los valores lógicos '0' y '1'. Como la salida solamente puede cambiar como máximo una vez cada ciclo de reloj, cada periodo de la señal PWM se asocia con un número determinado de ciclos de reloj:

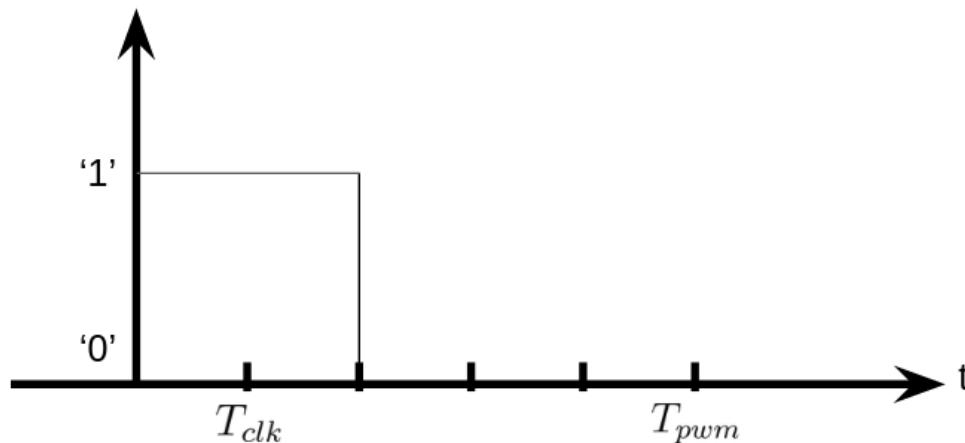


Fig. 33: Señal PWM modulada mediante un circuito digital secuencial

En la figura 33 puede observarse que, en caso de utilizar cinco ciclos de reloj por cada periodo de la señal PWM, solamente es posible representar seis valores distintos de *duty cycle*: 0% (señal siempre en '0'), 20% (señal en '1' durante un ciclo de reloj), 40%, 60%, 80% y 100%. Como la frecuencia de reloj de estos sistemas es limitada, existe un compromiso entre resolución de la señal PWM (número de valores de *duty cycle* distintos) y frecuencia de la señal PWM.

En caso de querer representar sin pérdida de información muestras de audio de n bits, necesitamos poder representar 2^n valores distintos de *duty cycle*. Para hacerlo necesitaremos que cada periodo de la señal PWM contenga $2^n - 1$ periodos de reloj. Por tanto:

$$T_{pwm} = (2^n - 1) \cdot T_{clk}$$

$$f_{pwm} = \frac{f_{clk}}{(2^n - 1)}$$

$$n = \log_2\left(\frac{f_{clk}}{f_{pwm}} + 1\right)$$

Siguiendo este resultado, en caso de querer representar muestras de audio de 16 bits con una señal PWM de 300kHz (frecuencia utilizada por algunos amplificadores de audio de Clase D comerciales), necesitaremos una frecuencia de reloj de por lo menos 19,6605 GHz. Como vemos, es un valor demasiado elevado. Para reducirlo es posible reducir el número de bits de las muestras de audio, pero en tal caso aumentará el ruido de cuantificación, mermando la calidad de la señal final.

Las gráficas de este apartado se han obtenido mediante una simulación realizada en GNU Octave (Anexo 7.3).

2.2.2.3.2 Demodulación PWM

Una vez la señal original ha sido modulada y la señal PWM ha sido amplificada, debemos de demodular dicha señal para obtener la señal original amplificada. Como vemos en la figura 28, la señal original queda en banda base. Por tanto, a nivel teórico es posible recuperarla de forma perfecta mediante un filtro paso-bajo ideal:

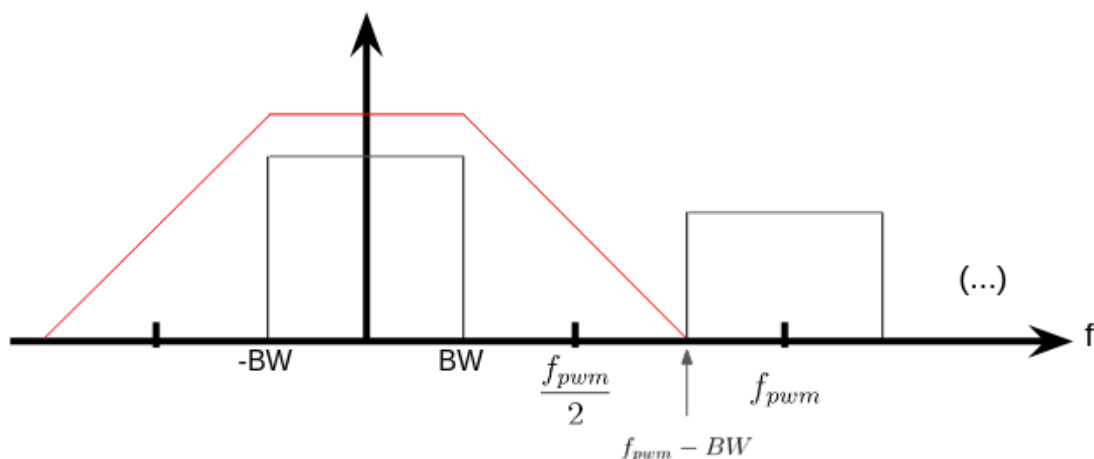


Fig. 34: Demodulación de una señal PWM

Como en la práctica no existen filtros ideales, esta reconstrucción nunca será perfecta. Los alias sufren una atenuación finita, y la imperfección resultante supone un aumento de la distorsión armónica total del amplificador (THD). De la figura 34 se deducen algunos de los requisitos de diseño del filtro demodulador:

- La frecuencia de corte debe de ser mayor o igual al ancho de banda de la señal. En caso de tratar con señales de audio, son 20 kHz.
- Encontramos componentes del primer alias a la frecuencia $f_{pwm} - 20 \text{ kHz}$, de modo que tenemos que asegurar una transición del filtro tal que permita una atenuación determinada a esta frecuencia. Como la pendiente del filtro depende del orden del mismo, usar una frecuencia PWM mayor permite relajar el orden del filtro (esto equivale a realizar sobremuestreo). Cuanto mayor sea la atenuación aplicada a $f_{pwm} - 20 \text{ kHz}$ menor será la THD.

Existen amplificadores comerciales de Clase D que no incorporan filtro demodulador. Son los conocidos como amplificadores *filterless*. Esto funciona gracias a que los altavoces realizan de forma natural un filtrado paso-bajo con frecuencia de corte de aproximadamente 20kHz. Además, la frecuencia de los alias es superior a la frecuencia audible, por lo que no deberían de ser percibidos por el oído humano. Esta práctica, pese a suponer un ahorro económico, tiene una gran desventaja: al tener que transmitir del amplificador al altavoz una señal con componentes frecuenciales altas, es posible que se emita radiación electromagnética que, de no controlarse, podría caer en una banda no permitida o superar los umbrales legales de potencia de emisión.

2.2.2.3.3 Principales causas de distorsión

Una vez analizado el funcionamiento de los bloques que componen un amplificador de Clase D, es posible elaborar un esquemático completo como el siguiente:

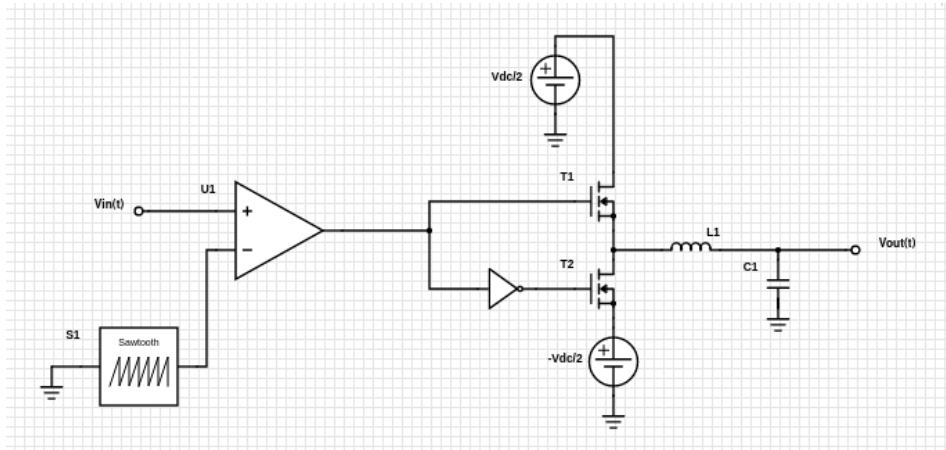


Fig. 35: Amplificador de clase D con filtro de orden 2 y modulador analógico

Cada uno de los componentes puede introducir errores que afecten a la calidad final de la señal. Se ha elaborado la siguiente tabla con los posibles errores introducidos por cada componente:

COMPONENTE	ERRORES
Modulador PWM	<ul style="list-style-type: none"> - <i>Slew rate</i> del comparador finito, lo que hace que la señal PWM resultante tenga un tiempo de subida y de bajada no nulos. - Ruido de cuantificación en caso de ser implementado mediante un circuito digital.
Puerta NOT (en caso de usar un Bridge de transistores)	<ul style="list-style-type: none"> - <i>Delay</i> entre la señal de entrada y la de salida. Esto hace que los transistores no conmuten al mismo tiempo. Este error es conocido como <i>Dead Time</i>, y supone una merma considerable de THD.
Transistores	<ul style="list-style-type: none"> - R_{ds} finita, corriente de base no nula - Tiempo de conmutación no nulo
Fuente Vdc	<ul style="list-style-type: none"> - Perturbaciones en la fuente de alimentación Vdc (ruido, rizado) son filtradas y trasladadas a la señal de salida Vout. - <i>Bus pumping</i>: el hecho de que exista corriente circulando hacia la fuente de alimentación crea fluctuaciones en la tensión Vdc.
Filtro	<ul style="list-style-type: none"> - Inductancia y capacitancia no lineales

2.3. Procesado digital de señales

2.3.1 Ecuación

La respuesta en frecuencia de un amplificador puede ser medida realizando un barrido de frecuencias como señal de entrada, y viendo a la salida la ganancia aplicada a cada una de las frecuencias. Un amplificador de audio ideal aplicará la misma ganancia G a todas las frecuencias audibles, es decir, tendrá una respuesta en frecuencia plana en la banda de 20 Hz a 20 kHz. Además, debido a los retardos que introducen los componentes electrónicos y a los retardos de propagación, aplicará un cierto retardo (τ) en la señal:

$$F \{G \cdot f(t - \tau)\} = \int_{-\infty}^{\infty} G \cdot f(t - \tau) e^{-j\omega t} dt$$

Aplicando la siguiente sustitución:

$$u = t - \tau$$

$$F \{G \cdot f(u)\} = \int_{-\infty}^{\infty} G \cdot f(u) e^{-j\omega(u+\tau)} du = G \cdot e^{-j\omega\tau} \cdot \int_{-\infty}^{\infty} f(u) e^{-j\omega u} du$$

$$F \{G \cdot f(u)\} = G \cdot e^{-j\omega\tau} \cdot F(f) = H_{ampli}(f) \cdot F(f)$$

Por tanto:

$$H_{ampli}(f) = G \cdot e^{-j\omega\tau}$$

Idealmente, por tanto, la ganancia será constante e invariante con la frecuencia, y la fase variará linealmente con la frecuencia.

Un amplificador de audio real tendrá una respuesta distinta. Podemos compensar esta diferencia mediante el uso de un sistema ecualizador en serie:



Fig. 36: Uso de sistema ecualizador

$$H_{ampli}(f) \cdot H_{eq}(f) = G \cdot e^{-j\omega\tau}$$

$$H_{eq}(f) = \frac{G \cdot e^{-j\omega\tau}}{H_{ampli}(f)}$$

Si la fase del amplificador sin ecualizar es lineal, la ecualización puede realizarse digitalmente mediante la aplicación de un filtro FIR.

2.3.2 Predistorsión digital

En el apartado 2.2.2.1 se ha demostrado cómo una falta de linealidad en un sistema causa la aparición de componentes frecuenciales espurias (distorsión armónica e intermodulación). Se ha definido un sistema lineal como aquél en que la relación $P_{out}(P_{in})$ es lineal. De no cumplirse esto, podemos compensar la falta de linealidad mediante el uso de predistorsión:

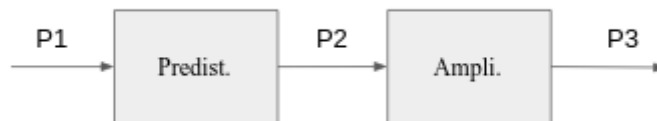


Fig. 37: Aplicación de predistorsión

Por ejemplo, suponiendo que el amplificador tiene la siguiente relación entrada-salida no lineal:

$$P_3 = 3(P_2)^2$$

Podemos linealizar el sistema mediante una predistorsión con la relación entrada-salida:

$$P_2 = \sqrt{P_1}$$

De modo que el sistema global resulte lineal:

$$P_3 = 3(\sqrt{P_1})^2 = 3P_1$$

Esta predistorsión puede realizarse digitalmente, es decir, sobre las muestras de audio de forma previa a su conversión a señal analógica.

2.4. Conversión D/A

Un conversor D/A es un circuito encargado de reconstruir una señal analógica a partir de sus muestras digitales.

Por ejemplo, un periodo de una senoide de 1Hz muestreada a 8 bits con una frecuencia de muestreo de 20Hz contiene las siguientes muestras

(representadas en formato decimal): 0, 79, 150, 206, 243, 255, 243, 206, 150, 79, 0, -79, -150, -206, -243, -255, -243, -206, -150, -79. Un conversor D/A debe de ser capaz de reconstruir la señal a partir de estas:

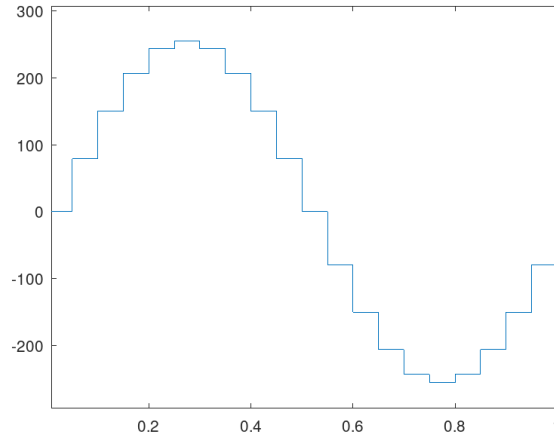


Fig. 38: Sinusoide reconstruida

Podemos entender este proceso a nivel teórico como un filtrado (convolución) de la señal discretizada:

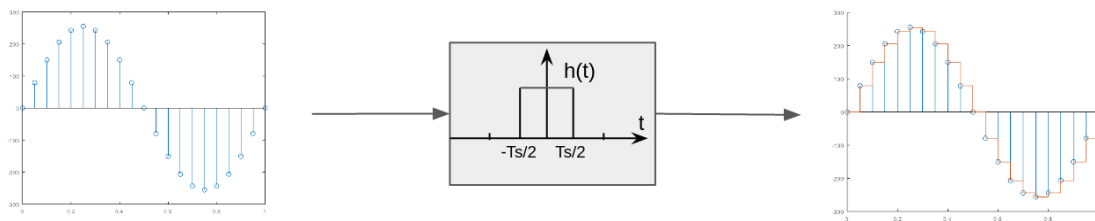


Fig. 39: Reconstrucción de señal analógica como convolución

Si la señal de entrada es $x(t)$ y la señal de salida es $y(t)$, entonces:

$$y(t) = x(t) * \text{rect}\left(\frac{t}{T_s}\right)$$

$$Y(f) = X(f) \cdot F \left\{ \text{rect}\left(\frac{t}{T_s}\right) \right\} = X(f) \cdot T_s \cdot \text{sinc}(f \cdot T_s)$$

El espectro de la señal discretizada (repeticiones de la señal periódicas cada f_s) queda multiplicado por el término $T_s \cdot \text{sinc}(f \cdot T_s)$, siendo esta la función sinc normalizada. Esta multiplicación supone una atenuación de los alias de la señal discretizada. Comúnmente, tras obtener la señal $y(t)$, se aplica sobre esta un filtro paso-bajo para atenuar todavía más estos alias y recuperar la señal original.

Existen distintas topologías de circuitos que llevan a la práctica este proceso. Un ejemplo es el siguiente circuito:

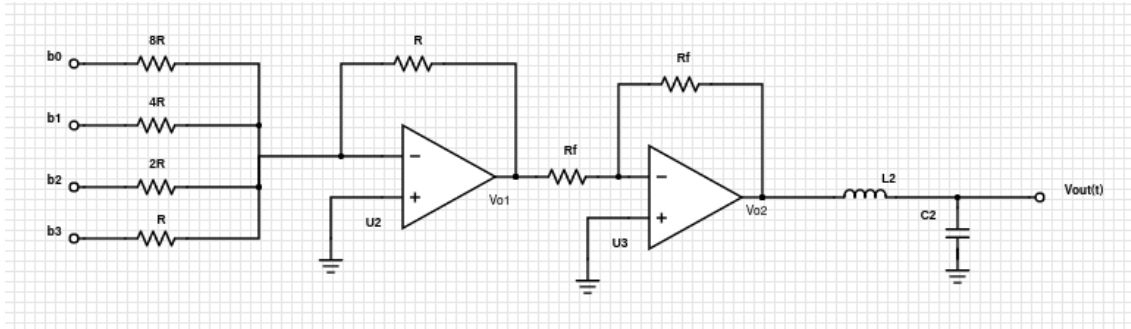


Fig. 40: Circuito conversor D/A

En los puertos b0, b1, b2 y b3 se introduce la muestra digital correspondiente (b0 es el bit menos significativo), aplicando una tensión V_{ref} en caso de ser '1' y 0V en caso de ser '0'. Aplicando la ley de corrientes de Kirchoff en el puerto negativo del primer amplificador operacional, obtenemos:

$$V_{o1} = -V_{ref} \cdot \left(\frac{1}{1}b_3 + \frac{1}{2}b_2 + \frac{1}{4}b_1 + \frac{1}{8}b_0 \right)$$

Esta tensión se introduce en un amplificador inversor de ganancia 1, por lo que queda multiplicada por -1:

$$V_{o2} = -1 \cdot V_{o1} = V_{ref} \cdot \left(\frac{1}{1}b_3 + \frac{1}{2}b_2 + \frac{1}{4}b_1 + \frac{1}{8}b_0 \right)$$

Como vemos, el circuito es capaz de generar un valor de tensión continuo y equivalente al valor decimal de la muestra. Variando el valor de los bits de entrada cada T_s , podremos generar la señal $y(t)$ vista anteriormente. Tras este proceso, se añade un filtro paso-bajo para acabar de suavizar el resultado (a nivel teórico, eliminar los restos de los alias de la señal muestreada).

3. DISEÑO TEÓRICO Y SIMULACIÓN DEL SISTEMA

3.1. Recepción de las muestras de audio y ecualización

Para realizar esta tarea se utilizará el microcontrolador ESP32 de la marca Espressif [7]. En la siguiente figura podemos ver las características del mismo:

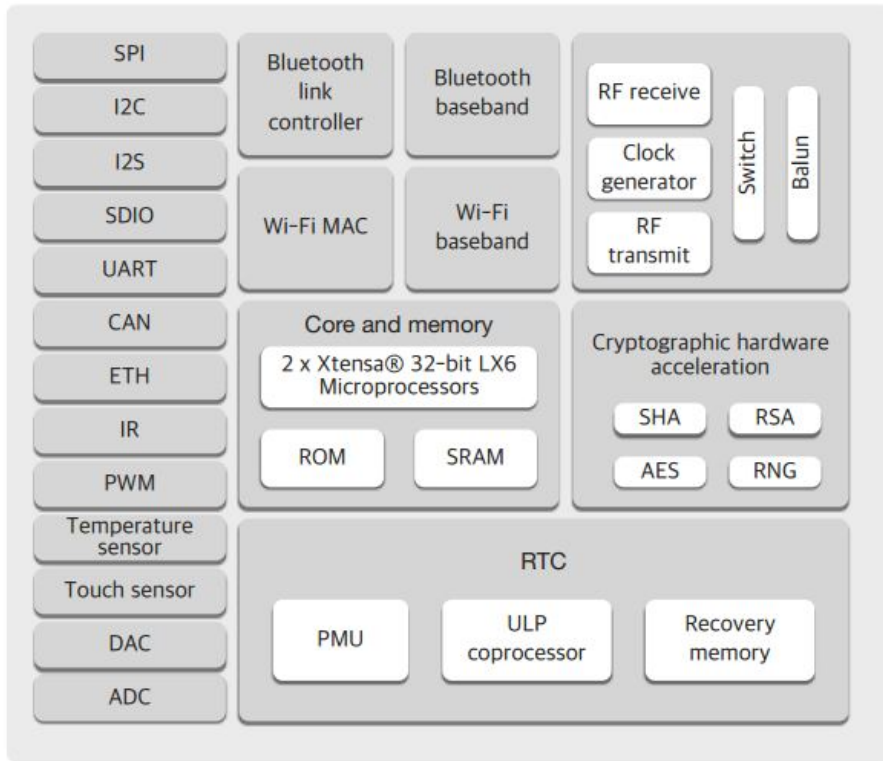


Fig. 41: Especificaciones y periféricos ESP32

Fuente: <http://esp32.net/>

Vemos que posee un *frontend RF* que le permite convertir señales de WiFi y de Bluetooth a banda base. También posee periféricos de procesamiento de la señal Bluetooth en banda base y de control de enlace. Una vez recibidas las muestras de audio vía Bluetooth, se ecualizarán para compensar las posibles imperfecciones de la etapa de amplificación.

Uno de los problemas del microcontrolador es la baja calidad del DAC, ya que cuenta con solamente 8 bits de resolución. Además, el procesador cuenta con una frecuencia de reloj de 80MHz. En caso de querer generar una señal PWM de 300kHz, podemos obtener la resolución de la misma según la expresión deducida en el apartado 2.2.2.3.1:

$$n = \log_2\left(\frac{f_{clk}}{f_{pwm}} + 1\right) = \log_2\left(\frac{80MHz}{300kHz} + 1\right) = 8,06bits$$

Una resolución de 8,06 bits, debido al ruido de cuantificación, supone en el mejor de los casos una SNR de:

$$SNR[dB] = 6,02n + 1,76 = 50,28dB$$

En caso de reproducir un tono a 100dB, el nivel de ruido quedaría en el mejor de los casos a 49,72dB, lo cual resulta totalmente audible.

Para suplir esta carencia se enviarán las muestras de audio a un DAC externo de mejores prestaciones mediante la interfaz I2S. La señal analógica será después modulada mediante un circuito específico.

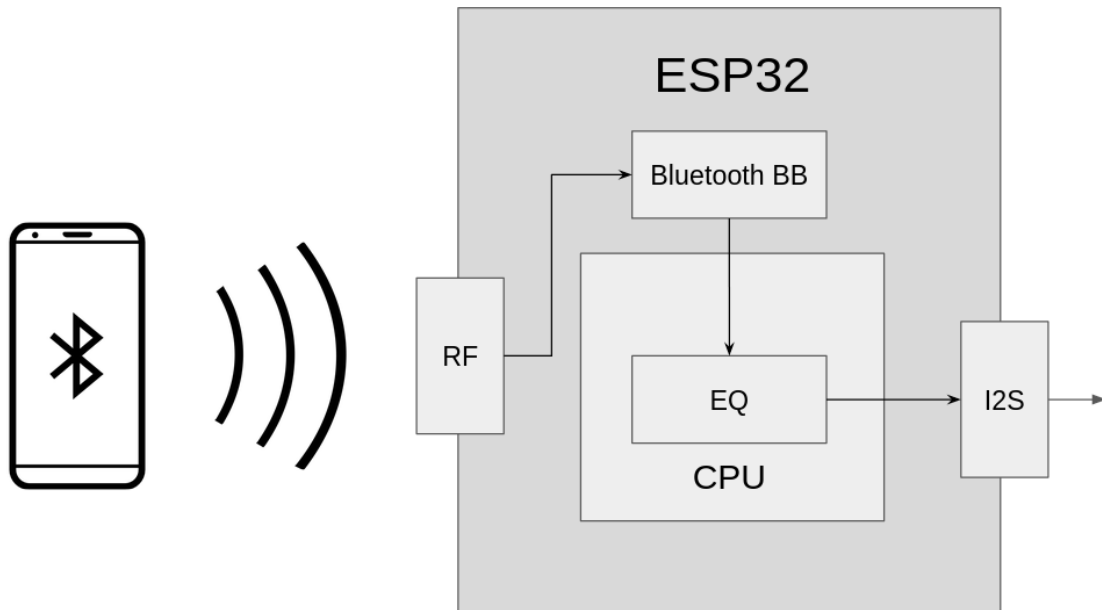


Fig. 42: Recepción de las muestras de audio y procesado digital

La ecualización será programada una vez se haya construido la etapa de amplificación, ya que es necesario medir la respuesta frecuencial resultante para poder compensarla.

3.2. Conversión D/A

Como se ha mencionado en el apartado anterior la conversión D/A se realizará mediante un convertor externo al microcontrolador, al que se le transmitirán las muestras mediante una interfaz I2S. I2S es un protocolo de comunicación serial pensado para la transmisión de audio digital.

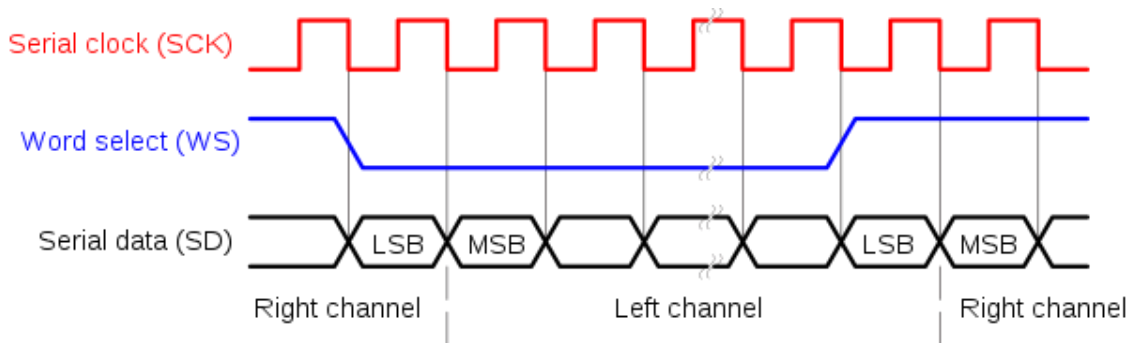


Fig. 43: Protocolo I2S

En el protocolo I2S se utilizan 3 señales distintas para la transmisión de las muestras de audio. La señal SCK (*Serial Clock*, en ocasiones llamada *Bit Clock*) indica el inicio y final de cada bit. La señal WS (*Word Select*, en ocasiones llamada WCLK o LRCLK) sirve para indicar el inicio y el final de cada muestra. Se deduce pues que el periodo de la señal WS será siempre un múltiplo del periodo de la señal SCL, dado que cada muestra se compone de un número entero y positivo de bits. En la señal SD (*Serial Data*) se transmiten los datos bit a bit.

En resumen, se utilizan los flancos ascendentes de la señal SCK como instantes de muestreo de cada uno de los bits de la señal SD. La señal WS sirve simplemente para distinguir unas muestras de audio de otras.

A la hora de elegir un convertor D/A, es indispensable que este tenga una entrada de datos I2S. Se ha optado por el modelo PCM5102 de la marca Texas Instruments [8]. Se trata de un circuito integrado con las siguientes características:

- Entrada de datos I2S
- Frecuencia de muestreo variable desde 8kHz hasta 384kHz
- Soporta muestras de 16, 24 y 32 bits
- SNR 112dB
- THD+N (Señal a -1dBFS) -93dB
- Salida de hasta 2 Vrms

Como vemos, el nivel de ruido y distorsión añadido es muy bajo, en parte gracias a la alta frecuencia de muestreo (como se ha explicado en el apartado de fundamentos teóricos, el sobremuestreo permite alejar los alias de la señal de modo que la atenuación de los mismos sea mayor).

Se indica que el fondo de escala es de 2Vrms, se realizará una medición experimental de la señal de salida para determinar el nivel de pico máximo y poder adaptar la señal a los niveles de entrada requeridos por la etapa de amplificación.

Con tal de simplificar el montaje, se utilizará una placa de la marca Audiophonics que implementa el montaje típico recomendado por el fabricante.

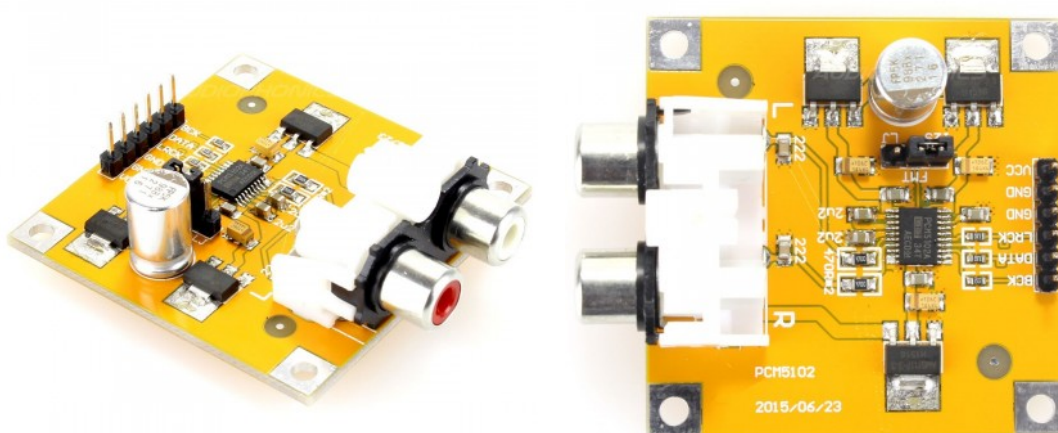


Fig. 44: Placa PCM5102 de Audiophonics

3.3. Amplificación

Debido a los requisitos de diseño en cuanto a eficiencia energética, se ha optado por la construcción de una etapa de amplificación de clase D. Es indispensable que se mantenga un control de las distintas fuentes de ruido y de distorsión con tal de minimizar la THD+N total resultante. Se abordará cada una de las etapas por separado: modulación, etapa de potencia y demodulación.

3.3.1. Modulador PWM

En el apartado 2.2.2.3.1 se ha visto el principio de funcionamiento de un modulador PWM. Para realizar esta tarea se utilizará el circuito integrado TL494 de Texas Instruments [9]. Internamente, los componentes son los siguientes:

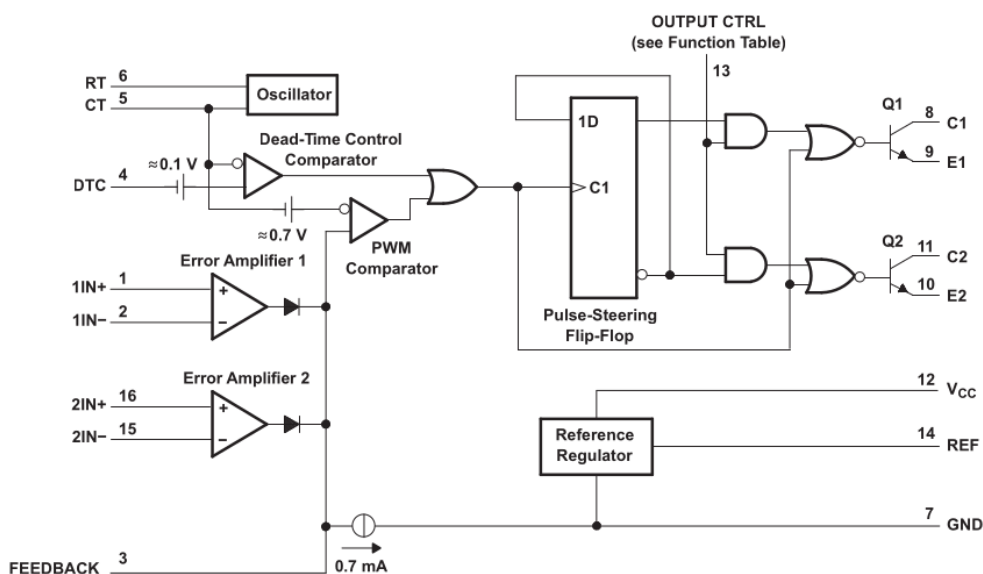


Fig. 45: Diagrama funcional TL494

Vemos que posee un oscilador encargado de generar la señal triangular, dos comparadores, amplificadores operacionales para añadir *feedback* negativo al diseño, un regulador que genera un voltaje de referencia, un *flip-flop* que nos permite tener una salida *push-pull* (un pulso a cada transistor de salida, alternativamente) y dos transistores para aumentar la corriente máxima de salida.

En nuestro caso no nos interesa tener salida *push-pull*. Por este motivo se fijará la entrada OUTPUT CTL a 0V, quedando inutilizado el *flip-flop* y las puertas AND posteriores.

Como tampoco queremos añadir realimentación negativa, hay que inutilizar los dos amplificadores operacionales. Necesitamos, pues, que el comparador "PWM Comparator" tenga una salida de 0V. Conseguimos esto introduciendo 0V por su entrada inferior. Por tanto, hay que fijar las entradas FEEDBACK, 1IN+ y 2IN+ a 0V, y las entradas 1IN- u 2IN- a 5V (se aprovechará el pin REF).

Los pines Rt y Ct se utilizan para definir la frecuencia de la señal triangular que se utiliza en el comparador. Esta señal, como se ha visto en el apartado de fundamentos teóricos, determina la frecuencia de la señal PWM resultante. En la hoja de datos se nos proporciona la siguiente expresión:

$$f_{osc} = \frac{1}{R_T \cdot C_T}$$

Como primer enfoque, se escogerá una resistencia y un condensador que fijen una frecuencia de 300kHz. Respecto a los transistores de salida del integrado, se utilizará solamente el transistor Q1. Por tanto, los pines C2 y E2 estarán fijados a 0V. C1 se fijará a Vcc (5V), y E2 será la salida del circuito. Para tener tensión en el pin E2 es necesario añadir una resistencia de *pull-down*. A la hora de elegir el valor de dicha resistencia existe un compromiso: si escogemos un valor reducido perderemos eficiencia energética, pero reduciremos el posible efecto de carga sobre la señal. Si escogemos un valor grande, la eficiencia será mayor pero también lo será el efecto de carga.

Las simulaciones del circuito se han realizado mediante el software Proteus. Siguiendo las conexiones planteadas, el montaje es el siguiente:

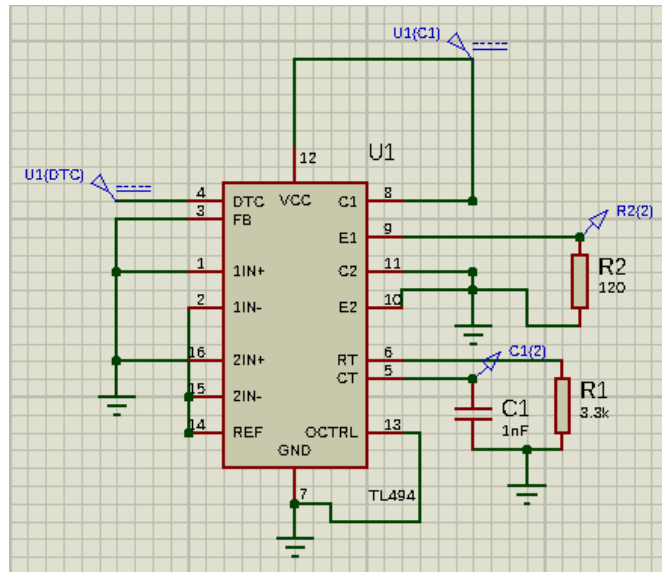


Fig. 46: Modulador PWM

Se ha elegido una resistencia de *pull-down* de 120Ω. Como la tensión por el colector 1 es de 5V y suponiendo una resistencia del transistor de salida nula, la resistencia R2 disipará una potencia de $5^2/120=0,208W$ en los instantes en que la salida del circuito es positiva. Hay que tener en cuenta que esta potencia disipada supondrá una merma en la eficiencia energética final del sistema.

Se ha elegido un condensador de 1nF y una resistencia de 3.3kΩ. Siguiendo la expresión anterior, el valor de la frecuencia de la señal PWM debería de ser de 303 kHz. De este modo tenemos un valor cercano a los 300 kHz planteados pudiendo usar resistencias y condensadores comerciales. Según el diagrama funcional de la figura 45, podemos ver la señal de diente de sierra generada si graficamos la tensión del puerto Ct:

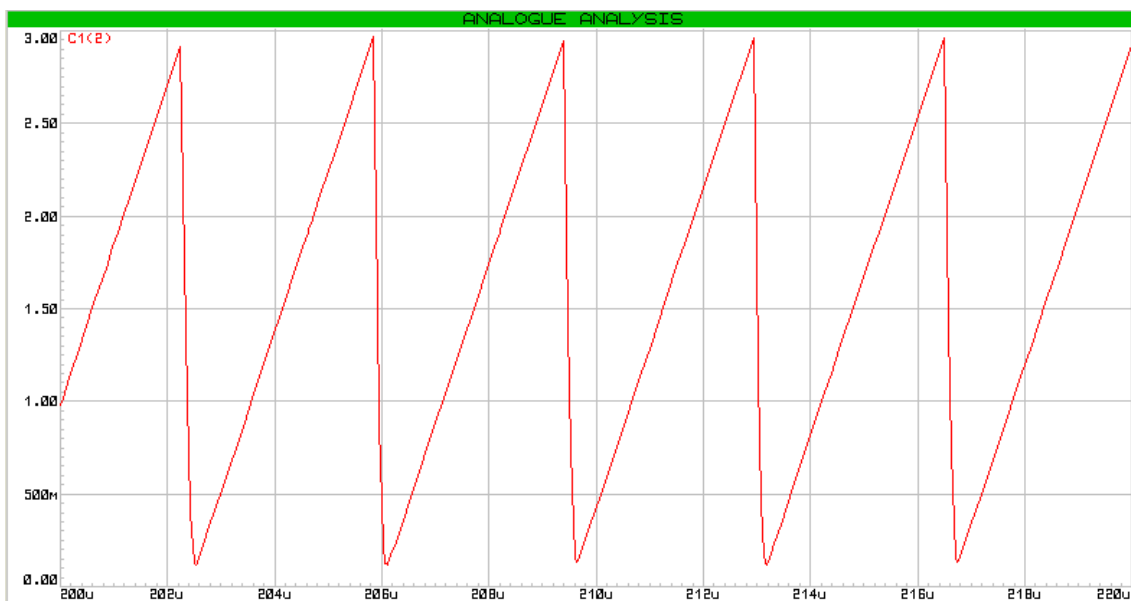


Fig. 47: Señal de diente de sierra de entrada al comparador

El periodo de la señal es de $3,5\mu\text{s}$, lo que se corresponde con una frecuencia de 285.71kHz . En el diagrama funcional podemos ver que a la señal de entrada (puerto DTC) se le suma un *offset* de $0,1\text{V}$ y es comparada con esta señal triangular. Por tanto, podemos deducir que el valor mínimo de la señal de entrada será el valor mínimo de la señal triangular menos $0,1\text{V}$. El mismo razonamiento puede realizarse para encontrar el valor máximo de la señal de entrada. Se deduce entonces que la señal de entrada debe de estar comprendida entre 0V y $2,8\text{V}$. Estos valores se medirán experimentalmente con tal de realizar una adaptación correcta.

Para comprobar el correcto funcionamiento del modulador se simula la introducción de una senoide (10kHz , 600mV de amplitud, *offset* de $1,4\text{V}$) por el puerto DTC. El resultado es el siguiente:



Fig. 48: Señal de entrada DTC y señal PWM modulada

La señal PWM queda modulada, pero la modulación está invertida ya que la tensión de entrada y el *duty cycle* de salida son inversamente proporcionales, en vez de ser directamente proporcionales. Podemos ver también una pequeña imperfección en el flanco negativo de los pulsos PWM, que hace que la tensión baje de 0V . Además, el nivel positivo de la señal PWM queda ligeramente por debajo de los 5V . Estos problemas se corregirán introduciendo la señal PWM en una puerta lógica NOT. Añadiendo una puerta NOT ideal a la simulación, el resultado es el siguiente:

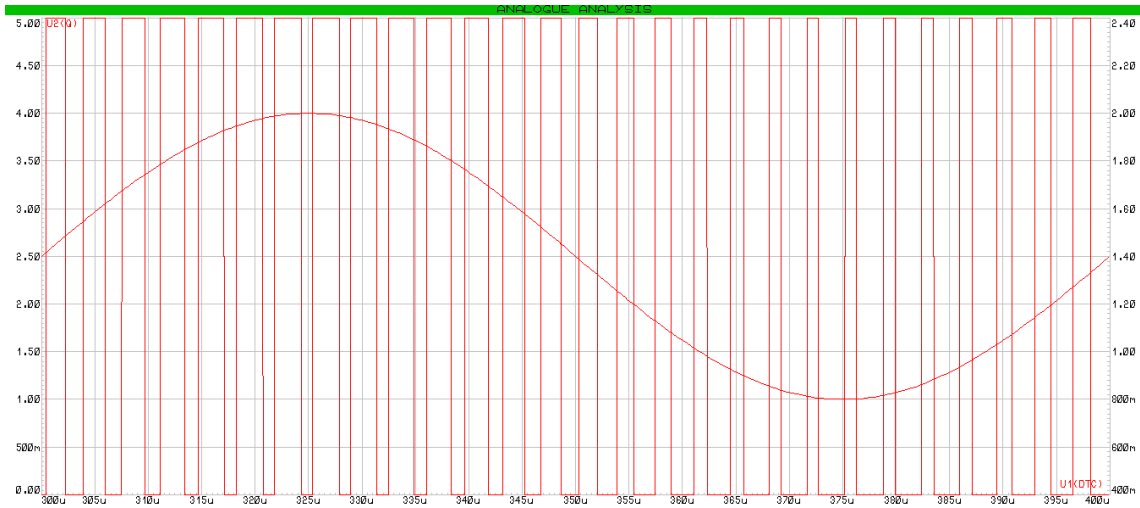


Fig. 49: Señal DTC y señal PWM modulada

Podemos ver el resultado de la modulación a nivel espectral.



Fig. 50: Espectro señal de entrada

Como vemos, la señal de entrada es un tono de 10kHz, con 600mV de amplitud. En 0Hz podemos ver la componente DC de la señal, de 1,4V.

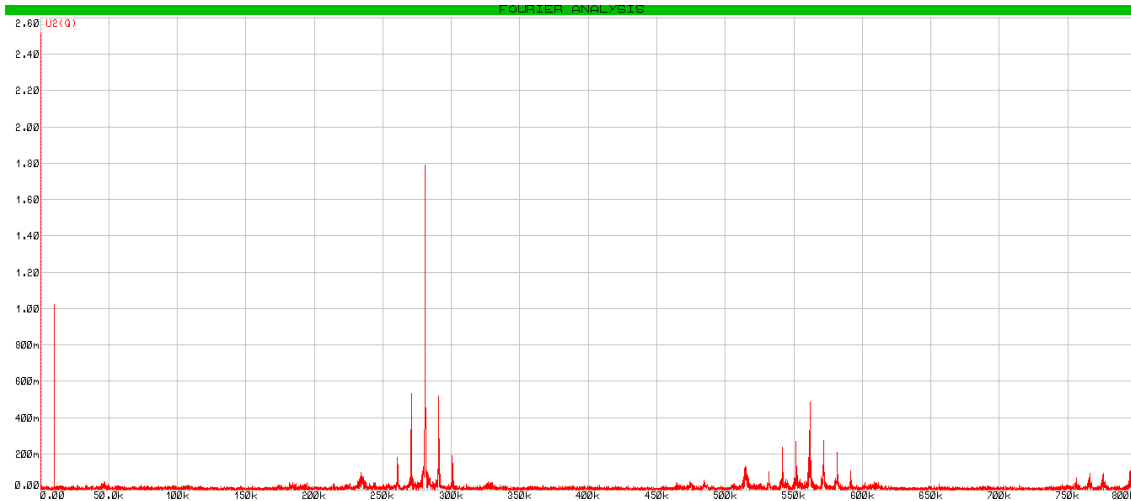


Fig. 51: Espectro señal PWM modulada

Vemos que la señal de entrada queda en banda base, y se generan armónicos en los múltiplos de la frecuencia de la señal PWM. Puede apreciarse que la señal original es recuperable mediante la utilización de un filtro paso-bajo. El primer espúreo notable aparece a 230kHz.

Como la señal de entrada tiene que estar comprendida entre unos niveles determinados, es necesario adaptar la señal de salida del DAC. Vemos que será necesario reducir la tensión de la misma y añadir un *offset*. Para ello, se utilizarán dos divisores de tensión y un condensador que bloquee el paso de continua del uno al otro. El circuito de adaptación es el siguiente:

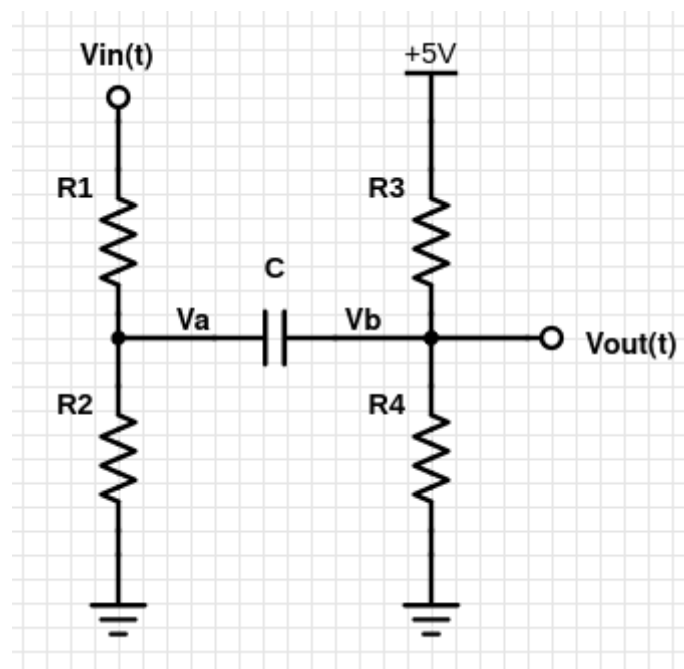


Fig. 52: Adaptación de señal del DAC al modulador PWM

Intuitivamente podemos ver cómo funciona. Supongamos que V_{in} es una señal sinusoidal sin *offset* y de 2V de amplitud. Supongamos que queremos una salida

sinusoidal, con 1V de *offset* y 1V de amplitud. Las resistencias R1 y R2 se encargan de atenuar la señal de entrada. En este caso, si forzamos que R1=R2 entonces la tensión Va será Vin/2, lo que equivale a decir que la amplitud de la señal de entrada se habrá reducido a 1V.

Mediante el divisor de tensión de R3 y R4 se fija una tensión continua en Vb. Como el condensador permite el paso de señales alternas, entonces Vout será igual a la tensión de *offset* fijada por R3 y R4 más la tensión en Va (principio de superposición), que será la entrada atenuada. Como queremos un *offset* de 1V y sobre R3 se aplica una tensión de 5V, se deduce que:

$$V_b = 5 \frac{R_4}{R_4 + R_3} = 1$$

Por tanto:

$$R_3 = 4R_4$$

Este razonamiento es una aproximación, no se ha tenido en cuenta el efecto de carga a la hora de calcular la tensión sobre Va (puede ser minimizado si la resistencias R3 y R4 son mucho mayores que R1 y R2) ni la respuesta en frecuencia del condensador (cualquier imperfección será compensada en la ecualización final del sistema).

3.3.2. Puerta NOT

Como se ha visto en la figura 45, es necesaria una puerta NOT para invertir la señal PWM de salida del modulador. Además, la etapa de amplificación requiere la inversión de la señal. Para ello se usará el circuito integrado SN7405 de Texas Instruments [10], que proporciona 6 puertas NOT.

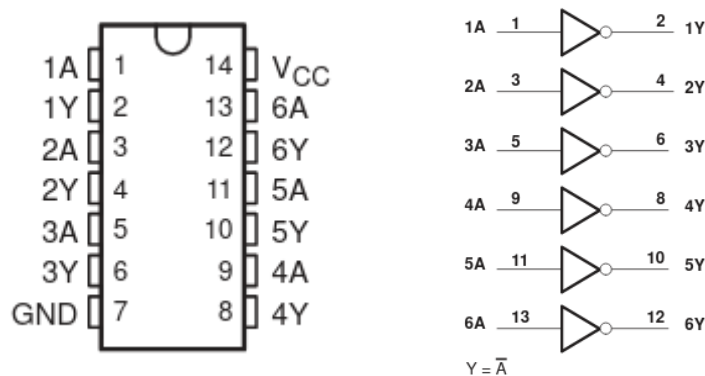


Fig. 53: Pines SN7405

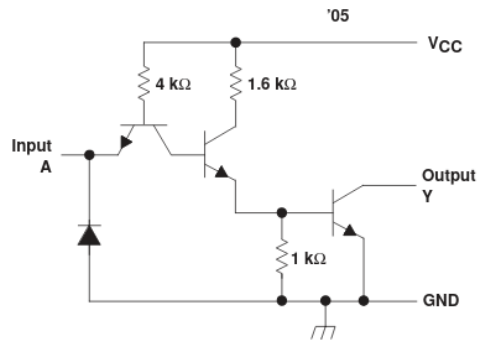


Fig. 54: Circuito integrado SN7405

La salida es de colector abierto, de modo que para que exista un voltaje debemos de conectar una resistencia entre el puerto Output Y y el puerto Vcc, de esta forma se genera un divisor de tensión entre la resistencia incorporada y la resistencia del transistor de salida. Como la resistencia del transistor será baja, la resistencia que tendremos que incorporar será también baja. Se probarán distintos valores y se seleccionará el máximo valor que permita una tensión de salida de 5V, con tal de mejorar la eficiencia energética.

El montaje que se realizará será el siguiente:

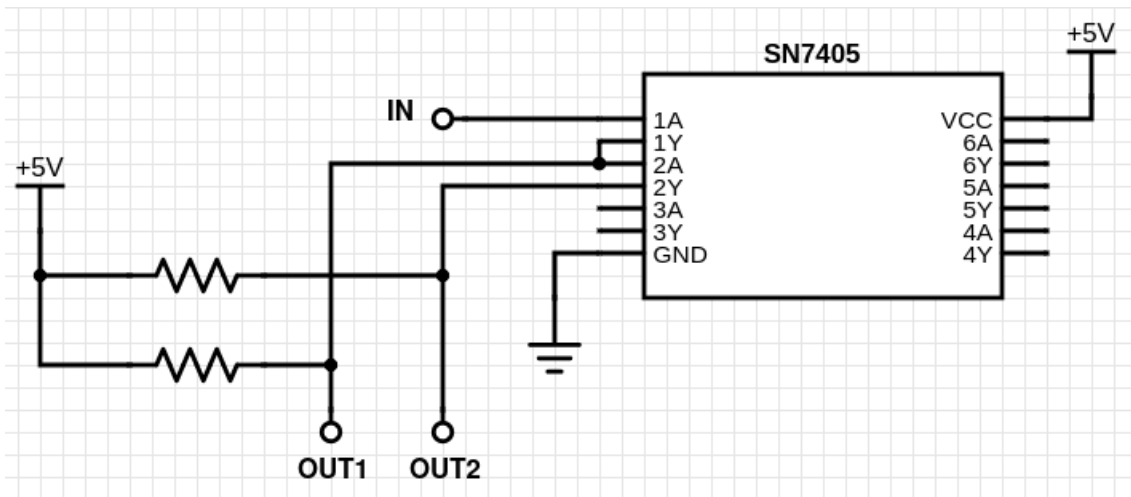


Fig. 55: Implementación puerta NOT

3.3.3. Amplificación de la señal PWM

En esta parte se presenta una limitación: para la construcción del prototipo se cuenta con una fuente de alimentación unipolar. La señal PWM modulada que alterna entre 0V y 5V se amplificará haciendo que alterne entre 0V y Vcc voltios. Posteriormente se filtrará y se eliminará la componente continua mediante un condensador de bloqueo de DC (para que esta no sea introducida en el altavoz, causando un flujo de corriente constante que mermaría la eficiencia del sistema). Se usará un sistema de transistores en *Half Bridge*.

Como *driver* se usará el circuito integrado IR2110 de Infineon [11]. El diagrama funcional del integrado es el siguiente:

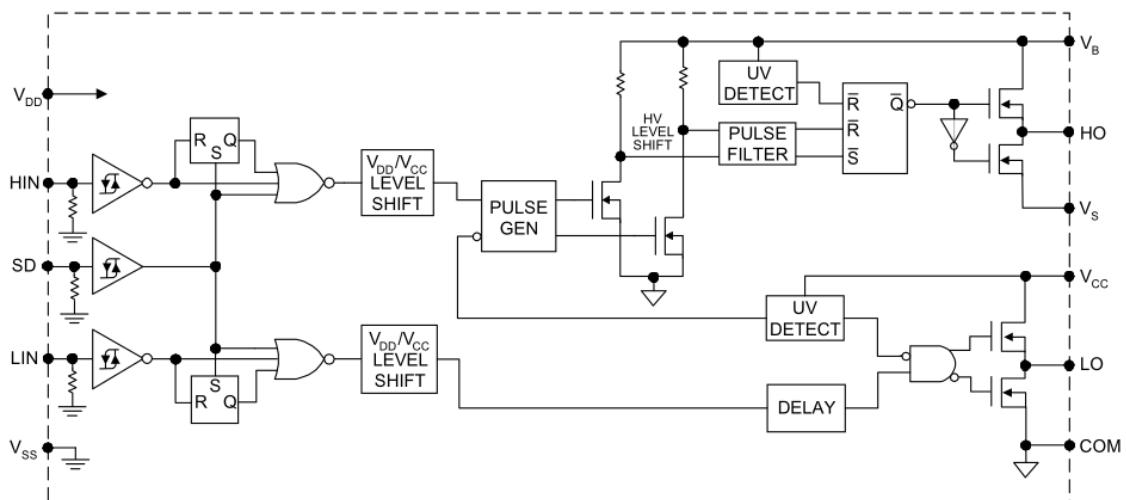


Fig. 56: Diagrama funcional IR2110

Vdd y Vss determinan la tensión positiva y negativa de la señal PWM de entrada, se utilizan como referencia. En nuestro caso son 5V y 0V respectivamente. Hin y Lin son las señales de entrada (señal PWM y señal PWM invertida por la puerta NOT). SD (*shutdown*) es una entrada lógica que permite bloquear las entradas Hin y Lin de forma externa, típicamente se fija a 0V o como salida de un circuito digital de protección.

Para entender el resto de puertos es necesario ver el montaje recomendado por el fabricante.

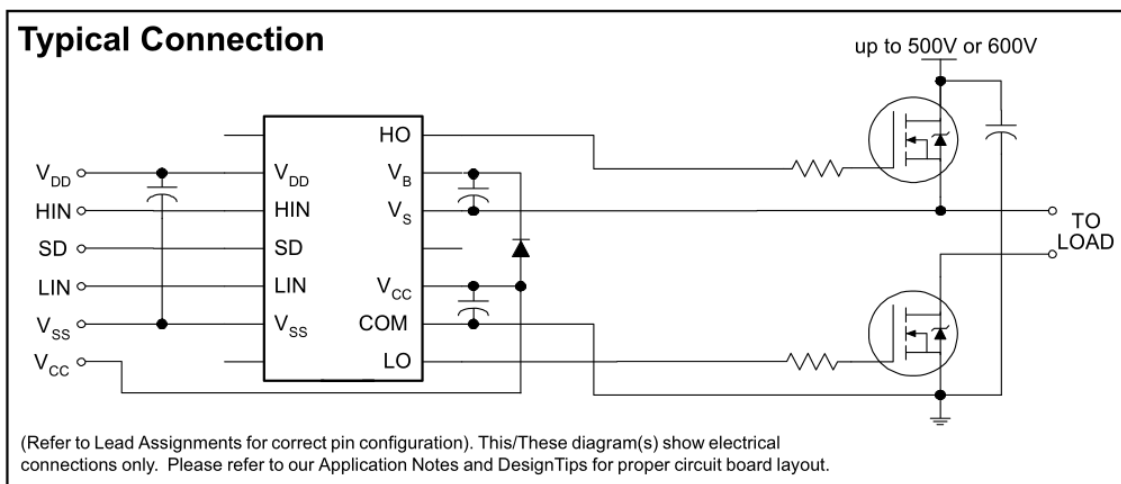


Fig. 57: Montaje recomendado del integrado IR2110

Se ha realizado una simplificación del circuito completo. Es la siguiente:

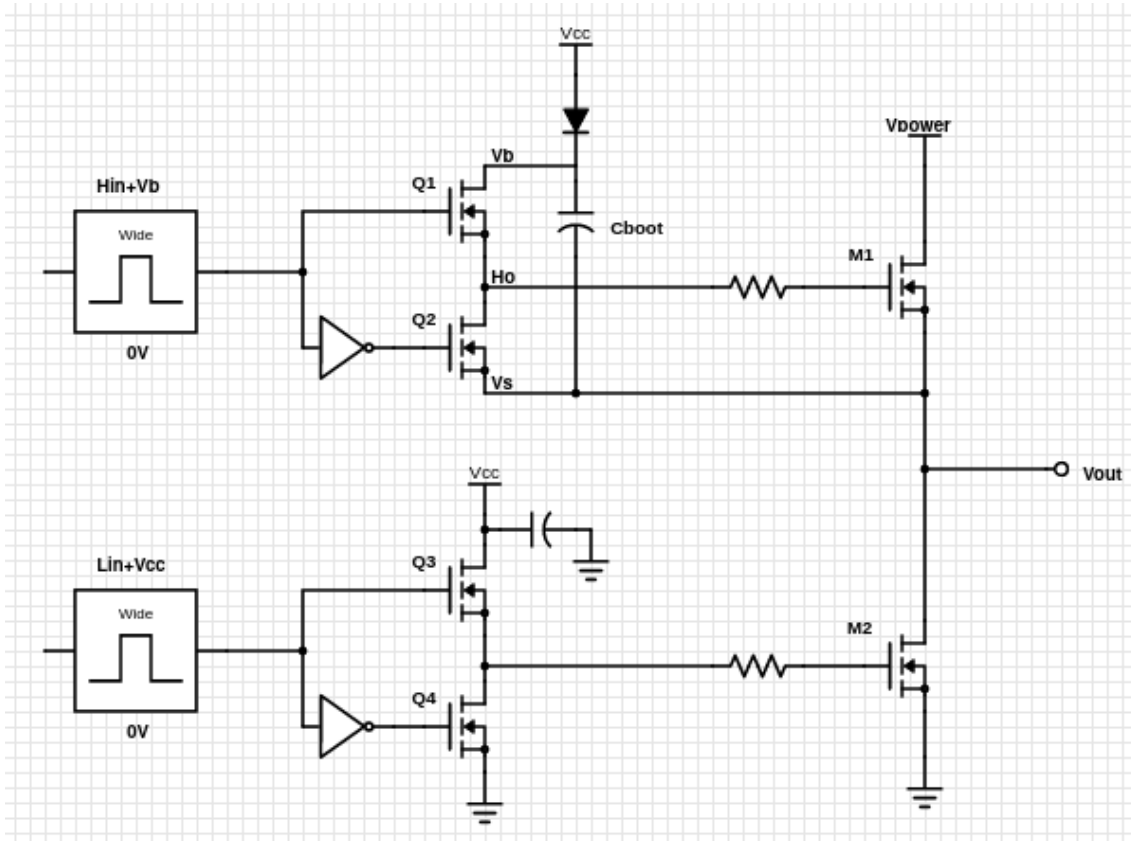


Fig. 58: Circuito *Half Bridge* con *driver*.

Lo primero a saber para entender el funcionamiento es que el integrado añade un *offset* de V_{cc} a las señales Lin y Hin cuando estas son positivas. De esto se encarga el bloque V_{dd}/V_{cc} LEVEL SHIFT.

Comenzaremos analizando la parte inferior, viendo cómo se hace conmutar el MOSFET M2. La señal Lin , tras haber pasado por el bloque LEVEL SHIFT, es una señal cuadrada que alterna entre los valores de tensión $Lin+V_{cc}$ y $0V$. Cuando esta señal vale $Lin+V_{cc}$, entonces el MOSFET Q3 conmuta ya que:

$$V_{gs_{Q3}} = Lin + V_{cc} - V_{cc} = Lin > V_{th}$$

De modo inverso, cuando Lin vale $0V$, entonces conmuta el MOSFET Q4.

Cuando la señal que llega al puerto *gate* del MOSFET M2 es de V_{cc} voltios ($Lin=5V$), tenemos:

$$V_{gs_{M2}} = V_{cc} - 0V = V_{cc} \geq V_{th}$$

Se deduce de este modo que el valor de V_{cc} debe de ser igual o superior a la tensión de *threshold* del MOSFET M2 para que este conmute cuando $Lin=5V$.

Cuando Lin vale $0V$, entonces el mosfet M2 no conmuta.

En resumen: si V_{in} vale 5V, el mosfet M2 conmuta. Si V_{in} vale 0V, el mosfet M2 no conmuta. Podemos fijar la tensión V_{cc} según la tensión de *threshold* del MOSFET que estemos utilizando.

Se analizará ahora el funcionamiento de la parte superior, más compleja. La dificultad radica en el hecho de mantener el estado de conmutación del mosfet M1, ya que al conmutar la tensión que recibe por el puerto source es de V_{power} (hay que asegurar que $V_{gs} \geq V_{th}$).

Lo primero a saber es que la señal de entrada alterna entre 0V y $V_{in} + V_b$. Como veremos, V_b no siempre vale V_{cc} . De asegurar esto se encarga la parte nombrada como HV level shift en la figura 56.

Para analizar este circuito se supondrá que inicialmente el MOSFET M1 está en corte ($V_{in} = 0V$). En dicho caso la tensión V_s será de 0V, V_b valdrá V_{cc} voltios y el condensador C_{boot} se cargará a V_{cc} voltios.

Supongamos que ahora V_{in} cambia su valor a 5V. Se producirá entonces la siguiente secuencia de eventos:

- El MOSFET Q1 conmuta ($V_{gs} = V_{in} + V_b - V_{cc} = V_{in} + V_{cc} - V_{cc} = V_{in}$).
- Sobre el MOSFET M1 se aplica una tensión V_{cc}
- El MOSFET M1 conmuta ($V_{gs} = V_{cc} - 0V = V_{cc}$)
- Sobre el puerto realimentado V_s se aplica una tensión V_{power}
- El condensador C_{boot} , previamente cargado, fija sobre el puerto V_b una tensión de $V_{power} + V_{cc}$. El diodo impide el flujo de corriente hacia la fuente.
- La señal V_{in} alterna ahora entre los niveles 0V y $V_{in} + V_{power} + V_{cc}$
- El MOSFET Q1 mantiene su estado de conmutación ya que $V_{gs} = V_{in} + V_{power} + V_{cc} - V_{power} - V_{cc} = V_{in}$
- Sobre el puerto *gate* del MOSFET M1 se aplica una tensión de $V_{power} + V_{cc}$, permitiendo que este pueda mantener su estado de conmutación ($V_{gs} = V_{power} + V_{cc} - V_{power} = V_{cc}$).

Vemos, pues, que el circuito es capaz de conmutar los MOSFETs M1 y M2 según las señales V_{in} y V_{lin} , y de mantener su estado de conmutación. El integrado también cuenta con bloques de detección de voltaje bajo (UV Detect, UnderVoltage) y de compensación de *delay*. Esto es útil ya que las señales H_{out} y L_{out} deben de estar sincronizadas para minimizar la distorsión por *Dead Time*, como se ha visto en el apartado de fundamentos teóricos. Como el circuito que controla el MOSFET M1 contiene más componentes que el que controla el MOSFET M2, el *delay* añadido será mayor y esto se compensa en el bloque llamado "Delay" en la figura 56.

En la construcción del sistema se usará la implementación recomendada por el fabricante:

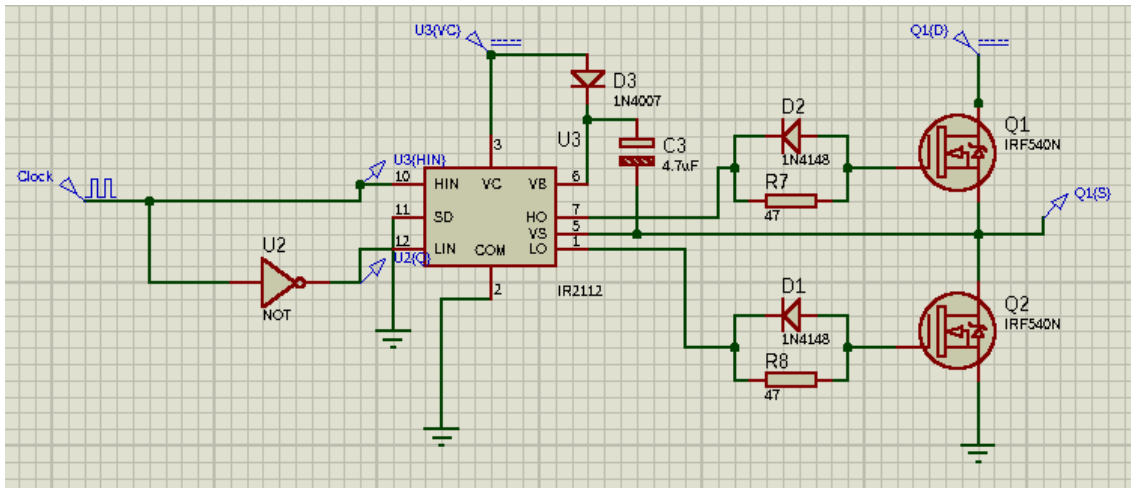


Fig. 59: Circuito *Half Bridge* con *driver*.

Suponiendo que el MOSFET superior está activo, que no se conecta filtro de salida y considerando la impedancia de entrada del puerto Vs como infinita, tenemos el siguiente circuito equivalente:

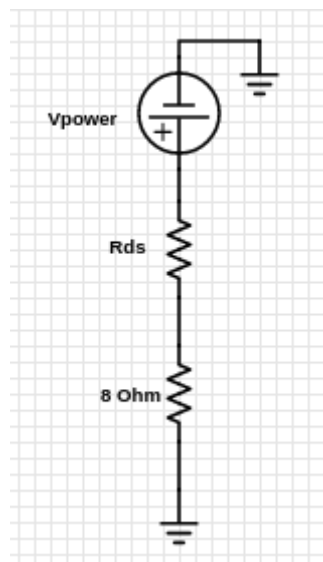


Fig. 60: Circuito equivalente

La resistencia de 8Ω representa un altavoz. Si queremos que al altavoz llegue una señal de 30W (caso máximo), entonces:

$$I = \sqrt{\frac{P}{R}} = \sqrt{\frac{30}{8}} = 1,936$$

Se ha elegido el MOSFET IRF540N [12] teniendo en cuenta esta corriente máxima, de forma que el circuito quede sobredimensionado.

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _{GS(th)}	Gate Threshold Voltage	V _{DS} = V _{GS} I _D = 250 μ A	2	3	4	V
R _{DS(on)}	Static Drain-source On Resistance	V _{GS} = 10V I _D = 15 A		0.05	0.077	Ω
I _{D(on)}	On State Drain Current	V _{DS} > I _{D(on)} x R _{DS(on)max} V _{GS} = 10 V	30			A

Fig. 61: Características IRF540N

Con estas características, podemos calcular el valor que deberá de tomar V_{power} en el caso máximo (fig. 56). Teniendo en cuenta que la señal que llegará al altavoz no será continua sino que alternará entre V_{power}/2 y -V_{power}/2:

$$V_{power}/2 = 1.936(R_{ds}+8) = 1.936(0,077+8) = 15,64 \text{ V}$$

$$V_{power} = 31,28 \text{ V}$$

Para los MOSFET se ha optado por el encapsulado TO-220 para poder acoplar un disipador de calor.

La temperatura que tomará el MOSFET depende de los distintos valores de resistencia térmica, de la potencia que disipa y de la temperatura ambiental:

$$T_J = (R_{JC} + R_{CH} + R_{HA}) \cdot P + T_A$$

Podemos aislar la resistencia térmica del disipador al ambiente (R_{ha}) para determinar el disipador que será necesario utilizar:

$$R_{HA} = \frac{T_J - T_A}{P} - R_{JC} - R_{CH}$$

Las características térmicas del MOSFET son las siguientes:

THERMAL DATA

		TO-220	TO220-FI	
R _{thj-case}	Thermal Resistance Junction-case Max	1	3.33	$^{\circ}\text{C}/\text{W}$
R _{thj-amb}	Thermal Resistance Junction-ambient Max		62.5	$^{\circ}\text{C}/\text{W}$
R _{thc-sink}	Thermal Resistance Case-sink Typ		0.5	$^{\circ}\text{C}/\text{W}$
T _l	Maximum Lead Temperature For Soldering Purpose		300	$^{\circ}\text{C}$

Fig. 62: Características térmicas IRF540N

En nuestro caso, para el encapsulado elegido, la resistencia térmica de la unión al encapsulado (R_{jc}) será de 1 $^{\circ}\text{C}/\text{W}$. Además, se nos especifica que un valor típico de resistencia térmica del encapsulado al disipador (R_{ch}) es de 0.5 $^{\circ}\text{C}/\text{W}$.

Pasamos ahora a calcular la potencia disipada por el MOSFET.

$$P = V_{ds} \cdot I_d$$

Considerando el caso de la figura 60 y el valor de R_{ds} máximo, tenemos que el valor de V_{ds} máximo es:

$$V_{ds} = V_{power} \cdot \frac{0.077}{0.077 + 8} = 31.28 \cdot \frac{0.077}{0.077 + 8} = 0.298V$$

Por tanto:

$$P = 0.298 \cdot 1.936 = 0.577W$$

Si queremos que el MOSFET no pase de los 100 °C (T_j), y considerando una temperatura ambiental de 25 °C:

$$R_{HA} = \frac{100-25}{0.577} - 1 - 0.5 = 128,48 \text{ } ^\circ\text{C/W}$$

El disipador que se elija tendrá que tener una resistencia térmica estrictamente menor que 128,48 °C/W. Con tal de evitar problemas se ha sobredimensionado. El disipador elegido es un ML73/1.5P, con una resistencia térmica de 8 °C/W.

Simulando el sistema podemos comprobar que la señal PWM queda amplificada:

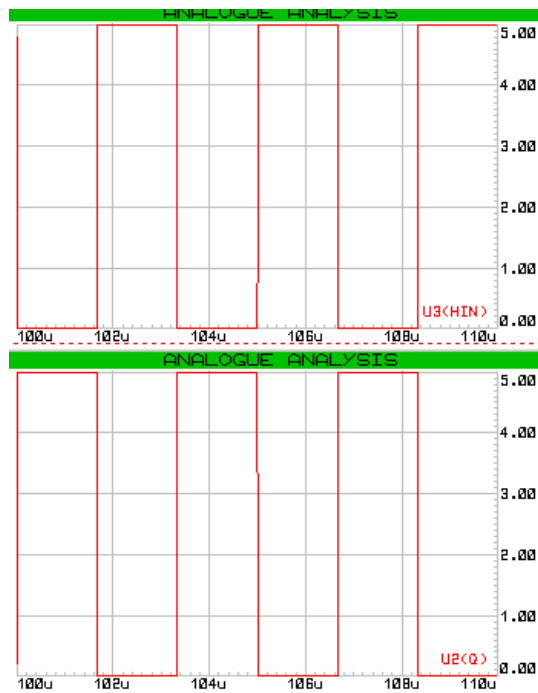


Fig. 63: Señales de entrada Lin y Hin (300kHz)

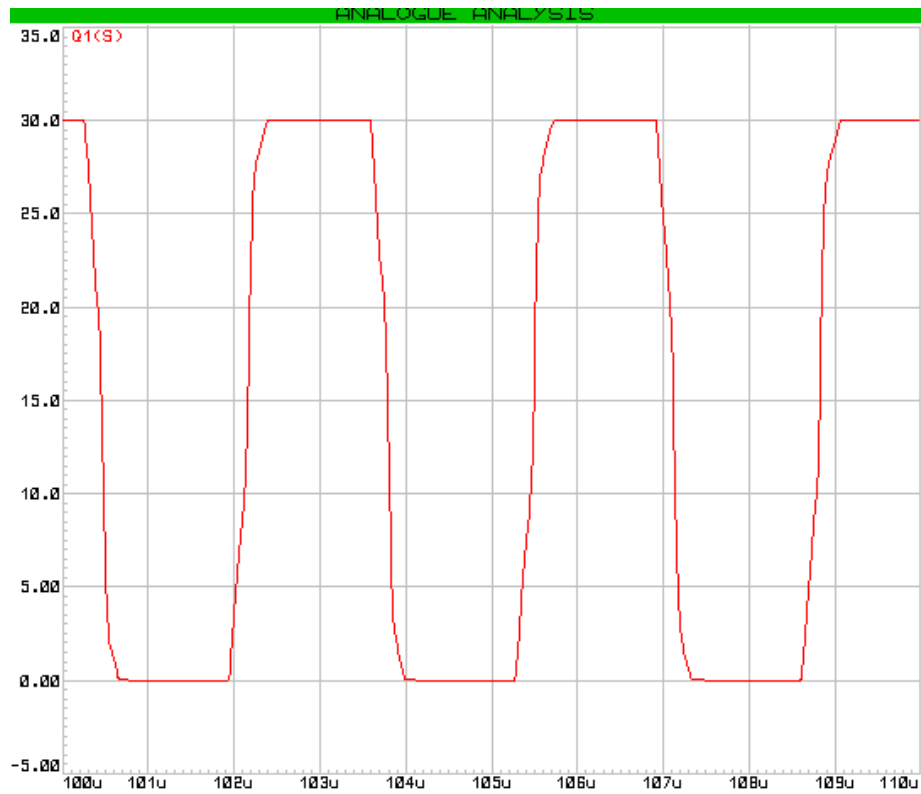


Fig. 64: Señal de salida 300kHz Vpower=30V

Puede apreciarse de forma clara cierta distorsión (*slew rate* limitado y distorsión de cruce). Se observa que esta distorsión se hace menos notable reduciendo la frecuencia de operación:

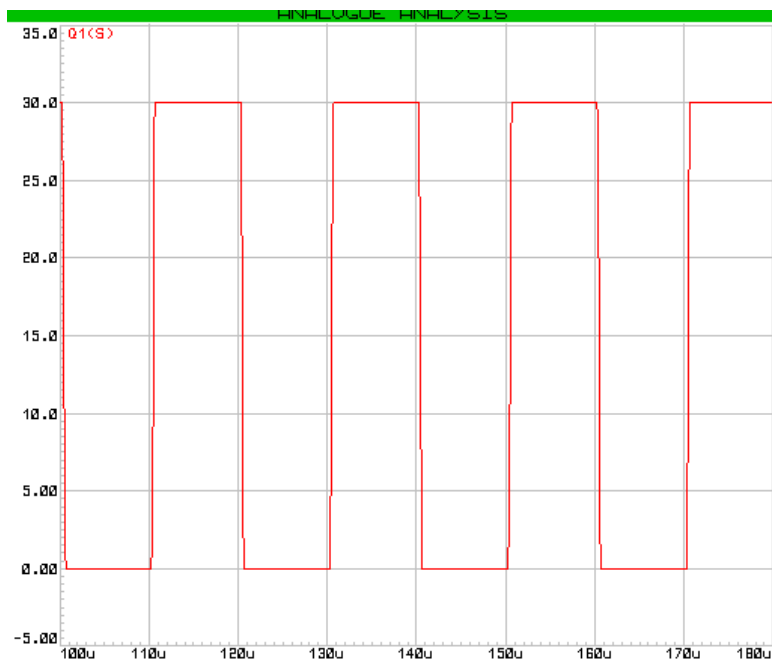


Fig. 65: Señal de salida 50kHz Vpower=30V

Introduciendo una señal PWM modulada, vemos el resultado es la señal modulada amplificada:



Fig. 66: Señal de salida modulada 300kHz Vpower=30V

3.3.4. Demodulador

Como se ha visto, para demodular la señal PWM amplificada es necesario un filtro pasabajo y un condensador que bloquee la componente DC. Globalmente esto puede verse como un filtro pasobanda de 20Hz a 20kHz.

Comenzaremos diseñando el filtro paso-bajo. Se usará un filtro LC con frecuencia de corte de 20kHz.

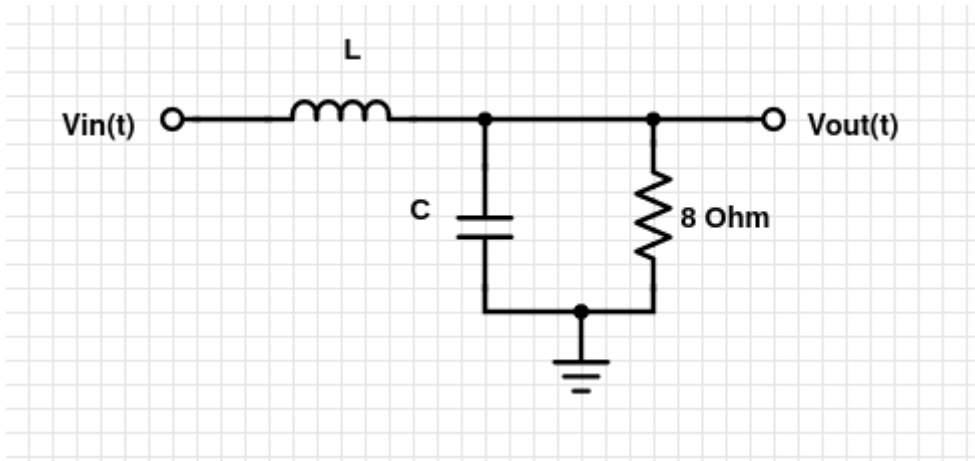


Fig. 67: Filtro LC con carga resistiva de 8 Ω

Aplicando la transformada de Laplace al circuito, obtenemos lo siguiente:

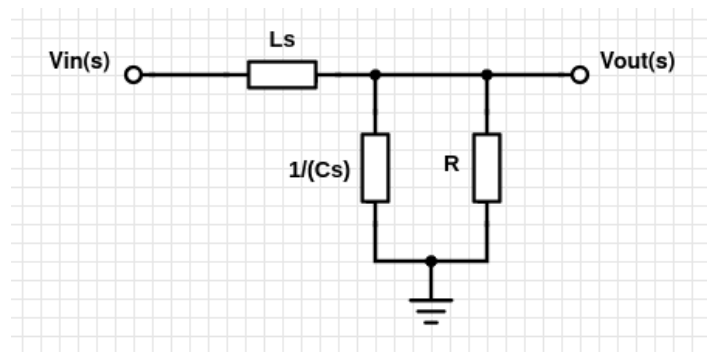


Fig. 68: Filtro LC en el dominio de Laplace

Haciendo el paralelo del condensador y de la resistencia y resolviendo el divisor de tensión resultante se llega a la siguiente expresión:

$$V_{out} = V_{in} \cdot \frac{1/LC}{s^2 + \frac{1}{RC}s + \frac{1}{LC}}$$

La función de transferencia se corresponde con la de un sistema de orden 2:

$$H(s) = \frac{V_{out}}{V_{in}} = \frac{1/LC}{s^2 + \frac{1}{RC}s + \frac{1}{LC}} = \frac{w_n^2}{s^2 + 2w_n\zeta s + w_n^2}$$

La frecuencia natural del sistema será:

$$w_n = \frac{1}{2\pi\sqrt{LC}}$$

El coeficiente de amortiguamiento será:

$$\zeta = \frac{\pi\sqrt{LC}}{RC}$$

Se han probado distintos valores de bobinas y condensadores comerciales, se ha elegido usar una bobina de 22uH y un condensador de 4.7uF. Con estos valores, la respuesta frecuencial del filtro es la siguiente:

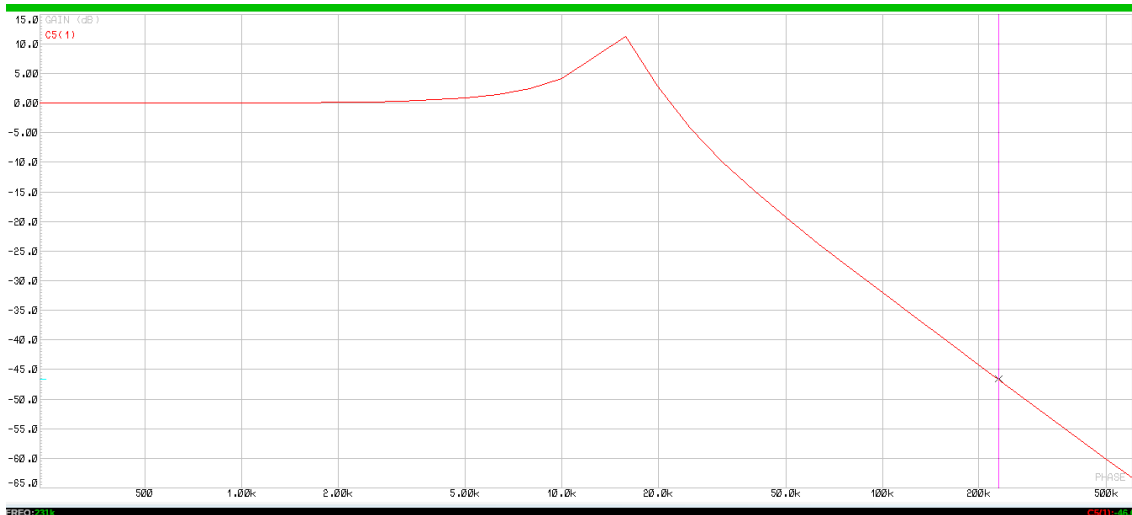


Fig. 69: Respuesta frecuencial filtro demodulador

De este resultado cabe destacar dos cosas:

- Se trata de un sistema subamortiguado ($\zeta=0.85$). Esto hace que exista un pico de ganancia a la frecuencia fundamental (15.65kHz). Este pico será compensado en la ecualización global del sistema.
- En la figura 51 se ha visto que el primer espurio destacable se encuentra a 230kHz. A dicha frecuencia, el filtro produce una atenuación de 46.6dB.

Aplicando el filtro al circuito amplificador nos queda lo siguiente:

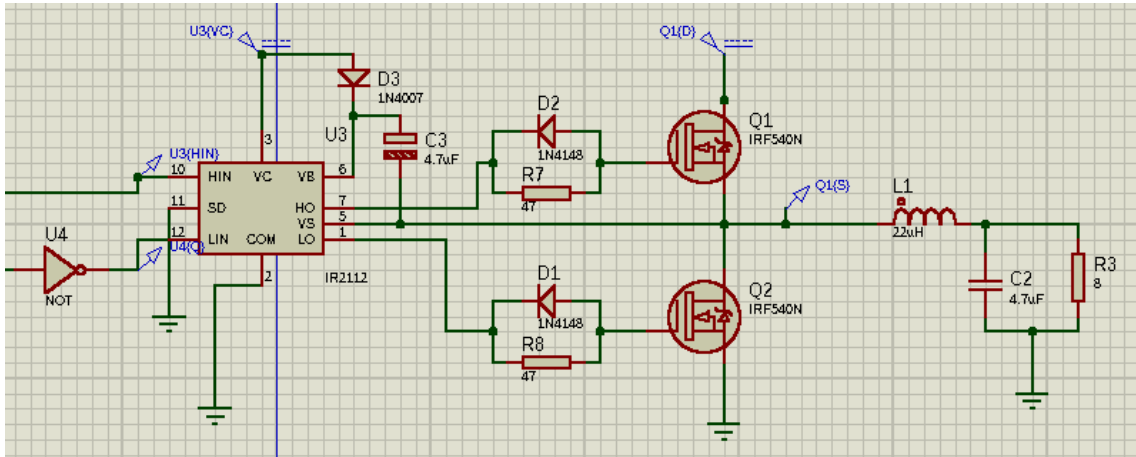


Fig. 70: Circuito amplificador con filtro

Es posible ahora simular conjuntamente el modulador, la puerta NOT y la etapa de potencia, teniendo una simulación global del amplificador de clase D. El resultado es el siguiente:

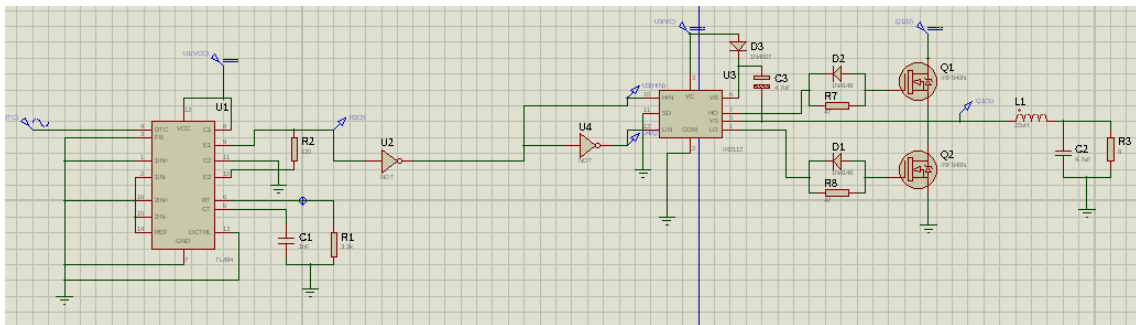


Fig. 71: Circuito amplificador con filtro

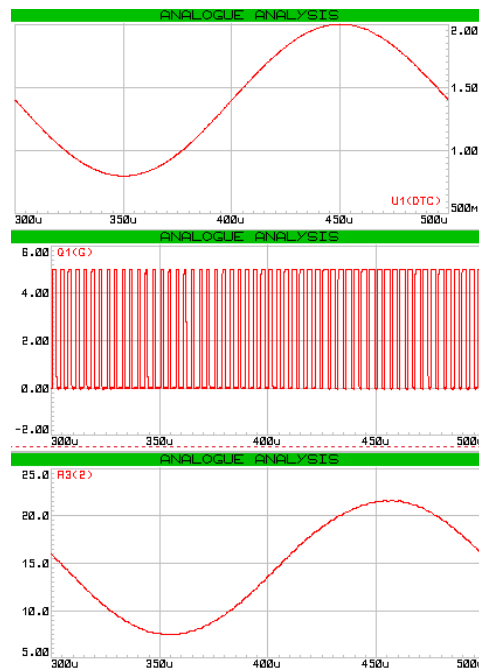


Fig. 72: Señal de entrada, señal PWM y señal de salida (sin bloqueo de DC)

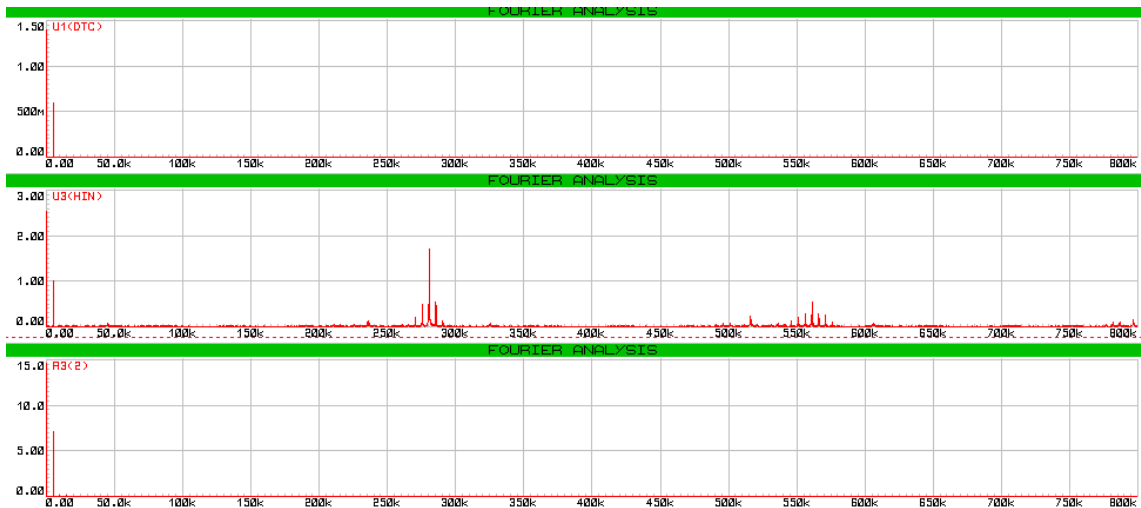


Fig. 73: Espectro de las señales: entrada, PWM y salida. “Y” lineal

Vemos que la señal de salida tiene un pequeño rizado. Este rizado es el primer armónico de la señal PWM, atenuado. Esto es más apreciable si representamos el espectro con la amplitud en dB:

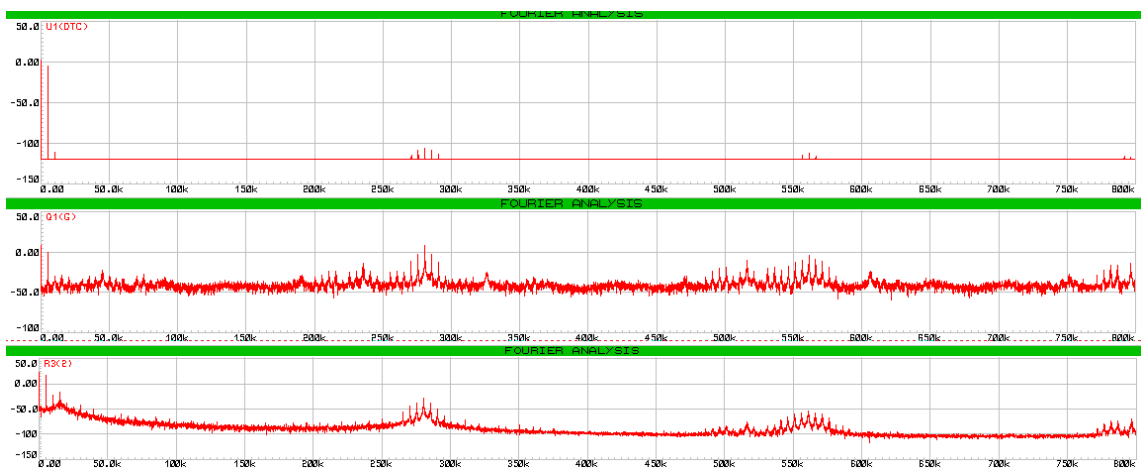


Fig. 74: Espectro de las señales: entrada, PWM y salida. “Y” en dB

Se aprecian varios fenómenos interesantes:

- El puerto de entrada del modulador no está completamente aislado del puerto de salida, pueden verse a la entrada los armónicos de la señal PWM con una amplitud muy reducida.
- En la señal de salida puede apreciarse que existen armónicos de la fundamental (múltiplos de 5kHz). El segundo de estos armónicos (15kHz) queda aproximadamente 35 dB por debajo de la fundamental. Este fenómeno es causado por la no linealidad de la etapa de potencia ya que no está presente a la salida del modulador. Además, el pico de ganancia del filtro demodulador amplifica este segundo armónico, empeorando la situación.

- El primer armónico de la señal PWM, tras el filtro, queda aproximadamente 45 dB por debajo de la fundamental. Cabe destacar que el primer armónico de la señal PWM no es audible y quedará completamente filtrado por el altavoz, por lo que no resulta especialmente problemático.

La imperfección principal son los armónicos de la fundamental generados por la no linealidad de la etapa de potencia. Esta no linealidad puede corregirse mediante predistorsión digital en el microcontrolador.

Representando el espectro solamente en la banda audible:



Fig. 75: Espectro audible, señal de entrada (superior) y de salida (inferior)

Se puede apreciar que en la señal de salida existe una componente continua (0Hz). Se añadirá un condensador de alta capacitancia (100uF) para bloquear dicha componente. Además, se ve el pico de ganancia del filtro en las frecuencias altas. El diseño final del filtro es el siguiente:

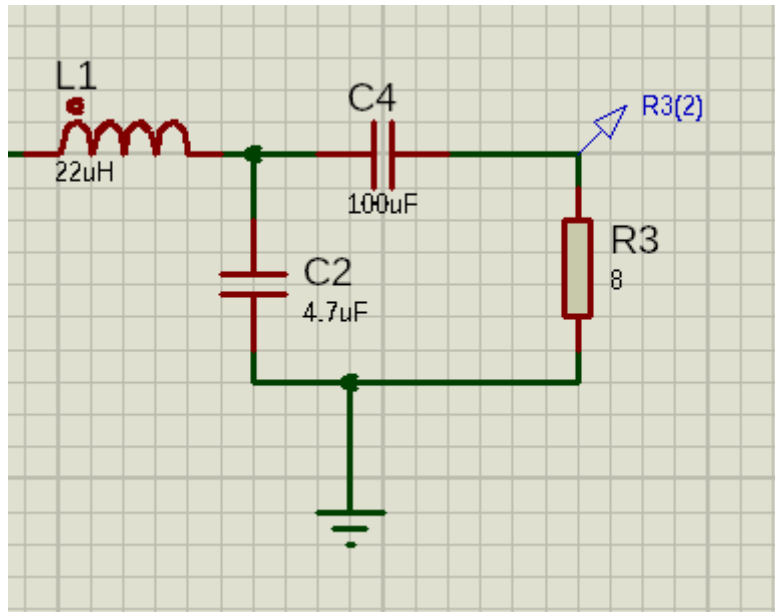


Fig. 76: Diseño final de la etapa de potencia y el filtro

La respuesta en frecuencia resultante del filtro es la siguiente:

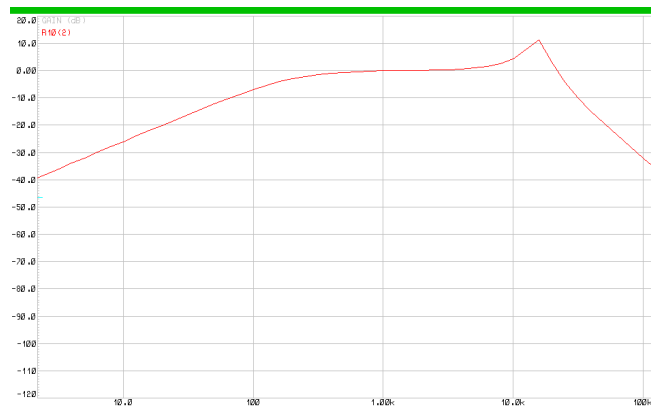


Fig. 77: Respuesta en frecuencia filtro demodulador

Las imperfecciones generadas por el filtro tanto en las frecuencias bajas (20Hz-100Hz) como en las altas (10kHz-20kHz) serán corregidas en la equalización global del sistema.

4. CONSTRUCCIÓN DEL SISTEMA

A continuación se mostrará, con fotografías, el montaje del sistema diseñado en el apartado anterior. Por practicidad el montaje se ha realizado sobre placas protoboard.

4.1. Microcontrolador

De todo el rango de placas de desarrollo que incorporan el microcontrolador ESP32, se ha usado la NodeMCU ESP32s.

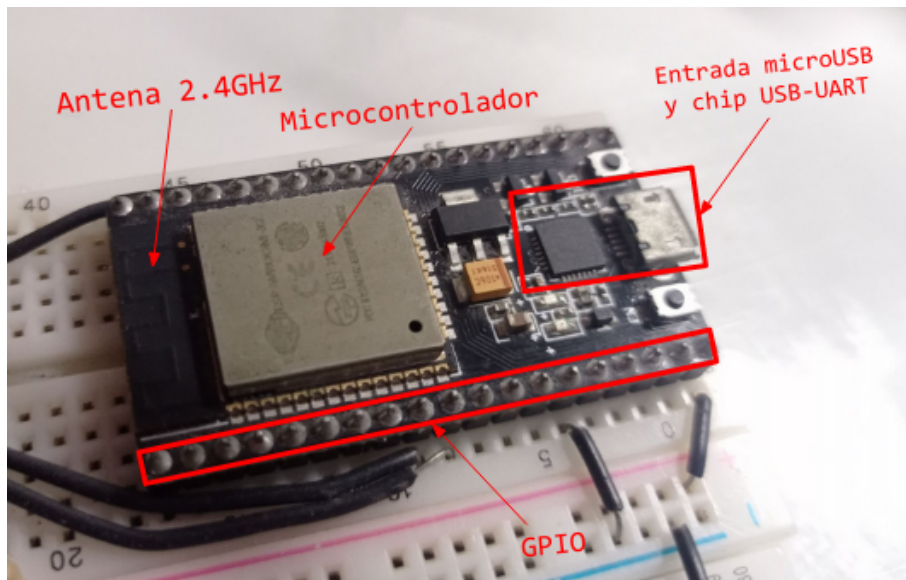


Fig. 78: Placa de desarrollo NodeMCU ESP32s

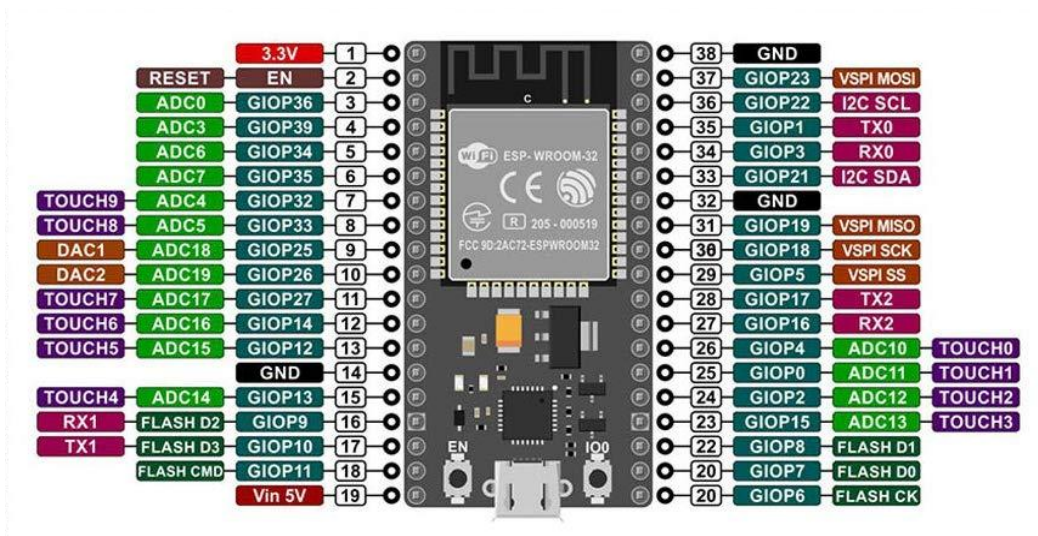


Fig. 79: Pinout NodeMCU ESP32s

Se ha programado mediante el IDE de Arduino usando la librería ESP32-A2DP [13]. Esta librería permite de forma fácil desplegar un nodo Bluetooth A2DP. Además, es posible utilizar una función de *callback* para procesar las muestras de audio.

Es posible de esta forma conectar un dispositivo Bluetooth y transmitir muestras de audio.



Fig. 80: Conexión Bluetooth establecida con códec SBC

Para la salida I2S se han usado los pines GPIO22 (LRCLK), GPIO25 (DATA) y GPIO26 (BCK). Se han medido las distintas señales con un osciloscopio Hantek 6022BE.

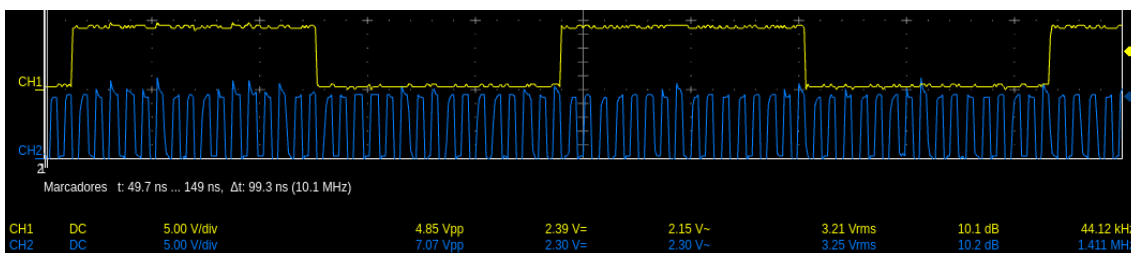


Fig. 81: Señal LRCLK y BCK

Al estar transmitiendo muestras de audio de 32 bits, por cada periodo de la señal LRCLK (indica final de muestra) existen 32 periodos de la señal BCK (indica instante de muestreo de cada bit).

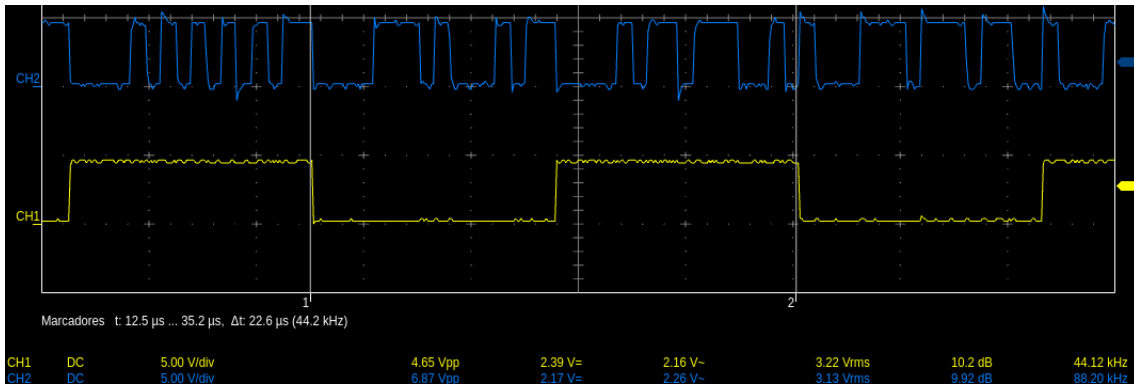


Fig. 82: Señal LRCLK y DATA

En la figura 82 se puede observar una transmisión I2S en curso, el muestreo se realiza en el flanco ascendente de la señal BCK vista en la figura 81. Al ser audio estéreo, se transmiten las muestras de cada canal alternativamente.

4.2. Conversor D/A

Se ha usado una placa Audiophonics PCM5102.

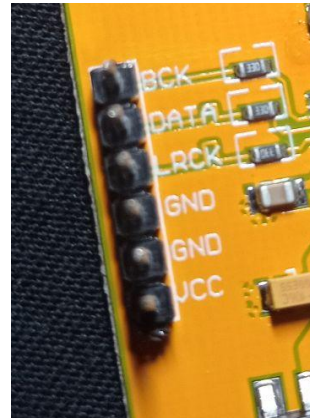
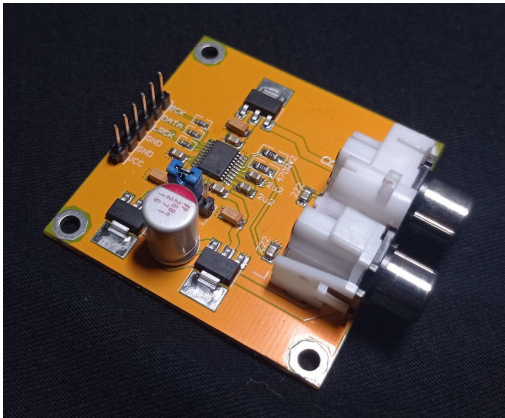


Fig.83: Placa Audiophonics PCM5102

La placa viene preparada para trabajar directamente con las señales I2S de salida del microcontrolador. Cuenta con dos salidas RCA, de las cuales se ha usado solamente una. Se ha usado un cable RCA externo con tal de poder reutilizar la placa en un futuro.

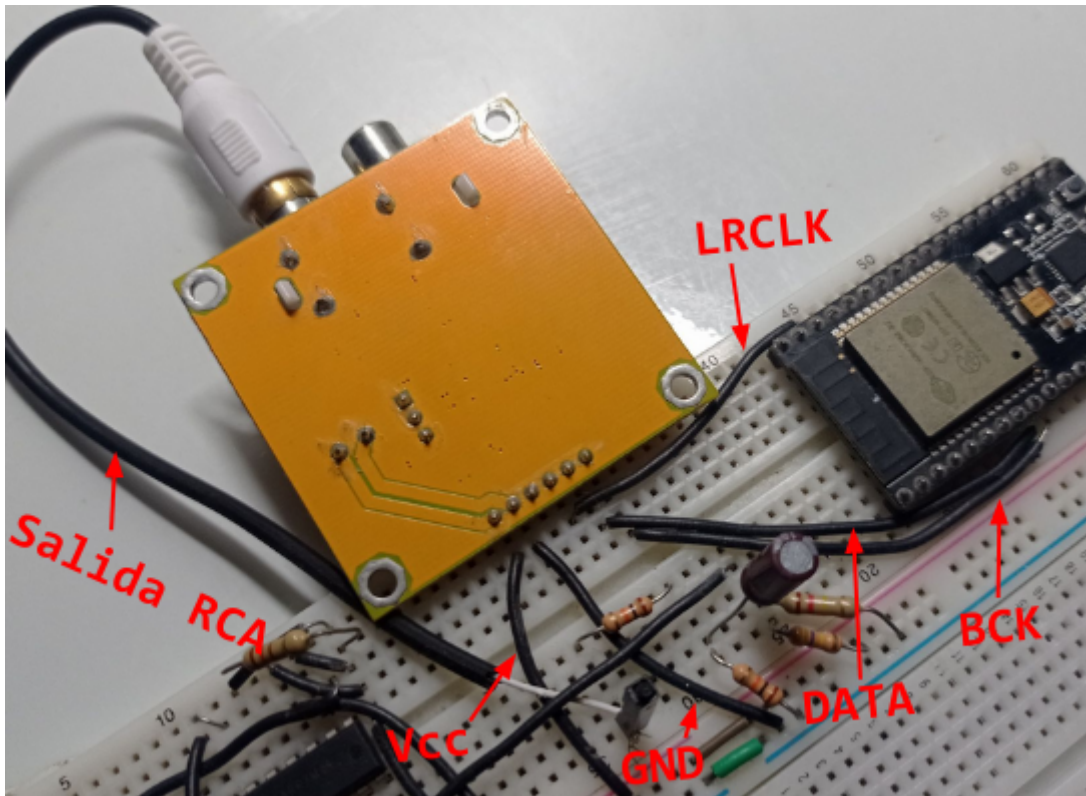


Fig. 84: Conexión microcontrolador - DAC

4.3. Adaptación DAC - Modulador

Es necesario adaptar el nivel de tensión de salida del DAC al nivel de tensión de entrada del modulador PWM. Se ha medido que la señal de entrada del modulador debe de estar comprendida entre 0 V (*duty cycle* del 0%) y 2V (*duty cycle* del 100%). En el apartado 4.4.1 se mostrará en detalle el funcionamiento del modulador.

Por otro lado, la mayor amplitud de salida del DAC que se ha conseguido medir es de 2V:

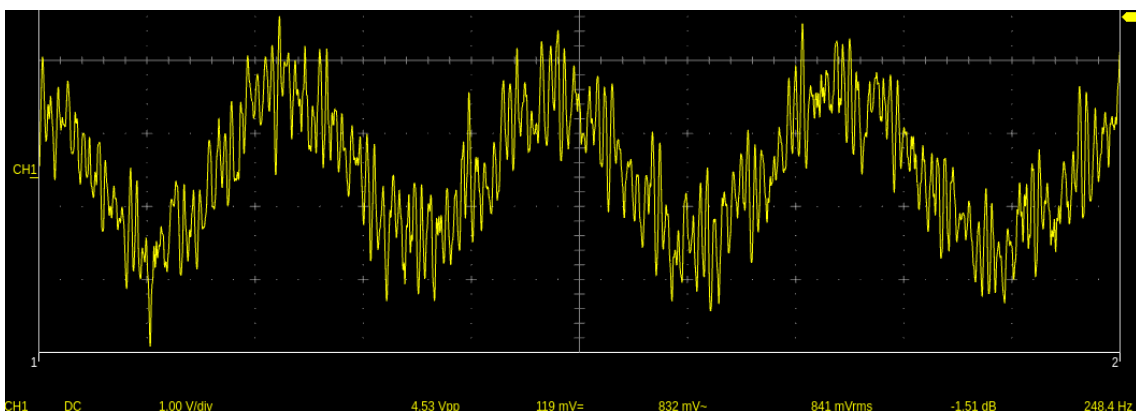


Fig. 85: Máxima amplitud medida

El objetivo es adaptar la señal de salida (entre -2V y 2V) a la entrada del modulador (entre 0 V y 2 V). Se ha utilizado el circuito de la figura 52 con los siguiente valores de resistencias y condensador:

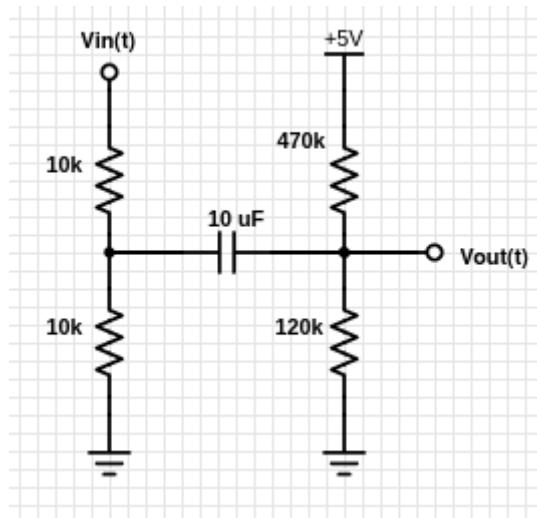


Fig. 86: Circuito de adaptación DAC - Modulador

El divisor de tensión de la izquierda está atenuando la señal de entrada, dejándola a la mitad de amplitud (entre -1V y 1V). El divisor de tensión de la derecha añade un *offset* a la señal de salida de $5 \cdot 120 / (470 + 120) = 1,017V$. Por tanto, la señal de salida queda comprendida entre 0.017 y 2.017V. A nivel teórico existe un error absoluto de tan solo 17 mV. A nivel de implementación este error será distinto debido a la falta de precisión en las medidas y a las tolerancias de los componentes

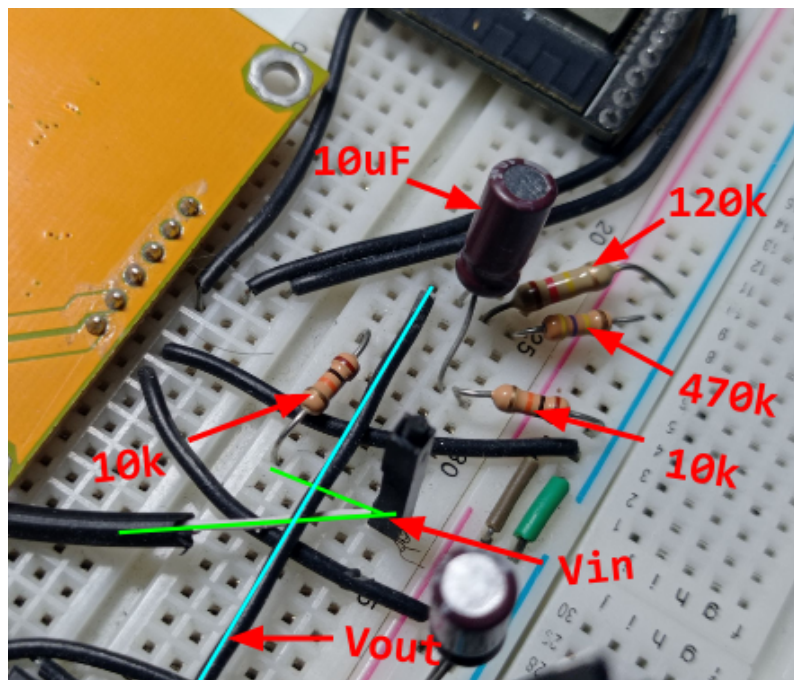


Fig. 87: Circuito de adaptación DAC - Modulador

Si se introduce en el circuito una señal sinusoidal de 100Hz ocupando el fondo de escala completo del DAC, el resultado es el siguiente:

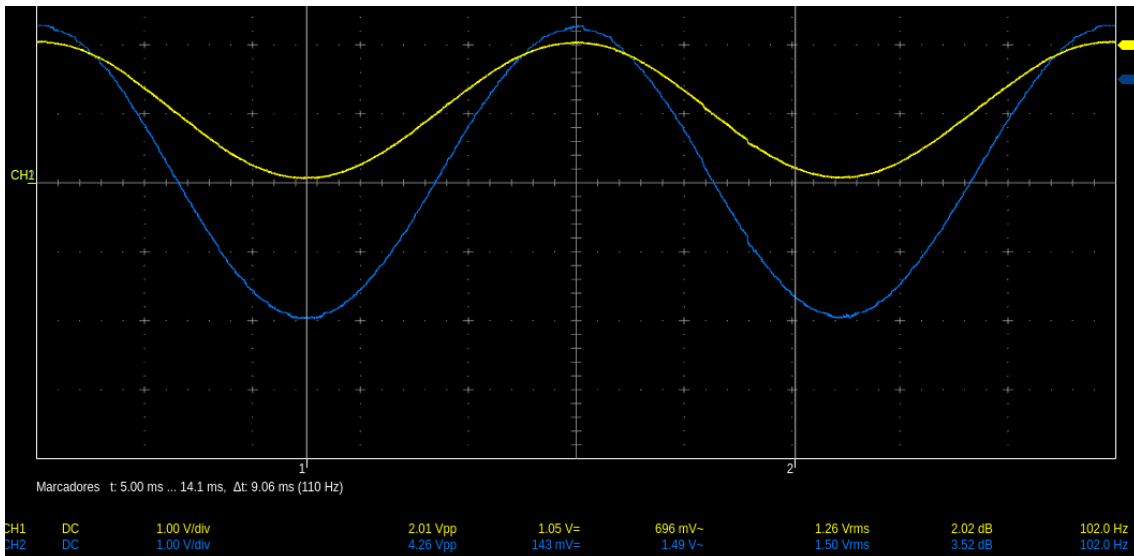


Fig. 88: Señal de entrada (azul) y señal de salida (amarillo)

La señal de salida es una senoide de 2 Vpp de amplitud y 1,05V de *offset*. El error real es por tanto de 50mV. Se mantienen estos valores al no conseguirse un error menor con resistencias y condensadores comerciales.

4.4. Amplificador

4.4.1. Modulador PWM

Para el montaje del modulador se ha usado el chip TL494 siguiendo el esquema de la figura 46.

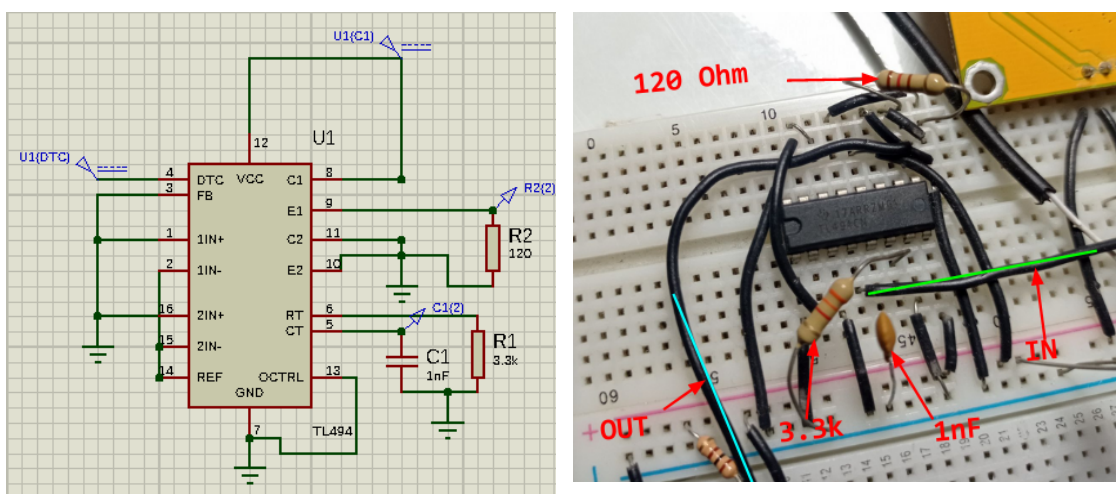


Fig. 89: Modulador PWM

Es posible medir la señal triangular que se utiliza en el comparador interno. Es la siguiente:

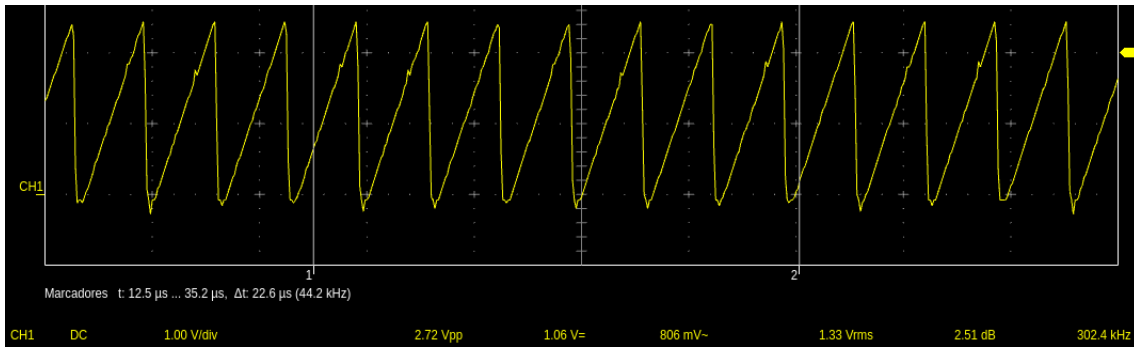


Fig. 90: Señal triangular

La frecuencia de esta señal determina la frecuencia de la señal PWM resultante. Se ha medido una frecuencia de 302,4 kHz.

Introduciendo un tono en el modulador, tenemos lo siguiente:

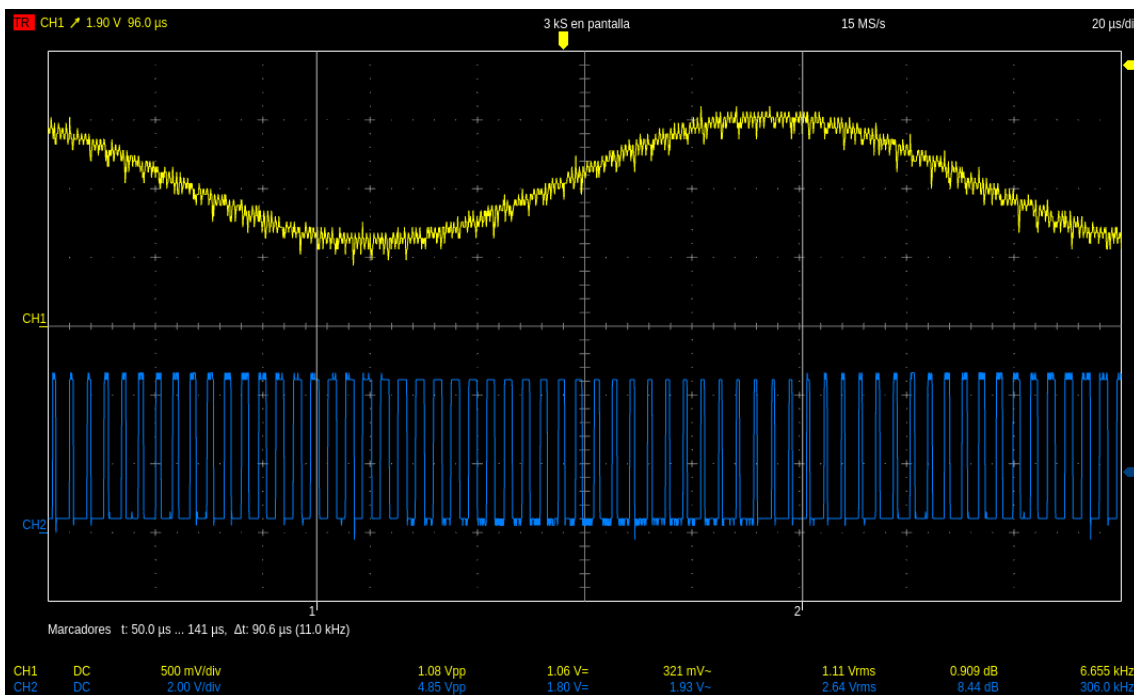
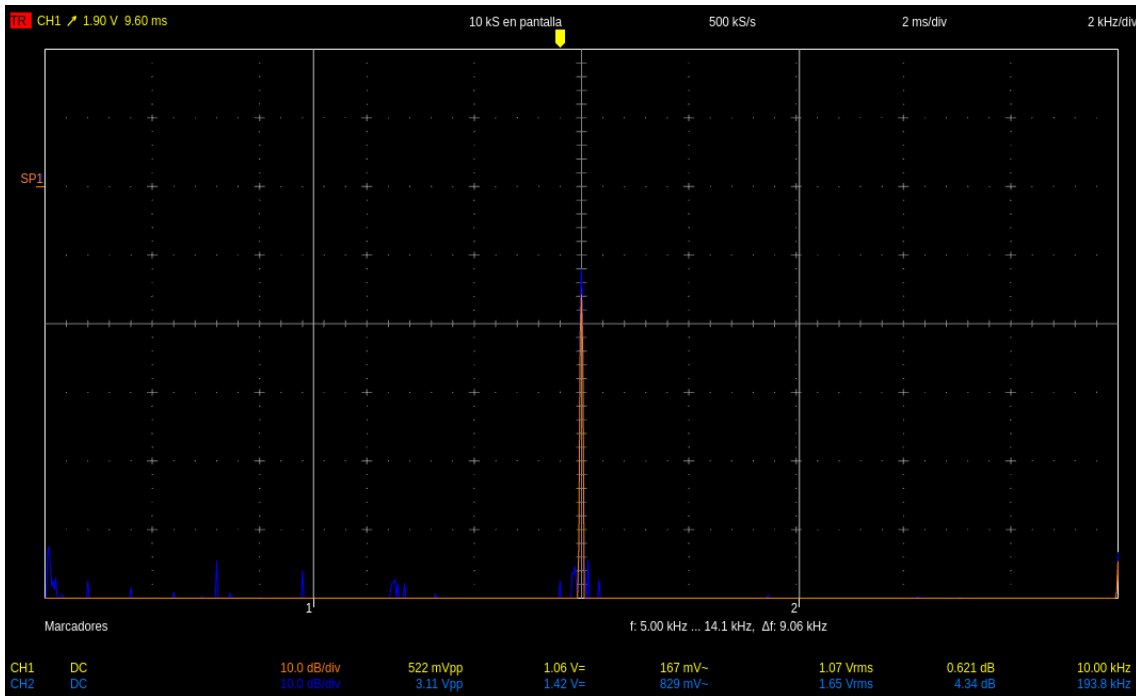


Fig. 91: Señal de entrada (amarillo) y señal de salida (azul)

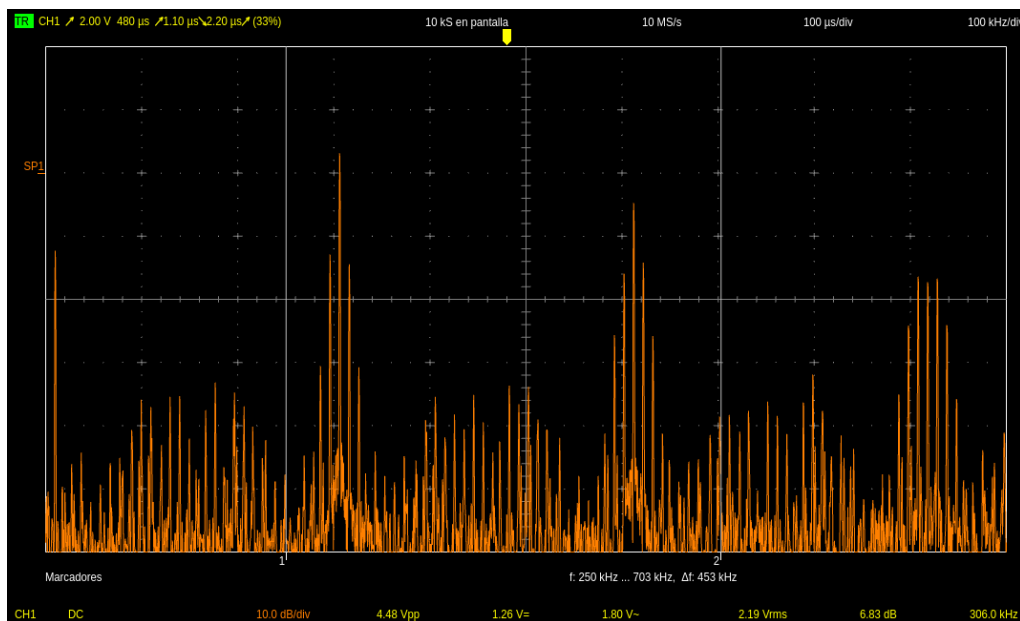
Puede apreciarse que el *duty cycle* de la señal de salida es inversamente proporcional a la amplitud de la señal de entrada. Se hace necesario añadir una puerta NOT para corregir esto, como se ha expuesto en el apartado de diseño del circuito.

Se ha medido el espectro de ambas señales en el rango de frecuencias audible (20Hz-20kHz) al introducir un tono de 10kHz:



Como se puede apreciar, en la señal modulada existen espúreos que quedan aproximadamente 50dB por debajo de la fundamental.

Midiendo el espectro de la señal modulada en un rango de frecuencias más amplio, obtenemos lo siguiente:



Existen repeticiones de la señal moduladora cada aproximadamente 300 kHz, como se ha visto en el apartado de fundamentos teóricos. Sin embargo, en frecuencias menores existen otros espurios que idealmente también tendrán que ser filtrados.

4.4.2. Puerta NOT

Se ha implementado el circuito de la figura 55. Se han probado distintos valores para la resistencia y el máximo valor que proporciona una salida de 5V sin distorsión es de 220 Ω .

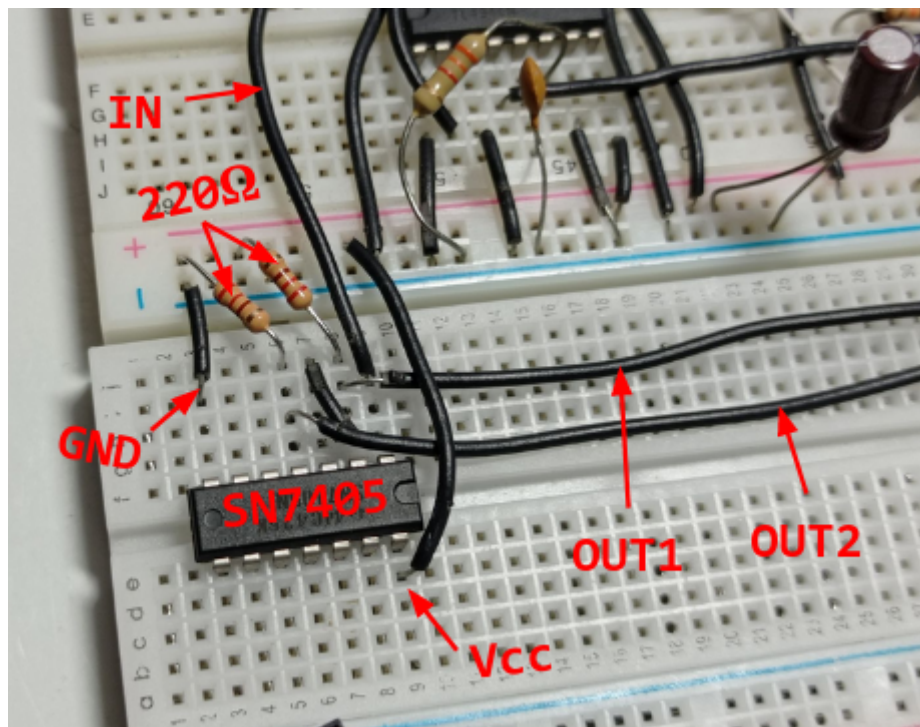


Fig. 94: Puerta NOT

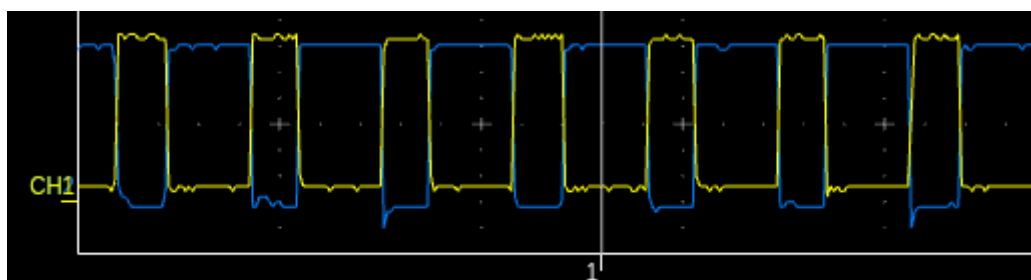


Fig. 95: Señales OUT1 (azul) y OUT2 (amarillo)

4.4.3. Etapa de potencia

Se ha implementado el circuito de la figura 59.

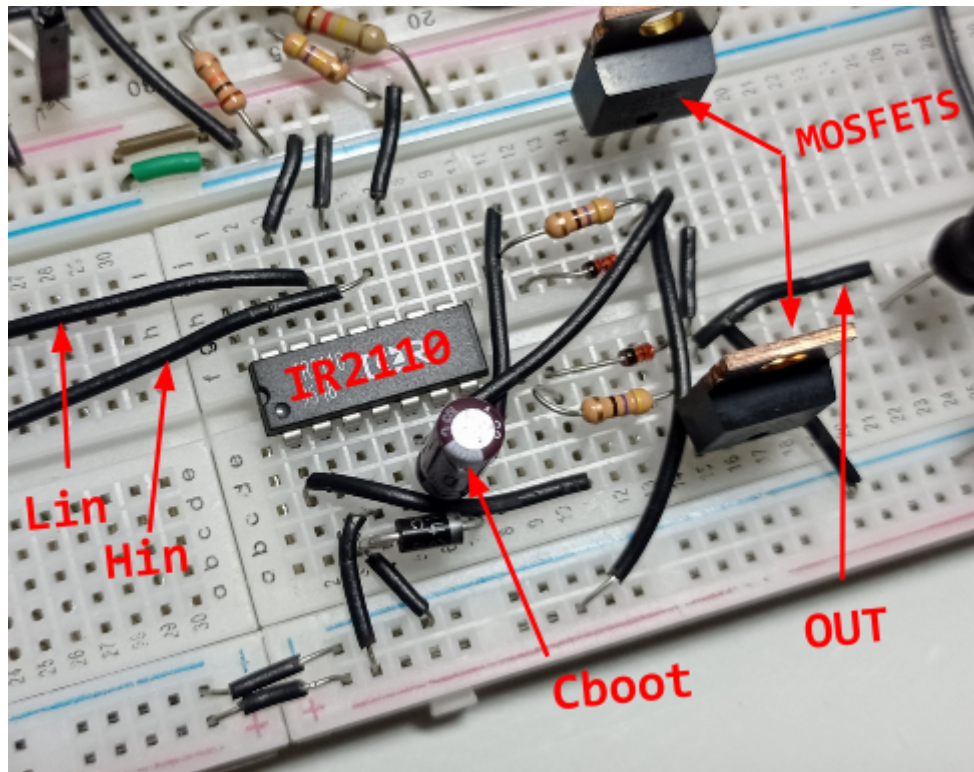


Fig. 96: Etapa de amplificación

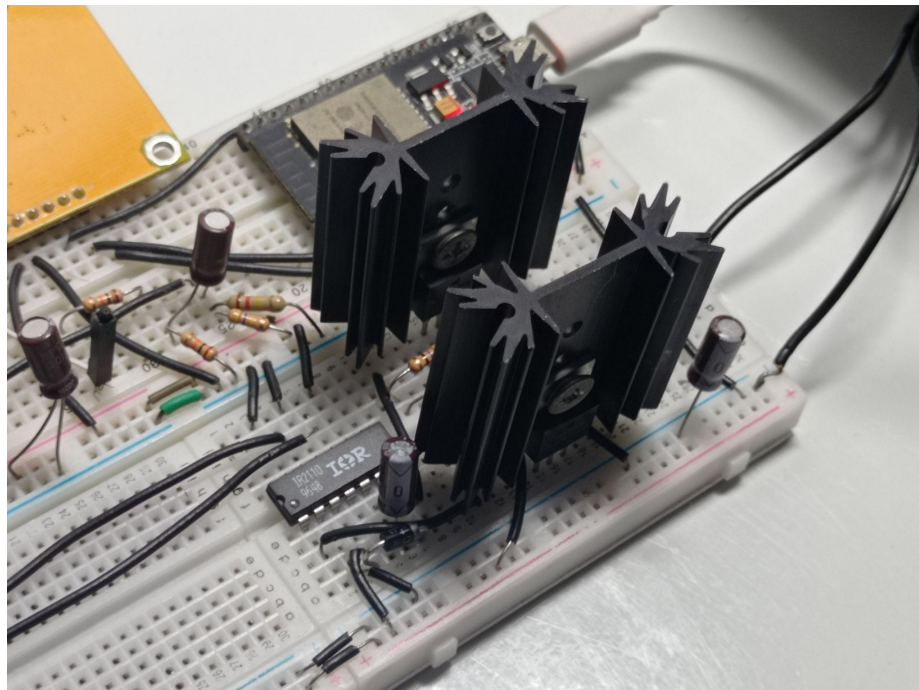


Fig. 97: Etapa de potencia con disipadores de calor

Se ha visualizado la señal de salida, pudiendo compararse con la entrada Hin:

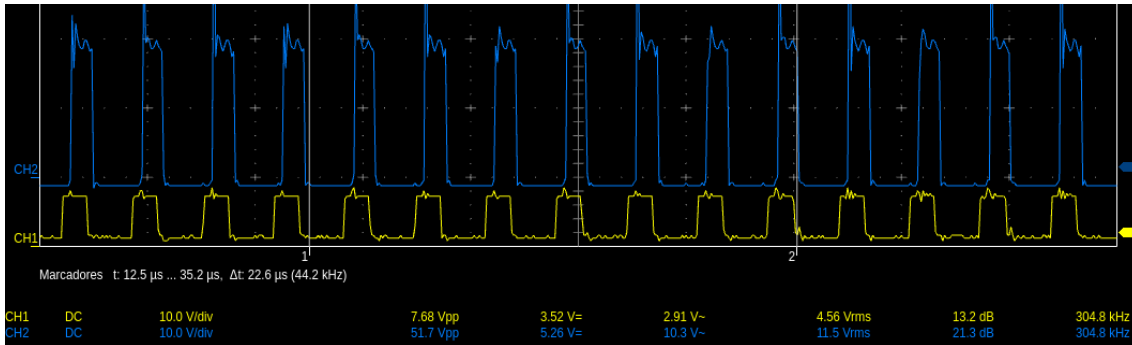


Fig. 98: Señal de entrada Hin (amarillo) y señal de salida (azul). 10V/div

Se ha visualizado el espectro de la señal de salida mientras se reproduce un tono de 10kHz. Se pueden observar los alias cada 300kHz:

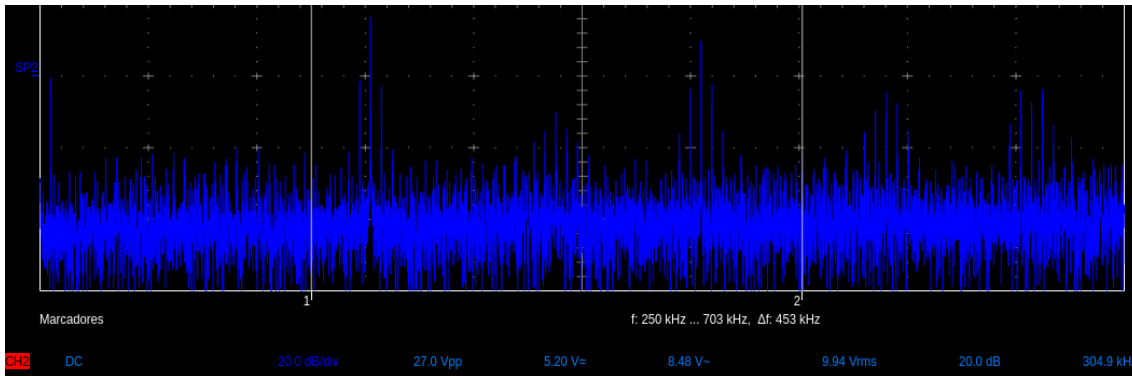


Fig. 99: Espectro señal de salida 20 dB/div

Espectro en el rango de frecuencias audible mientras se reproduce un tono de 10kHz:

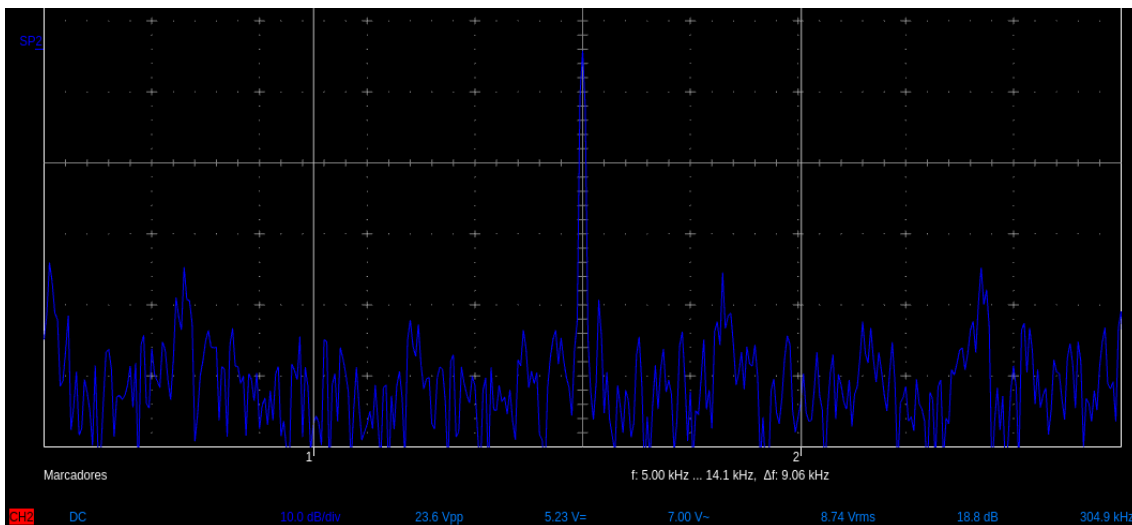


Fig. 100: Espectro señal de salida 10 dB/div

4.4.4. Filtro

Se ha implementado el filtro de la figura 76.

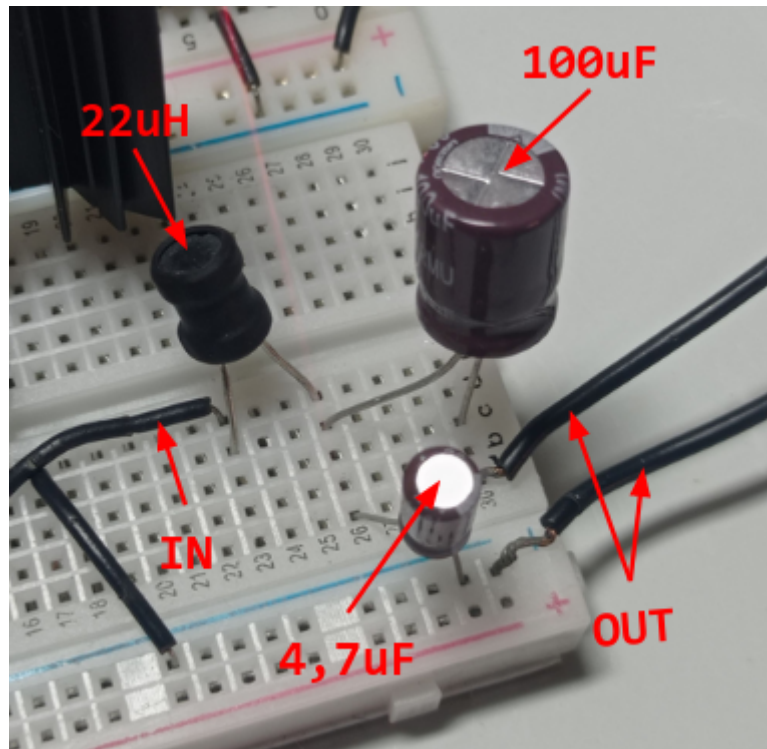


Fig. 101: Filtro demodulador

Se ha realizado una primera prueba preliminar del funcionamiento del amplificador en su conjunto. Se ha conectado un *smartphone* al microcontrolador vía Bluetooth y se ha reproducido un tono de 500Hz. A la salida del filtro (entrada del altavoz) se ha medido la siguiente señal:

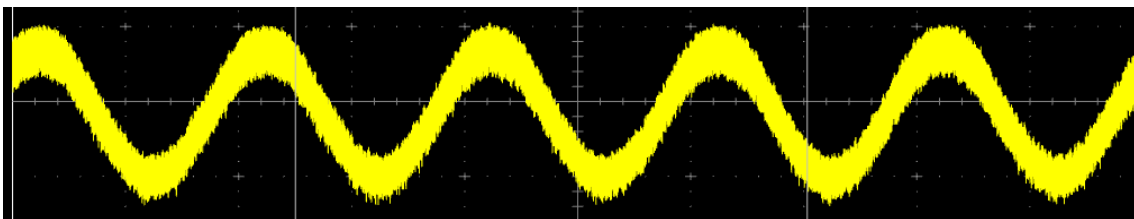


Fig. 102: Salida, reproducción de un tono de 500 Hz 5V/div

Se observa que, al ser la atenuación del filtro finita, existen remanentes a la frecuencia de la señal PWM.

4.5. Ecuación

Mediante la reproducción de un barrido de frecuencias, se ha anotado la amplitud de salida para cada frecuencia. Se han tomado en total 46 muestras. La respuesta resultante es la siguiente:

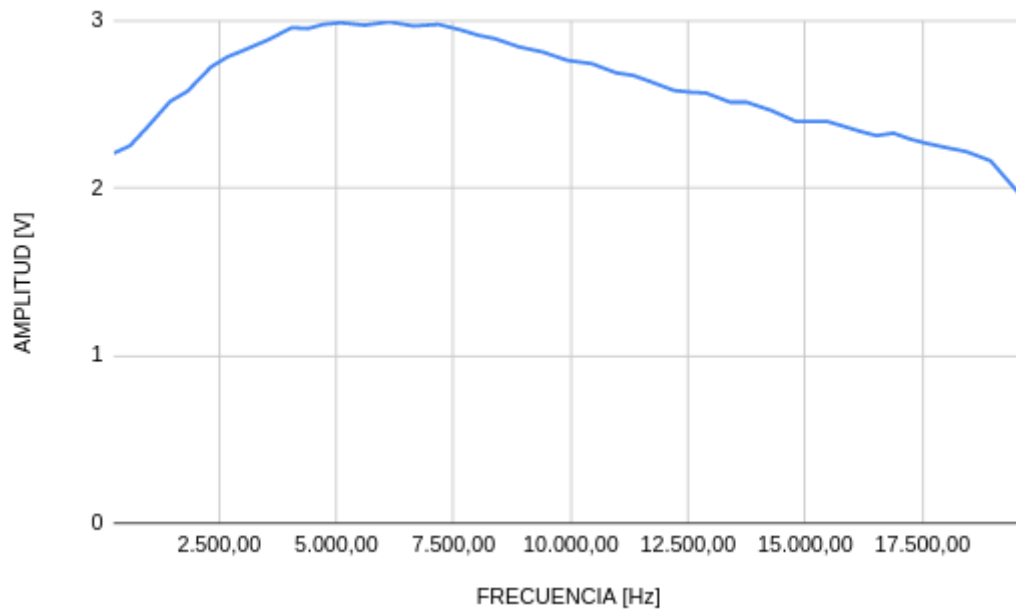


Fig. 103: Amplitud vs frecuencia ($V_{cc}=15V$)

Los puntos se han interpolado linealmente usando Matlab para obtener una aproximación de los valores intermedios. Invertiendo la respuesta en frecuencia normalizada del amplificador se ha obtenido la respuesta del filtro ecualizador:

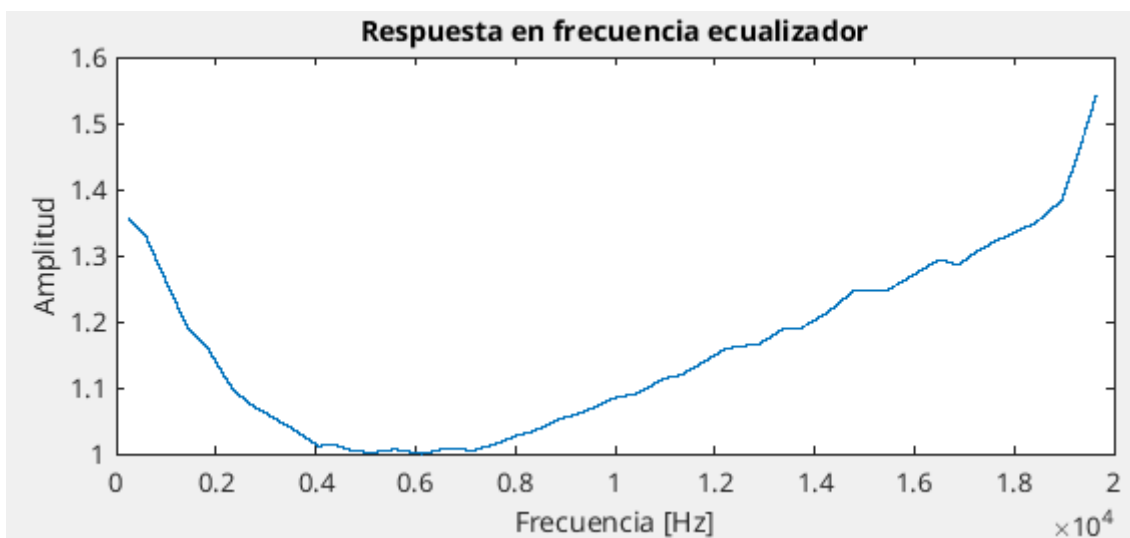


Fig. 104: Filtro ecualizador

Además, se ha realizado una primera ecualización experimental en Matlab. Se aplican en paralelo una serie de filtros FIR pasabanda, finalmente se suma el resultado de todos los filtros. El número de filtros y la ganancia de los mismos es ajustable, de modo que el resultado es la aplicación de un filtro FIR de respuesta frecuencial personalizada (ecualizador ajustable). El código se ha incluido en el Anexo 7.4. Se ha ajustado la ganancia de los filtros pasabanda de forma que la respuesta global coincida con la respuesta frecuencial del filtro ecualizador.

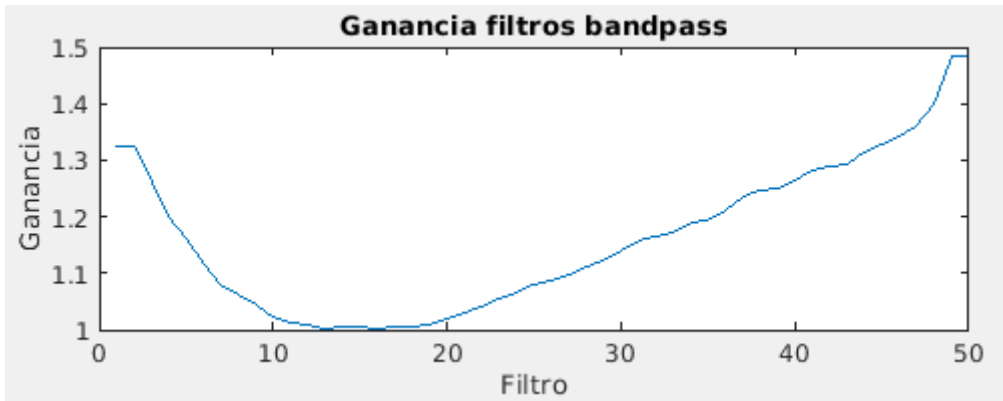


Fig. 105: Ganancia filtros BPF, 50 filtros

En este punto se probó una topología ligeramente distinta para la etapa de potencia, se intentó usar una fuente bipolar ($\pm 15V$) de modo que la señal PWM amplificada no tuviese componente continua y así poder prescindir del condensador de bloqueo de DC. Un error en el montaje hizo que se quemase el integrado IR2110. Ante la imposibilidad logística de tener un repuesto para la fecha de depósito del presente trabajo, y con el ánimo de tener un dispositivo presentable para tal fecha, se ha optado por usar la salida de colector abierto de la puerta NOT (SN7405) para realizar una pequeña amplificación de la señal PWM. El sistema, añadiendo el filtro y el altavoz, es el siguiente:

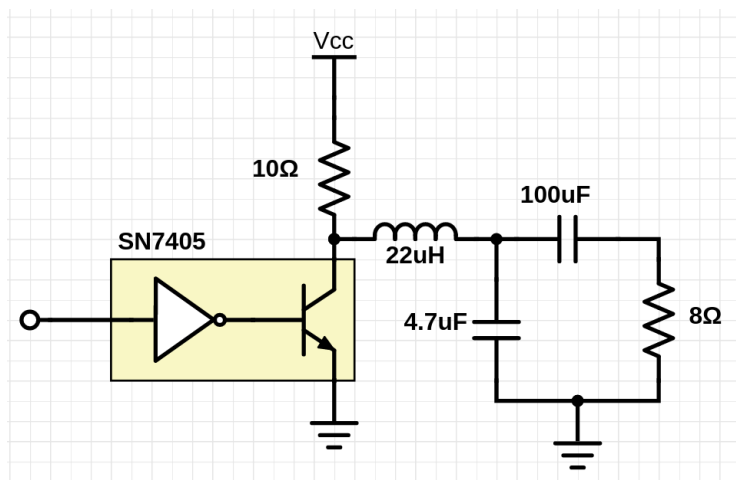


Fig. 106: Etapa de potencia alternativa

De la misma forma, se ha medido la respuesta frecuencial con esta nueva etapa de potencia. El resultado es el siguiente:

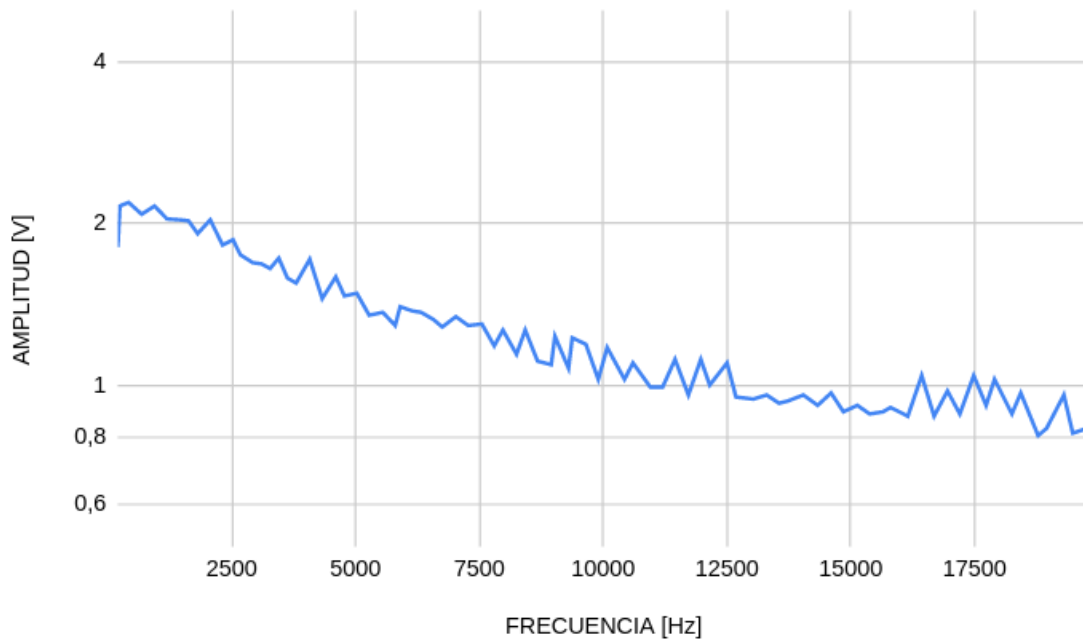


Fig. 107: Respuesta en frecuencia, etapa de potencia alternativa

Se ha usado el mismo código para encontrar la respuesta del filtro ecualizador y para tunear los filtros pasabanda:

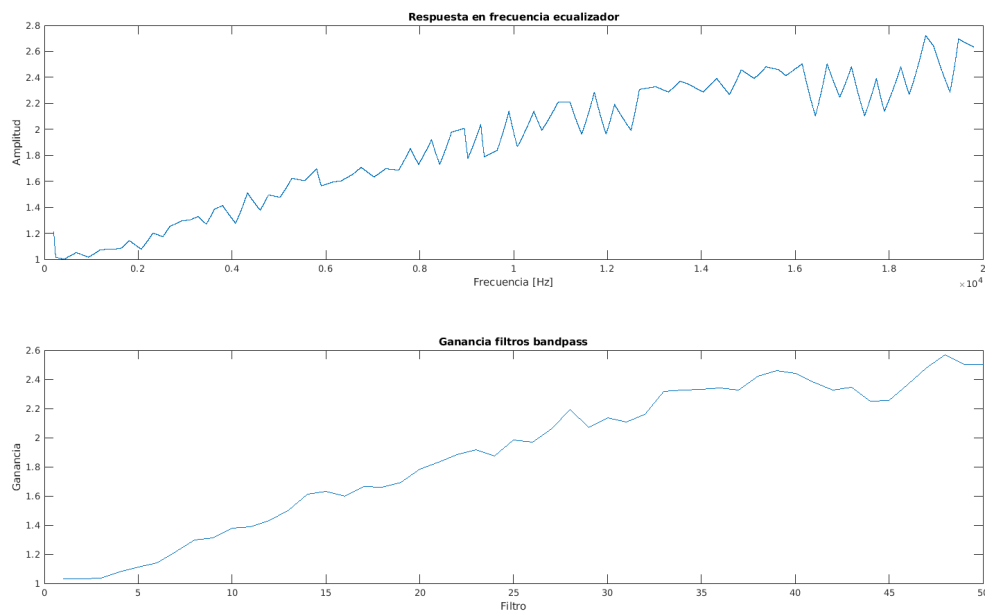


Fig. 108: Respuesta ecualizador (arriba), ganancia filtros BPF (abajo)

A continuación, se ha realizado un barrido de frecuencias incluyendo el filtro ecualizador. Se ha anotado la amplitud de cada tono tras la ecualización. El resultado es el siguiente:

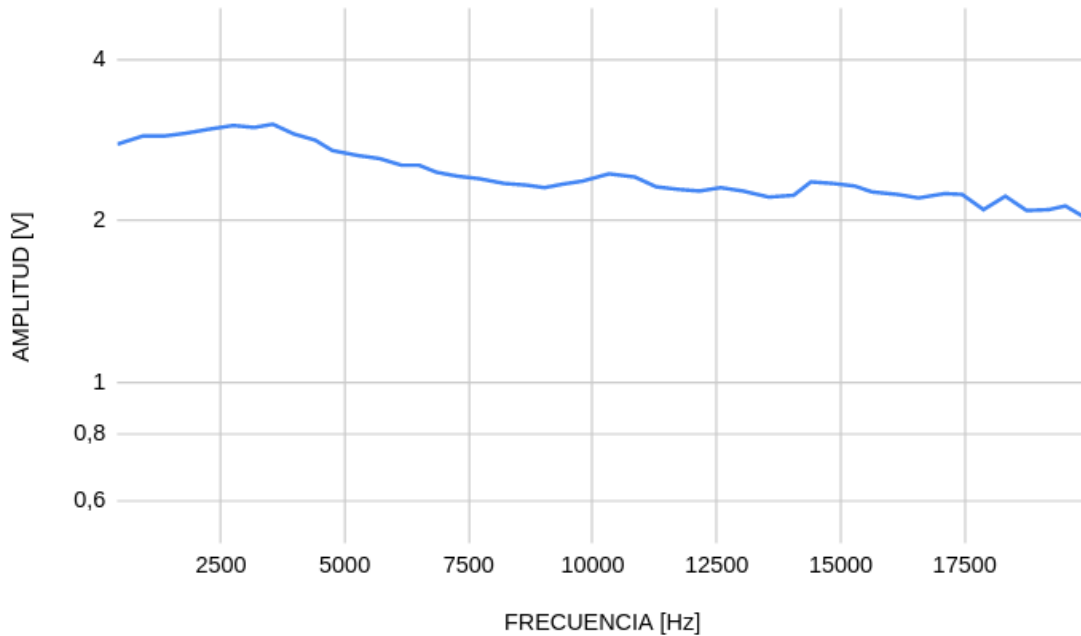


Fig. 109: Respuesta en frecuencia tras ecualización

4.6. Medidas finales

Una vez terminada la ecualización es posible medir las características resultantes del amplificador. La amplitud de salida promedio se sitúa en los 2,5V. Como la señal de entrada del modulador PWM tiene una amplitud de 1V, la ganancia resultante del amplificador es de:

$$G [dB] = 10 \cdot \log\left(\frac{P_{out}}{P_{in}}\right) = 20 \cdot \log\left(\frac{V_{out}}{V_{in}}\right) = 8 \text{ dB}$$

Se ha diseñado para funcionar en el rango de frecuencias de 0 Hz a 20kHz de modo que el ancho de banda es de 20kHz.

En términos de distorsión armónica, el peor caso medido ha sido el siguiente:

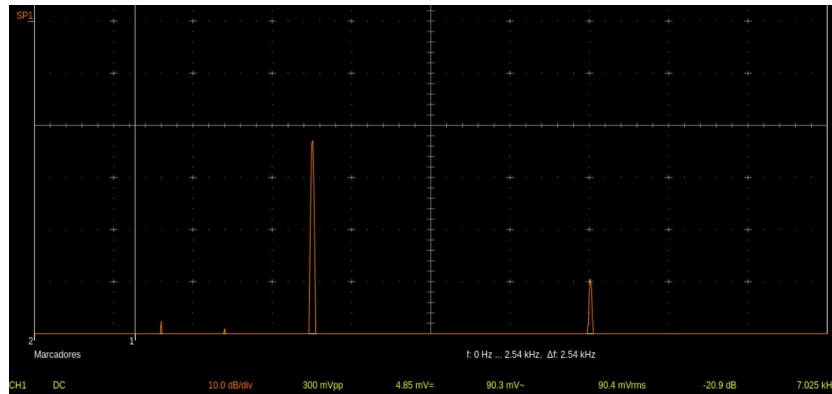


Fig. 110: Medición distorsión armónica, 10 dB/div

Se puede apreciar un armónico que queda 27 dB por debajo de la fundamental. La distorsión armónica total será:

$$THD [dB] = 10 \cdot \log\left(\sum_n P_{\text{espurio } n}\right) - 10 \cdot \log(P_{\text{fundamental}}) \approx -27 \text{ dB}$$

$$THD [\%] = 10^{-2,7} = 0,001995 \approx 0,2\%$$

5. CONCLUSIONES

Tras la realización del presente trabajo, las conclusiones son las siguientes:

- Se ha comprendido el funcionamiento de las clases principales de amplificadores de potencia.
- Se ha conseguido realizar satisfactoriamente el diseño y la simulación de un amplificador de potencia de clase D, comprendiendo el funcionamiento de cada una de las etapas que lo componen.
- Se ha construido un prototipo funcional del diseño propuesto.
- En todo el proceso ha sido posible aplicar los conocimientos obtenidos en la carrera, especialmente en materia de teoría de señales y electrónica.
- A nivel personal me ha permitido adentrarme en el mundo de la electrónica de audio.

Como autocrítica destacar el hecho de no poder presentar el prototipo con el diseño original de la etapa de amplificación de la señal PWM debido al problema logístico comentado en el apartado 4.5. Se presentará con la etapa alternativa presentada en la Figura 102, que pese a ser funcional tiene una eficiencia energética más reducida y la potencia de salida es mucho menor.

Como trabajos futuros, destacar los siguientes:

- Convertir el código del ecualizador realizado en MATLAB a C++ con tal de poder realizar la ecualización directamente en el microcontrolador.
- Medir la curva de linealidad $P_{out}(P_{in})$ y compensarla mediante un sistema de predistorsión digital en el microcontrolador.
- Diseñar un prototipo en placa PCB con tal de reducir los problemas asociados a inductancias y capacitancias parásitas debido al uso de cableado externo y placas *protoboard*. Esto es especialmente relevante al tratar con señales con componentes frecuenciales altos (PWM de 300 kHz).
- Explorar los últimos avances en materia de diseño de amplificadores de clase D: *feedback*, técnicas de reducción de EMI y modulaciones distintas a la PWM.

6. BIBLIOGRAFÍA

[1] Huang, J., Padmanabhan, K., & Collins, O. (2011). The Sampling Theorem With Constant Amplitude Variable Width Pulses. *IEEE Transactions On Circuits And Systems I: Regular Papers*, 58(6), 1178-1190. doi: 10.1109/tcsi.2010.2094350

[2] Infineon Application Note AN-1071: "Class D Audio Amplifier Basics"

[3] Maxim Integrated Application Note 3977: "Class D Amplifiers: Fundamentals of Operation and Recent Developments"

[4] Todd P. Marco: "A Comprehensive Study of Class D Amplifier Technology"

[5] Douglas Self: "Audio Power Amplifier Design Handbook"

[6] X. Jiang, "Fundamentals of Audio Class D Amplifier Design: A Review of Schemes and Architectures," in *IEEE Solid-State Circuits Magazine*, vol. 9, no. 3, pp. 14-25, Summer 2017, doi: 10.1109/MSSC.2017.2712368.

[7] ESP32 datasheet:
https://www.espressif.com/sites/default/files/documentation/esp32_datasheet_en.pdf

[8] PCM5102 datasheet:
<https://www.ti.com/lit/ds/symlink/pcm5101.pdf>

[9] TL494 datasheet:
<https://www.ti.com/lit/ds/symlink/tl494.pdf>

[10] SN7405 datasheet:
<https://www.ti.com/lit/ds/symlink/sn7405.pdf>

[11] IR2110 datasheet:
https://www.infineon.com/dgdl/Infineon-IR2110-DataSheet-v01_00-EN.pdf?fileId=5546d462533600a4015355c80333167e

[12] IRF540N datasheet:
<https://www.farnell.com/datasheets/67691.pdf>

[13] Librería ESP32-A2DP:
<https://github.com/pschatzmann/ESP32-A2DP>

[14] Yao, H., Yuan, T.T., Liu, G., Ning, X., Jin, Z., & Liu, X. (2015). X-band 11.7-W, 29-dB gain, 42% PAE three-stage pHEMT MMIC power amplifier. *2015 Asia-Pacific Microwave Conference (APMC)*, 3, 1-3.

[15] "A Better Approach to Measuring GaN PA Linearity" Walt Strickler, Paulo Correa and George Bollendorf:
www.microwavejournal.com/articles/34081-a-better-approach-to-measuring-gan-pa-linearity

7. ANEXOS

7.1. Obtención de la expresión de la tensión eficaz de una señal

Partimos de la siguiente expresión:

$$P(t) = \frac{V^2(t)}{R} \quad (8.1)$$

Esta expresión debe de ser necesariamente válida si trabajamos con el valor medio de las señales:

$$\langle P(t) \rangle = \frac{\langle V^2(t) \rangle}{R} \quad (8.2)$$

La tensión RMS es, por definición, la tensión que disipa en promedio la misma cantidad de potencia cuando es aplicada sobre la misma resistencia óhmica. Por tanto:

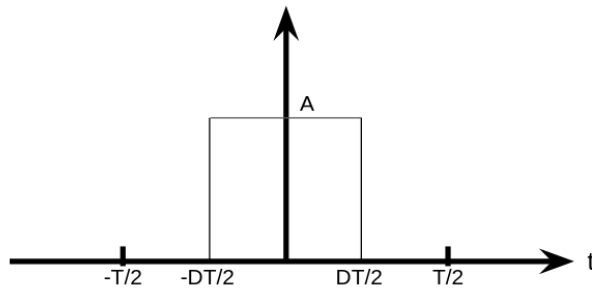
$$\langle P(t) \rangle = \frac{\langle V^2(t) \rangle}{R} = \frac{V_{rms}^2}{R} \quad (8.3)$$

$$V_{rms}^2 = \langle V^2(t) \rangle \quad (8.4)$$

$$V_{rms} = \sqrt{\langle V^2(t) \rangle} = \sqrt{\frac{1}{T} \cdot \int_{t_0}^{t_0+T} V^2(t) dt} \quad (8.5)$$

7.2. Cálculo del valor medio y del espectro de una señal PWM

Podemos representar un periodo de una señal PWM de la siguiente manera:



Su valor medio es:

$$\langle PWM \rangle = \frac{1}{T} \int_T PWM(t) dt = \frac{1}{T} \cdot D \cdot T \cdot A = D \cdot A$$

El espectro de una señal periódica continua se obtiene calculando su equivalente en series de Fourier. Dicho equivalente se obtiene mediante las siguientes expresiones:

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos \omega_n t + b_n \text{sen } \omega_n t) \quad (8.6)$$

$$a_0 = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) dt, \quad a_n = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) \cos \omega_n t dt, \quad b_n = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) \text{sen } \omega_n t dt.$$

Como se trata de una función con simetría par, se deduce que:

$$b_n = 0$$

Por tanto, solamente es necesario calcular las componentes "a". Aplicando las expresiones 8.6:

$$a_0 = \frac{2}{T} \int_{-T/2}^{T/2} f(t) dt = \frac{2}{T} \int_{-DT/2}^{DT/2} A dt = \frac{2}{T} [A \cdot t]_{-DT/2}^{DT/2} = \frac{2}{T} ADT = 2AD \quad (8.7)$$

$$a_n = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \cdot \cos\left(\frac{2\pi n}{T} \cdot t\right) dt = \frac{2}{T} \int_{-DT/2}^{DT/2} A \cdot \cos\left(\frac{2\pi n}{T} \cdot t\right) dt$$

$$a_n = \frac{A}{\pi n} \left[\sin\left(\frac{2\pi n}{T} \cdot t\right) \right]_{-DT/2}^{DT/2} = \frac{2A}{\pi n} \cdot \sin(\pi \cdot D \cdot n) \quad (8.8)$$

Por tanto, la expresión en series de Fourier de una señal PWM es:

$$f(t) = A \cdot D + \sum_{n=1}^{\infty} \frac{2A}{n\pi} \cdot \sin(\pi D n) \cdot \cos\left(\frac{2\pi n}{T} t\right) \quad (8.9)$$

Esta expresión indica la amplitud de cada uno de los armónicos que componen el espectro. La frecuencia del primer armónico es $1/T$, coincidiendo con la frecuencia de la señal PWM. La amplitud de la componente de frecuencia 0 coincide con el valor medio de la señal PWM.

n	Frecuencia	Amplitud	Amplitud (D=1/2)
0	0	AD	A/2
1	f	$\frac{2A}{\pi} \sin(\pi D)$	$\frac{2A}{\pi}$
2	2f	$\frac{A}{\pi} \sin(2\pi D)$	0
3	3f	$\frac{2A}{3\pi} \sin(3\pi D)$	$-\frac{2A}{3\pi}$
4	4f	$\frac{A}{2\pi} \sin(4\pi D)$	0
n>0	n·f	$\frac{2A}{n\pi} \sin(n\pi D)$	$\frac{2A}{n\pi} \sin\left(n \frac{\pi}{2}\right)$

7.3 Simulación de modulador PWM en GNU Octave

```
clear all;
close all;
F2=input('Frecuencia Vin=');
F1=input('Frecuencia señal triangular=');
A=12;
t=0:0.0001:0.5;

%Señal de diente de sierra de amplitud A
c=A.*sawtooth(2*pi*F1*t);

%Señal de entrada, amplitud necesariamente menor que A
m=0.9*A.*sin(2*pi*F2*t);
for i=1:length(c) %Recorremos la señal de sierra muestra a muestra
if (m(i)>=c(i)) %Si la señal de entrada es mayor que la señal de sierra
pwm(i)=5; %Salida del comparador positiva
else
pwm(i)=0;
end
end

%Cálculo del duty cycle de cada periodo de la señal PWM
samples = [0];
dutysignal = [];
for i=1:length(pwm)
if (pwm(i)==5 && samples(end)==0) %detectado fin de un periodo
D = sum(samples(:) == 5) / length(samples); %cálculo del duty cycle
for j=1: length(samples)
dutysignal(end+1)=D;
endfor
samples = [0];
endif
samples(end+1)=pwm(i);
endfor

%Construcción del gráfico
figure
subplot(311)
hold on
plot(t,m)
plot(t,c)
xlabel('Tiempo [s]');
ylabel('V(t)');
grid on;
hold off
subplot(312)
```

```

plot(t,pwm)
axis([0 0.5 -5 10])
xlabel('Tiempo [s]');
ylabel('V(t)');
grid on;
subplot(313)
plot(dutysignal)
xlabel('Muestra');
ylabel('Duty cycle');
axis([0 5000 0 1])

```

7.4 Código ecualizador MATLAB

```

clear
N=50;
orde=30;
v = [2.21 2.255 2.36 2.52 2.58 2.725 2.785 2.825 2.885 2.96 2.955 2.98 2.99 2.975
2.995 2.97 2.98 2.945 2.915 2.895 2.845 2.815 2.765 2.745 2.69 2.675 2.64 2.585
2.575 2.57 2.515 2.515 2.465 2.4 2.4 2.4 2.37 2.34 2.315 2.33 2.295 2.27 2.24 2.22
2.165 1.94];
x = [255 601 952 1458 1825 2326 2675 3025 3525 4050 4400 4725 5100 5600 6125 6650
7175 7675 8025 8375 8900 9400 9925 10450 10970 11330 11680 12200 12550 12880 13400
13750 14280 14800 15130 15470 15830 16180 16520 16880 17230 17570 18070 18430 18950
19650];
xq = 1:20000/44100:20000;
vq = interp1(x,v,xq);
filterEQ = max(vq) ./ vq;
subplot(211)
plot(xq,filterEQ)
title('Respuesta en frecuencia ecualizador')
xlabel('Frecuencia [Hz]')
ylabel('Amplitud')
step = length(filterEQ)/N;
for i=1:N
    G(i)=mean(filterEQ((i-1)*step+1 : i*step));
end
G(1)=G(2);
G(N)=G(N-1);
subplot(212)
plot(G)
title('Ganancia filtros bandpass')
xlabel('Filtro')
ylabel('Ganancia')
[y,fs] = audioread("sweep.wav");
step = step/2;
for i=1:N
    b = fir1(orde,[((i-1)*step+1)/(fs/2) (i*step)/(fs/2)], 'bandpass');
    res(i,:)=G(i)*filter(b,1,y);
end
yT = res(1,:);
for i=2:N
    yT = yT+res(i,:);
end
yT=yT/max(yT);

```

```
player = audioplayer(yT, fs);  
play(player);
```