

Treball de Fi de Màster

ENGINYERIA INDUSTRIAL

Caracterització i modelació de memristors sota ressonància estocàstica per aplicacions en seguretat a nivell de hardware (EEL)

MEMÒRIA

Autor: Gabriel Munar Sarria

Director: Rosa Rodríguez, Salvador Manich

Convocatòria: Setembre 2022



Escola Tècnica Superior
d'Enginyeria Industrial de Barcelona



Índex

1.	Introducció	6
1.1.	Motivació del projecte i objectius	6
1.2.	Orígens	6
1.3.	Principi teòric	8
1.4.	Principi físic	8
1.5.	Funcionament	10
2.	Experimentació	11
2.1.	Equipament	11
2.1.1.	Oblia	12
2.1.2.	Mesura i alimentació.....	13
2.2.	Caracterització dels dispositius	14
2.2.1.	Forming Test.....	14
2.2.2.	DC Test	15
2.2.3.	Polse Test	18
2.2.4.	Polnoise Test.....	20
2.3.	Experimentació amb soroll.....	22
2.3.1.	Caracterització soroll.....	22
2.3.2.	Modulació del valor resistiu de la RRAM amb soroll	32
2.4.	Experimentació amb ona de soroll quadrada	42
3.	Regulació i mesura	51
3.1.	Circuit regulació de la RRAM.....	51
3.2.	Circuit de mesura	59
4.	Estudi econòmic	66
5.	Conclusió	67
	Agraïments	67
	Bibliografia	68

Taula de figures

Figura 1 Relació entre les magnituds elèctriques que descriuen el comportament dels elements electrònics passius	7
Figura 2 Quart element electrònic passiu	8
Figura 3 Model de memristor desenvolupat per HP (1)	9
Figura 4 Zones dopada i no dopada del memristor (2).....	9
Figura 5 Model teòric del memristor de HP.....	10
Figura 6 Gràfica I-V corresponent al model teòric del memristor (3).....	10
Figura 7 Esquema de les connexions entre els equips i el dispositiu.....	11
Figura 8 Detall de les connexions entre la SMU, el generador de funcions i el PC.....	12
Figura 9 Representació de les RRAM sobre l'oblea.....	12
Figura 10 Estació de puntes.	13
Figura 11 Terminals de connexió de l'estació de puntes amb la font d'alimentació externa	14
Figura 12 Exemple de forming test	15
Figura 13 Exemple de forming test	16
Figura 14 Exemple de test en continua amb 50 cicles	17
Figura 15 Exemple de comportament erroni. El dispositiu no commuta en tots els cicles	18
Figura 16 Correcció del comportament del dispositiu mitjançant l'augment de Vreset fins a -1,6 V	18
Figura 17 Senyal d'entrada per al test de polsos	19
Figura 18 Resultats obtinguts per a un test amb polsos	20
Figura 19 Extracte del codi on s'especifiquen els paràmetres per al test de polsos amb soroll	21
Figura 20 Exemple d'evolució de la senyal de soroll en el test de polsos amb soroll.....	22
Figura 21 Circuit de regulació.....	52
Figura 22 Senyal PWM amb un duty cycle del 40%	53
Figura 23 Senyal PWM (verd) i senyal de sortida (blau) per a $R = 100$ ohms i $C = 10$ nF	53
Figura 24 Senyal PWM (verd) i senyal de sortida (blau) per a $R = 100$ ohms i $C = 50$ nF	54
Figura 25 Circuit regulador en l'anàlisi en continua.....	55
Figura 26 Evolució de V_o en funció de V_{1f}	56
Figura 27 Circuit regulador en l'anàlisi en alterna	57
Figura 28 Equivalent Thevenin del circuit regulador en l'anàlisi en alterna	57
Figura 29 Simplificació del circuit regulador en alterna aplicant el teorema de Thevenin.....	58
Figura 30 Tensió de sortida per a un duty cycle de 1% i una amplitud pic a pic de 900 mV	59
Figura 31 Tensió de sortida per a un duty cycle de 99% i una amplitud pic a pic de 900 mV	59

Figura 32 Cuircuit per a la mesura del valor de la RRAM.....	60
Figura 33 Transistor nMos, condensador i RRAm	60
Figura 34 Evolució temporal del procés de descàrrega d'un condensador en funció de la resistència en un circuit RC	62
Figura 35 Descàrrega del condensador (verd) i valor de referència (blau) per a un condensador de 1uF.....	63
Figura 36 Descàrrega del condensador (verd) i valor de referència (blau) per a un condensador de 3,3uF (a) i un de 0,33 uF (b)	63
Figura 37 Mesura de 10000 ohms.....	64
Figura 38 Mesura de 5000 ohms.....	65
Figura 39 Mesura de 1000 ohms.....	65
Figura 40 Correspondència entre el valor de la RRAM i el valor de lectura del comptador.....	65
Figura 41 Taula costos material	66
Figura 42 Taula costos personal.....	66

Taula de gràfiques dels tests

Gràfica 1 Dispositiu 9512-3-N24_E5/100cicles_10steps_200mV - HRS	29
Gràfica 2 Dispositiu 9512-3-N24_E5/100cicles_10steps_200mV – LRS.....	29
Gràfica 3 Dispositiu 9512-3-N24_E3/50cicles_10steps_200mV - HRS.....	30
Gràfica 4 Dispositiu 9512-3-N24_E3/50cicles_10steps_200mV - LRS	30
Polsenoise Test 1 – Dispositiu N32_E3 – Caracterització de la tensió llindar de SET	33
Polsenoise Test 2 - Dispositiu N32_E3 – Evolució del valor resistiu	34
Polsenoise Test 3 - Dispositiu N32_E3	35
Polsenoise Test 4 - Dispositiu N32_E3	36
Polsenoise Test 5 - Dispositiu N32_E3	36
Polsenoise Test 6 - Dispositiu N32_E3	37
Polsenoise Test 7 - Dispositiu N27_E7	38
Polsenoise Test 8 - Dispositiu N27_E7	38
Polsenoise Test 9 - Dispositiu N27_E7	39
Polsenoise Test 10 - Dispositiu N27_E7	39
Polsenoise Test 11- Dispositiu N27_E7	40
Polsenoise Test 12- Dispositiu N27_E7	40

Polsenoise Test 13 - Dispositiu N27_E7	41
Polsenoise Test 14 - Dispositiu N27_E7	41
Step Polsenoise Test 1- Dispositiu 9512-3-N26_E8/500cicles_10steps_200mV	23
Step Polsenoise Test 2- Dispositiu 9512-3-N26_E7/500cicles_10steps_200mV	23
Step Polsenoise Test 3- Dispositiu 9512-3-K26_E3/500cicles_5steps_400mV.....	24
Step Polsenoise Test 4- Dispositiu 9512-3-N30_E4/200cicles_4steps_500mV	25
Step Polsenoise Test 5- Dispositiu 9512-3-N30_E6/100cicles_4steps_500mV	26
Step Polsenoise Test 6 - Dispositiu 9512-3-N24_E5/100cicles_10steps_200mV	27
Step Polsenoise Test 7- Dispositiu 9512-3-N24_E3/50cicles_10steps_200mV	27
Step Polsenoise Test 8- Dispositiu 9512-3-N29_E6/50cicles_10steps_200mV	31
Step Polsenoise Test 9- Dispositiu 9512-3-N27_E3/50cicles_10steps_200mV	32

1. Introducció

1.1. Motivació del projecte i objectius

Aquest projecte ha sigut possible gràcies a la proposta de l'equip d'investigació del Departament d'Electrònica de la Universitat Politècnica de Catalunya. Es centra en l'àrea de la seguretat en el hardware (Hardware Security) que actualment és un dels àmbits de recerca en tecnologia electrònica que ha rebut una forta empenta amb l'expansió de l'internet de les coses (Internet of Things). La constant miniaturització dels circuits integrats (Integrated Circuits) fa necessari l'estudi i proposta de nous dispositius nanomètrics per tal de continuar amb els seus nivells d'integració i les seves altes prestacions. A més a més, la seguretat en la transmissió i emmagatzematge de les dades és una de les característiques que han de poder-se assegurar en aquest món actual tan interconnectat.

En aquest treball de fi de Màster es caracteritzarà el comportament elèctric de memristors aïllats del tipus RRAM sota la influència de ressonància estocàstica tant a nivell DC com en funcionament dinàmic (polsos). Aquest comportament es compararà amb la resposta nominal dels dispositius realitzada prèviament.

Els dispositius considerats han estat fabricats en el Centre Nacional de Microelectrònica (Bellaterra) i el treball experimental es farà a nivell d'oblia i utilitzant una estació de puntes i SMU's (source and measure unit). S'estudiarà la inclusió de les variacions realistes cicle-cicle i la resposta trobada davant el soroll. S'avaluarà l'aprofitament del comportament caracteritzat per a aplicacions en seguretat. A més a més, es dissenyarà el circuit de control en la tecnologia CMOS disponible de 65nm i es caracteritzarà el seu comportament a nivell de simulació amb el programari SPICE.

1.2. Orígens

Per entendre d'on sorgeix el concepte de memristor primer s'ha de conèixer quins són els principals components electrònics passius i les relacions que marquen els seus comportaments. Inicialment es tenia constància de tres elements (resistència, condensador i inductància).

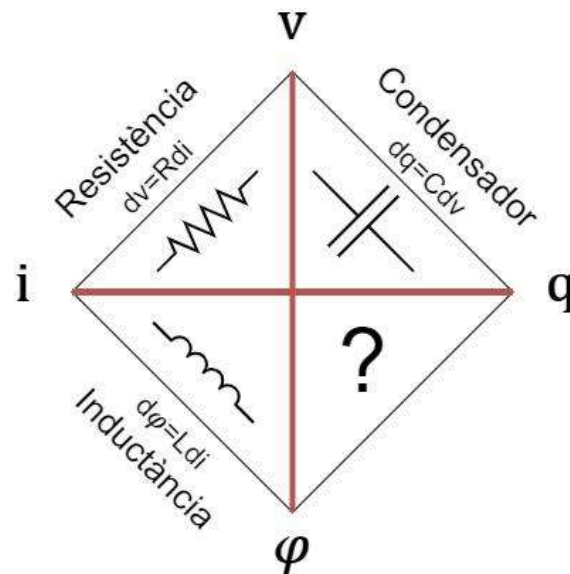


Figura 1 Relació entre les magnituds elèctriques que descriuen el comportament dels elements electrònics passius

En la Figura 1 es poden veure de manera gràfica les relacions físiques entre els tres elements passius d'un circuit electrònic. A simple vista se pot comprovar com el diagrama és asimètric ja que faltaria un component capaç de relacionar la càrrega elèctrica (q) amb el flux magnètic (φ).

A part de les expressions físiques que apareixen a la figura hi hauria les expressions matemàtiques següents, representades per les diagonals del quadrat:

$$dq = idt \quad (1)$$

$$d\varphi = vdt \quad (2)$$

Aquest quart element desconegut seria batejat amb el nom de memristor per el professor Leon Ong Chua de la Universitat de Califòrnia (Berkeley). Chua va ser el primer a postular l'existència del memristor l'any 1971 (1). L'any 2008 un equip dels laboratoris HP liderat per l'investigador Richard Stanley Williams aconseguiria fabricar una versió del memristor de Chua sobre un xip CMOS utilitzant diòxid de titani (TiO_2).

La comprovació experimental de les teories exposades per Chua apuntarien cap a l'existència del quart element restant que permetria completar el quadrat dels components electrònics passius tal i com es pot veure en la Figura 2.

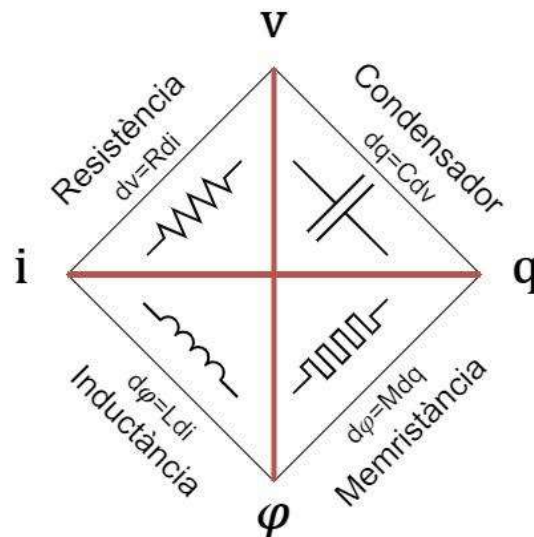


Figura 2 Quart element electrònic passiu

1.3. Principi teòric

Segons les prediccions de Chua, existiria un component electrònic capaç de relacionar el flux electromagnètic i la càrrega elèctrica de la forma següent:

$$\varphi(t) = f(q(t)) \quad (3)$$

Derivant l'expressió (3) s'obté:

$$\frac{d\varphi(t)}{dt} = \frac{df(q(t))}{dq} \frac{dq}{dt} \quad (4)$$

Substituint amb les expressions

$$v(t) = \frac{df(q(t))}{dq} i(t) \quad (5)$$

Finalment s'obté:

$$v(t) = M(q(t)) i(t) \quad (6)$$

On M seria la memristància característica del dispositiu i que aniria en funció de la càrrega elèctrica. En el cas de que M fos constant s'obtindria la llei d'Ohm en la qual el voltatge depèn linealment de la intensitat ($V=RI$). Això passa quan no circula corrent pel memristor $i(t)=0$ i per tant $v(t)=0$. En els altres casos es pot assimilar la memristància com la resistència en funció de la càrrega elèctrica.

1.4. Principi físic

El primer model de memristor (laboratori HP) consistia en una làmina de TiO_2 connectada entre dos elèctrodes de platí com es mostra en la Figura 3.

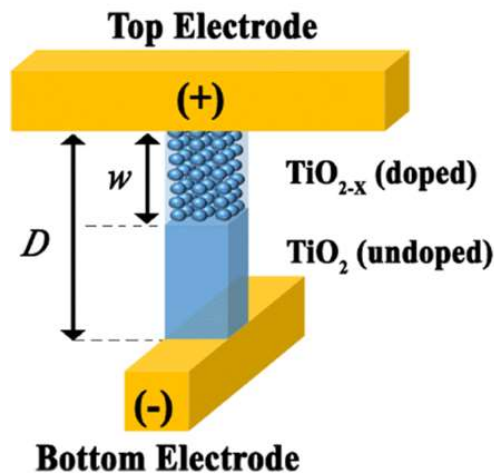


Figura 3 Model de memristor desenvolupat per HP (2)

La làmina de platí està composta per una capa de material dopat (TiO_{2-x}), és a dir, amb vacants d'àtoms d'oxigen, com per exemple Ti_2O_7 , actuant com a conductor. L'altra capa sense dopar està formada per TiO_2 fent la funció de dielèctric. És important tenir en compte que la zona dopada està connectada a l'elèctrode superior (*top electrode*) mentre que la no dopada es connecta a l'elèctrode inferior (*bottom electrode*).

El corrent circula pel dispositiu a través d'un camí format per vacants d'oxigen conegut com a filament conductor. Per tant l'estat resistiu del memristor dependrà de si el filament es troba més o menys obstruït.

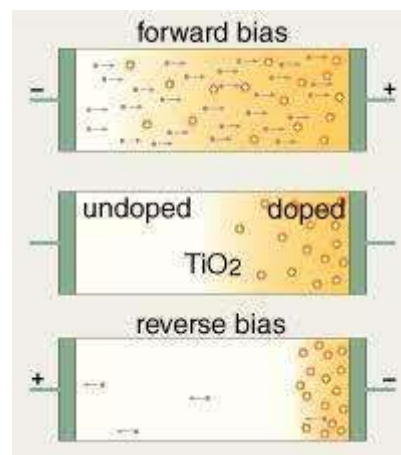


Figura 4 Zones dopada i no dopada del memristor (3)

En la Figura 4 se pot veure com en el primer cas el voltatge positiu fa que les vacants d'oxigen (càrregues positives) siguin repel·lides cap a l'elèctrode inferior (*bottom electrode*), obrint un camí conductor a través del memristor i per tant disminuint la seva resistivitat. En canvi quan es gira la polaritat les vacants tornen cap a l'elèctrode superior (*top electrode*) reduint la zona

conductora fent que la resistència del memristor augmenti. Aquest comportament es correspondria per tant amb el d'una resistència variable en funció de la càrrega elèctrica tal i com s'exposa a la teoria.

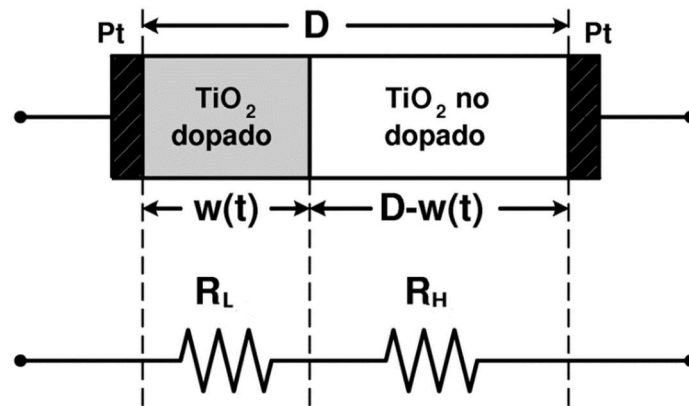


Figura 5 Model teòric del memristor de HP. En funció de l'amplada de la capa de TiO₂ dopat (w) la resistència varia entre un valor baix (R_L) i un valor alt (R_H)

Aquesta capacitat per conservar el valor resistiu una vegada es desconnecta el dispositiu de l'alimentació és el que li dona nom al memristor (*memory resistor*). L'estat resistiu depèn de les condicions anteriorment aplicades de corrent i de voltatge.

1.5. Funcionament

El memristor presenta dos estats resistius diferents en funció del voltatge aplicat, l'estat resistiu alt (HRS, *High Resistive State*) i l'estat resistiu baix (LRS, *Low Resistive State*).

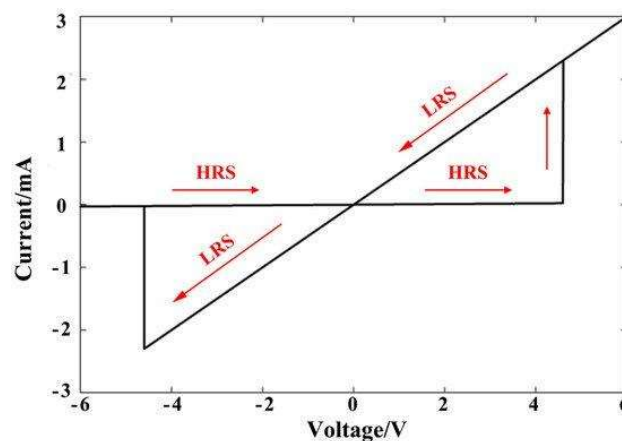


Figura 6 Gràfica I-V corresponent al model teòric del memristor (4)

En la Figura 6 es mostra el comportament ideal d'un memristor. Es pot veure com el corrent es manté constant fins que arriba a un punt en el que augmenta sobtadament. El memristor ha passat de HRS a LRS, és a dir, la resistència ha disminuït. Aquesta transició es coneix com a SET. Després es veu com al decreixer el voltatge la polaritat s'inverteix i en un cert punt el corrent s'interromp de cop. S'ha produït el canvi contrari, de LRS a HRS, conegut com a RESET. Els valors de tensió de SET i RESET depenen de les característiques del dispositiu.

2. Experimentació

Tots els experiments relacionats amb el present projecte s'han duit a terme amb els dispositius memristors proporcionats per l'Institut de Microelectrònica de Barcelona el qual forma part del Centre Nacional de Microelectrònica (IMB-CNM). El procés de desenvolupament dels dispositius es troba encara en fase experimental i per tant s'ha de tenir en compte que una part no menyspreable dels memristors entregats presentarà un comportament defectuós. Per això primer de tot cal caracteritzar el comportament del memristor i comprovar que funciona correctament.

2.1. Equipament

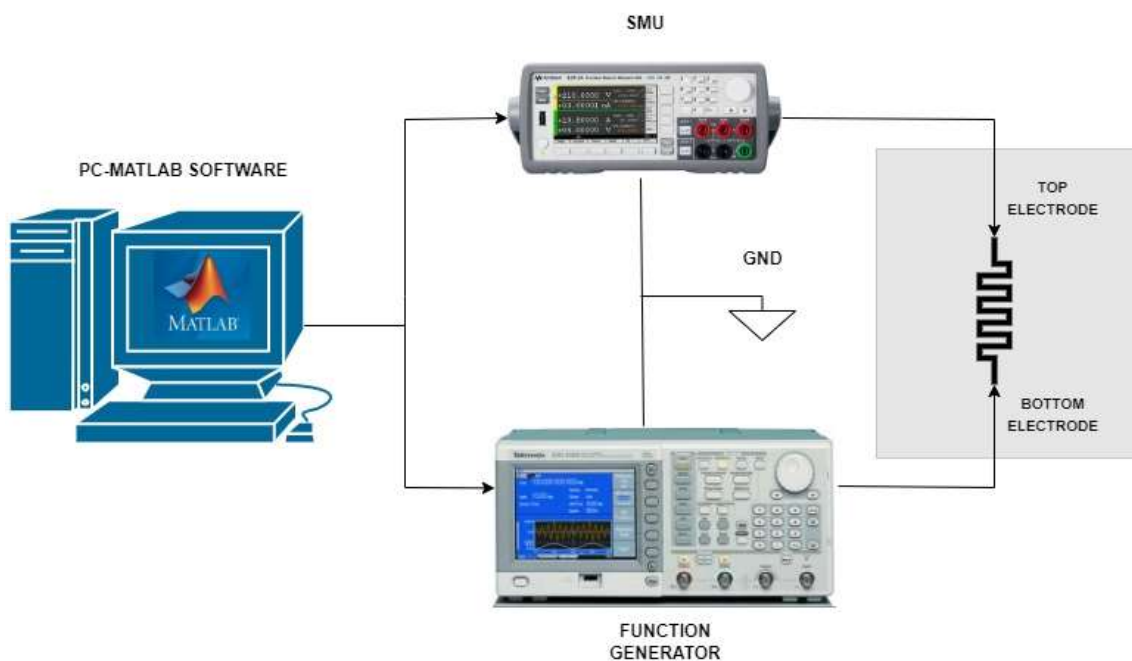


Figura 7 Esquema de les connexions entre els equips i el dispositiu



Figura 8 Detall de les connexions entre la SMU, el generador de funcions i el PC

2.1.1. Oblià

Les RRAMs proporcionades per l'IMB-CNM estan integrades en una oblià dividida en quadrats. Dintre de cada quadrat es troben vuit dispositius col·locats en fila i numerats (E1-E8).

L'estructura dels memristors és del tipus MIM (Metal-Insulator-Metal) i està formada per 4 capes sobreposades de TiN/Ti/HfO₂/W. L'electrode superior està constituït per una capa de TiN de 200 nm de gruix amb un fi recobriment per sota de Ti de 10nm de gruix. Finalment en la capa més baixa se troba l'electrode inferior compost per una capa de W de 200 nm.FOTO

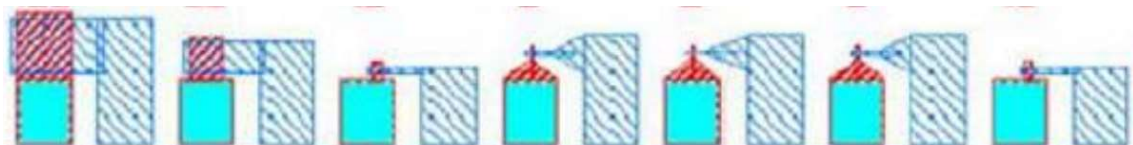


Figura 9 Representació de les RRAM sobre l'oblià

En la Figura 9 es representen els memristors tal i com es poden observar a través del microscopi sobre la superfície de l'oblià. El rectangle de l'esquerra de color cian és l'electrode superior

mentre que el de la dreta ratllat és l'elèctrode inferior. El memristor és troba més concretament en la intersecció entre els dos elèctrodes. La connexió del dispositiu es realitza per simple contacte dels terminals amb la superfície dels elèctrodes.

2.1.2. Mesura i alimentació

Per a subministrar tensió al dispositiu i obtenir els resultats experimentals s'utilitza una unitat d'alimentació i mesura, més coneguda pel seu nom en anglès SMU (*Source Measure Unit*) del fabricant *Keysight*, model *B2912A*. Aquest aparell és capaç de subministrar tensió fins als 210 V i corrent fins als 3 A. A més compta amb dos canals independents (CHI, CHII) tot i que en aquest estudi s'ha utilitzat únicament un d'ells. Des de aquest canal es controla l'alimentació del memristor, fixant el voltatge de l'elèctrode inferior (*Bottom Electrode*) a 0 volts, conegut com a VB, modificant únicament el voltatge de l'elèctrode superior (*Top Electrode*) o VT.

Estació de puntes

Amb una estació de puntes (Figura 10) es pot treballar còmodament i de forma efectiva sobre components de dimensions tan reduïdes com la oblia usada en aquest projecte.

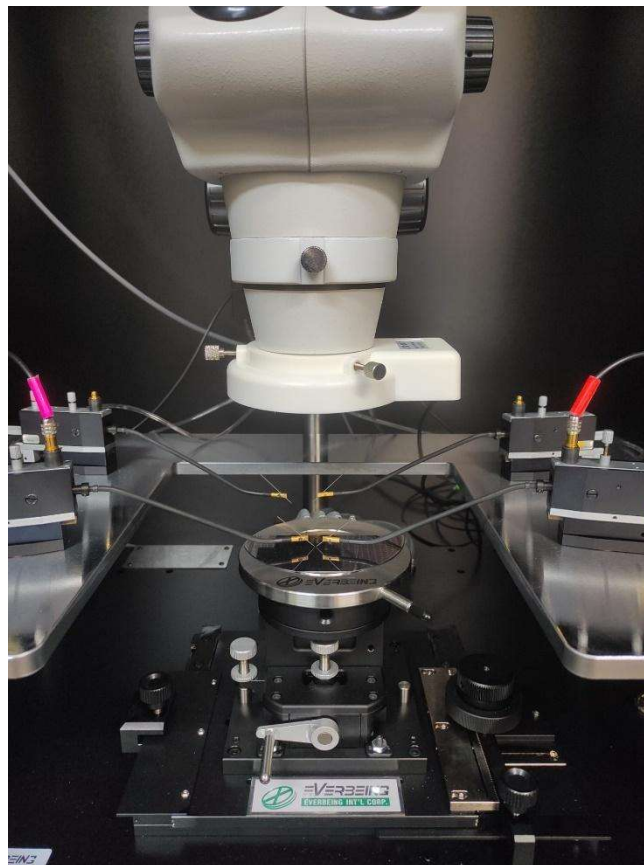


Figura 10 Estació de puntes. La punta esquerra (rosa) es troba connectada a l'elèctrode superior mentre que la punta dreta (vermell) es troba connectada amb l'elèctrode inferior

L'oblia es subjecta a una plataforma sota el microscopi. A cada costat es troben els posicionadors de les puntes. Les puntes subministren la tensió d'alimentació necessària per al memristor. El posicionador compta amb una roda per tal de baixar la punta fins a la superfície de l'oblia i connectar-se a l'elèctrode, girant en sentit antihorari. En sentit contrari la punta puja i es pot desconnectar del dispositiu.

La plataforma de la oblia es pot desplaçar independentment de les puntes, al llarg de l'eix vertical i de l'eix horitzontal. És important no oblidar-se de desconnectar (pujar) les puntes abans de realitzar un desplaçament de l'oblia, de lo contrari es podrien produir danys sobre la resta de dispositius.

L'estació es troba a l'interior d'una carcassa metàl·lica que la protegeix de possibles interferències electromagnètiques. Les portes de la carcassa han de romandre tancades per evitar perturbacions durant el procés experimental.

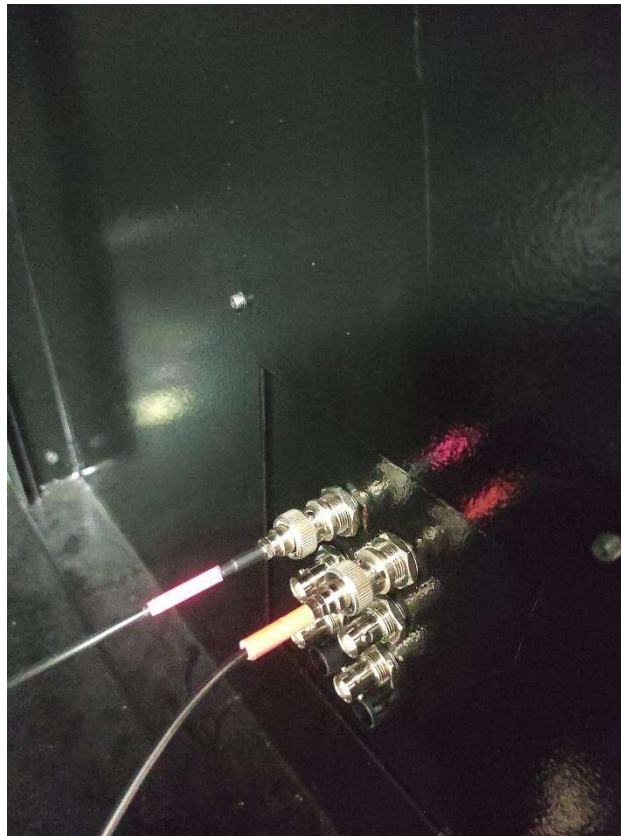


Figura 11 Terminals de connexió de l'estació de puntes amb la font d'alimentació externa, en aquest cas la SMU

2.2. Caracterització dels dispositius

2.2.1. Forming Test

A banda dels processos de SET i RESET existeix la fase de electroforming o forming consistent en formar, tal i com indica el seu nom, el filament conductor del memristor. Aquesta etapa es duu a terme abans de començar a treballar amb un dispositiu nou ja que inicialment aquest no compta amb el filament conductor. Una vegada format, el memristor es trobarà en estat resistiu baix LRS i es podrà començar amb el procés experimental.

Per tal de crear el filament es sotmet el memristor a nivells ascendents de tensió positiva entre els seus dos elèctrodes. Per a cada nivell de voltatge el software pren el valor de corrent que circula pel dispositiu i el compara amb un valor màxim de 1mA segons les especificacions de l'IMB-CNM. Una vegada el corrent arriba a aquest valor màxim, el programa deixa d'augmentar la tensió i es considera que el filament es troba format, donant per finalitzat el procés.

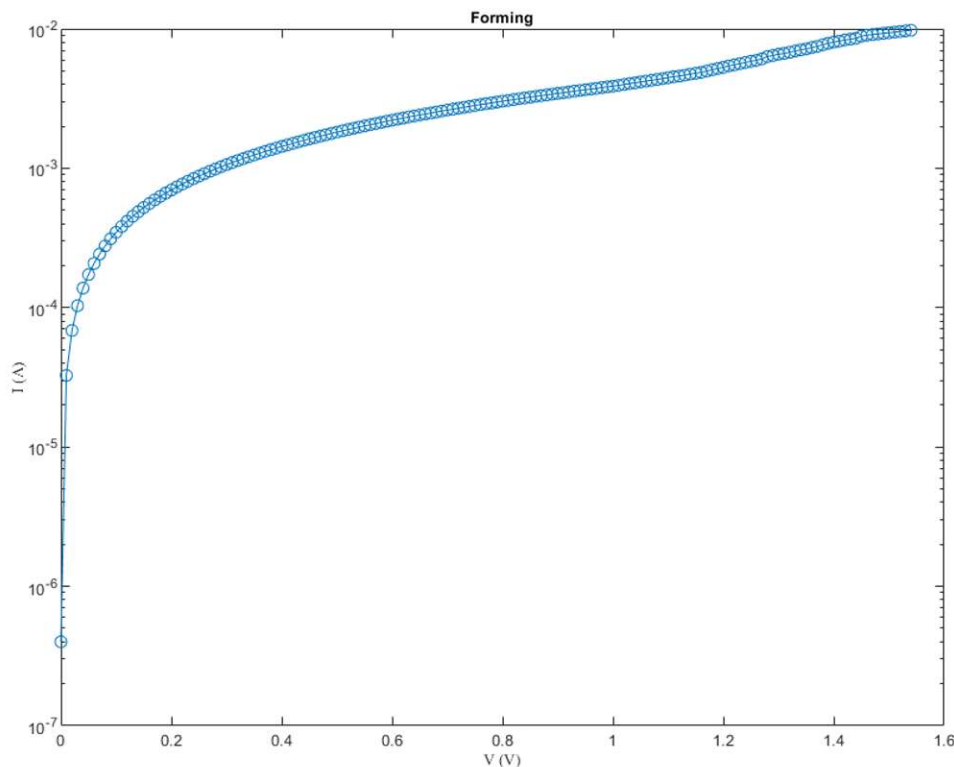


Figura 12 Exemple de forming test

A la Figura 12 es pot veure com el corrent va augmentant progressivament amb la tensió fins que arriba al valor límit establert en aquest cas en 10 mA. Quan el corrent arriba a aquest valor es considera que el filament s'ha format.

2.2.2. DC Test

L'anàlisi en continua resulta útil per caracteritzar el comportament del dispositiu i per comprovar si responen de forma correcta i esperada. Al tractar-se de components desenvolupats encara en fase experimental és comú trobar-se amb memristors defectuosos i que per tant han de ser descartats de cara a l'estudi posterior. Una vegada trobat el dispositiu adequat es duen a terme totes les proves necessàries sense desconnectar en cap moment els

elèctrodes. La retirada de les connexions pot arribar a fer malbé el dispositiu deixant-lo inutilitzat.

El test de continua consisteix en induir el canvi d'estat del memristor a través de la tensió aplicada entre els dos elèctrodes del dispositiu. Per a això s'utilitza un senyal en forma de doble rampa que anirà oscil·lant entre $V_{HRS} = -1,4 \text{ V}$ i $V_{LRS} = 1,1 \text{ V}$ com es pot veure a la Figura 13. Aquests valors de voltatge són els màxims recomanats segons les especificacions de l'IMB-CNM. No s'han de confondre aquests valors amb els de V_{SET} i V_{RESET} , és a dir, amb els valors de tensió límit a partir dels quals l'estat resistiu del memristor transita d'estat alt (HRS) a estat baix (LRS) o viceversa.

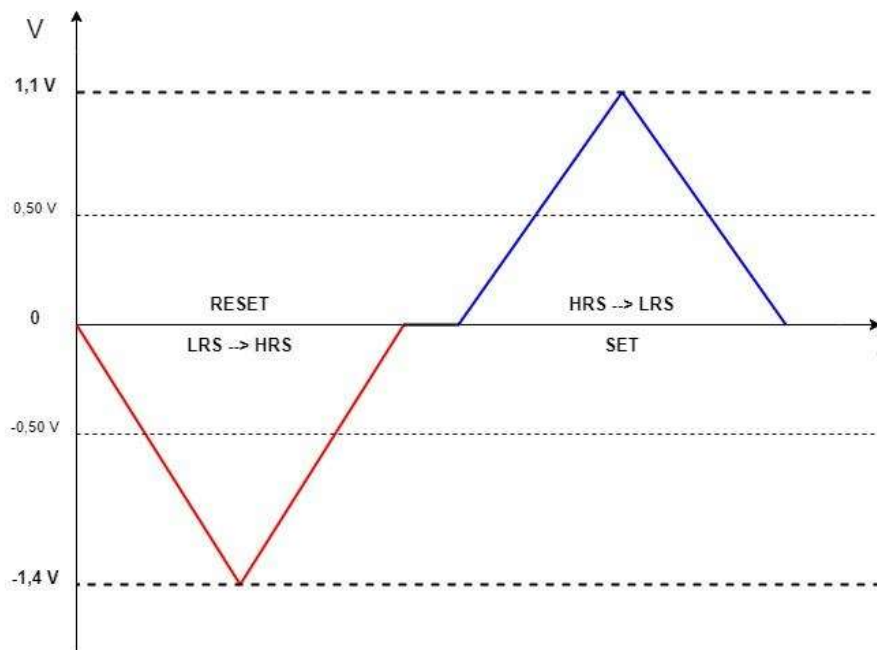


Figura 13 Exemple de forming test

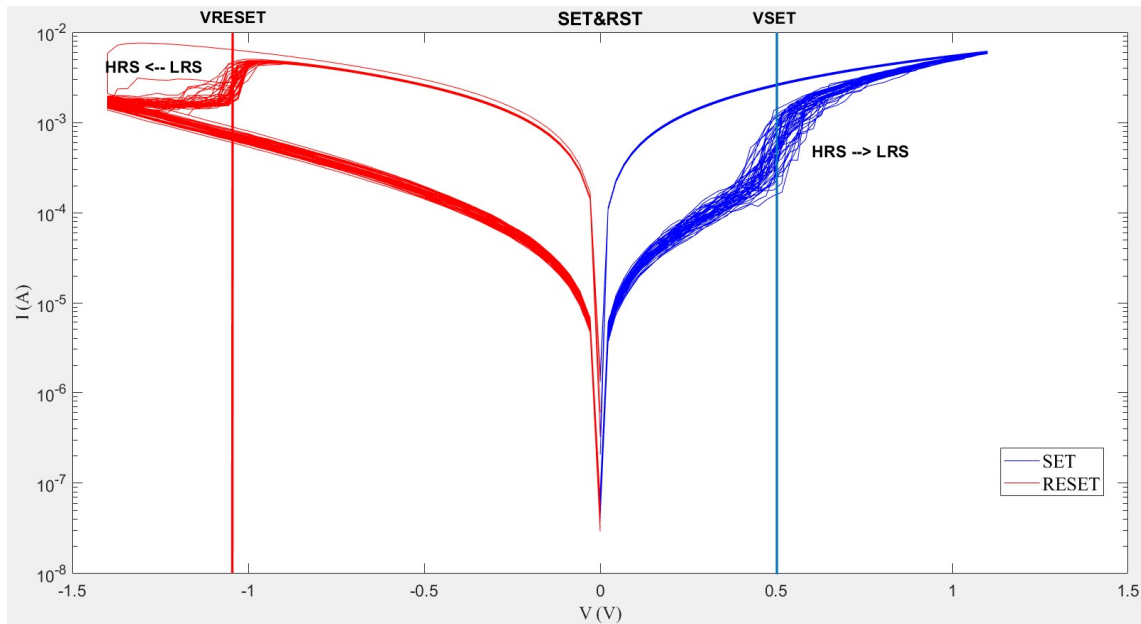


Figura 14 Exemple de test en continua amb 50 cicles

En la Figura 14 es pot comprovar com la tensió oscil·la entre els màxims especificats (-1,4 V i 1,1 V). Cada traçada correspon a un cicle. La línia vertical blava marca el valor aproximat de VSET (0,5 V) moment en el qual el memristor passa a LRS i per tant el corrent que el travessa puja sobtadament. Pel que fa a VRESET, indicat amb la línia vermella, el seu valor és d'aproximadament -1,1 V. En aquest punt es produeix la transició cap al nivell resistiu alt i per tant el corrent disminueix de forma notable.

Inicialment alguns dispositius poden mostrar un comportament defectuós i no s'aconsegueix produir la transició d'estat, en general, cap a HRS. Com a solució en aquests casos s'ha optat per augmentar lleugerament el valor de VHRS fins als -1,6 - 1,8 V, ja que en els primers cicles de funcionament d'aquests memristors és possible que el llindar es trobi per sobre de les especificacions, requerint un voltatge major. Una vegada el memristor mostra un comportament adequat, el valor VHRS pot tornar als -1,4 V recomanats pel fabricant (veure exemples mostrats en la Figura 15 i la Figura 16.

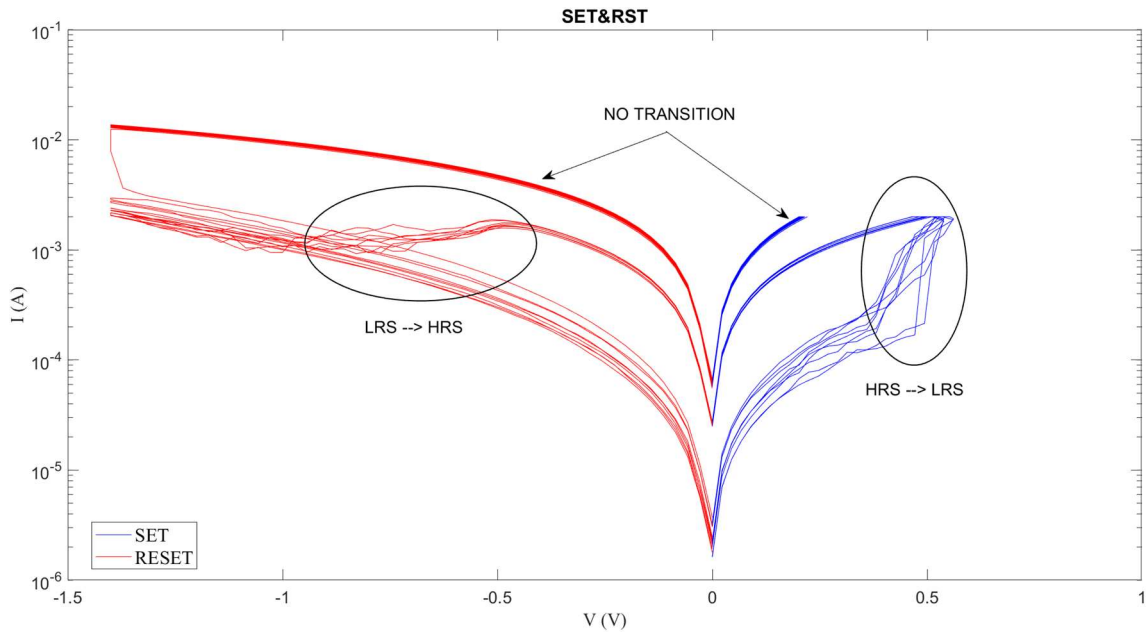


Figura 15 Exemple de comportament erroni. El dispositiu no commuta en tots els cicles

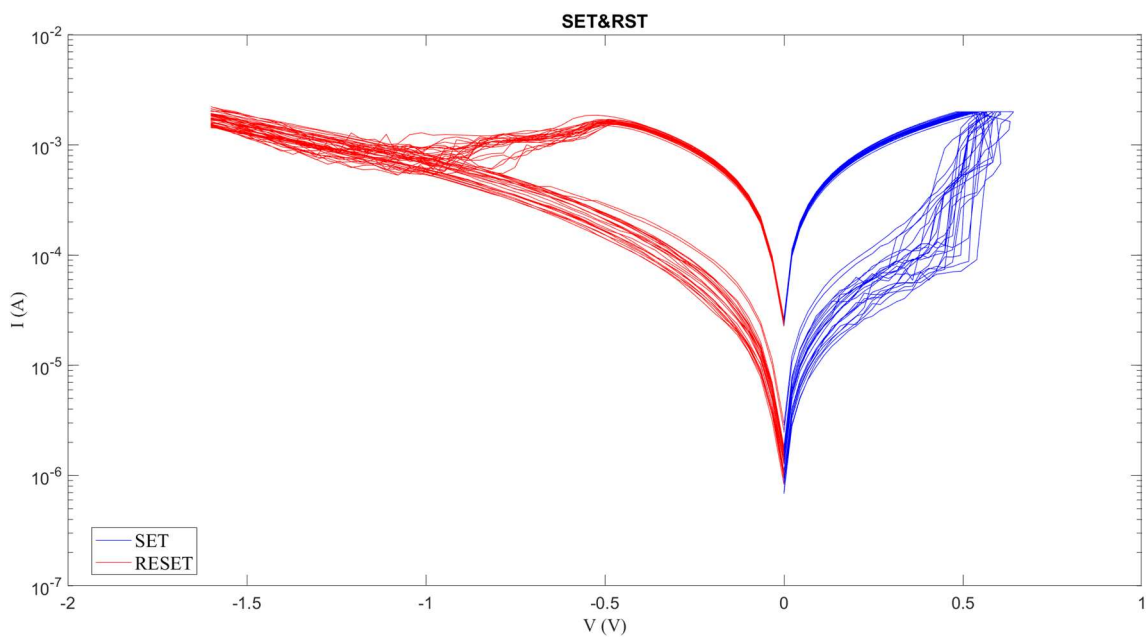


Figura 16 Correcció del comportament del dispositiu mitjançant l'augment de Vreset fins a -1,6 V

2.2.3. Pulse Test

En aquest tipus de test s'analitza el comportament del memristor quan es sotmet a polsos de tensió, un entorn propi dels circuits electrònics.

Per a dur a terme l'experimentació s'apliquen dos polsos per cicle, un de $-1,4$ V per a l'etapa de RESET i un altre de $1,1$ V per a l'etapa de SET. Els polsos tenen una durada de 5 ms (veure Figura 17).

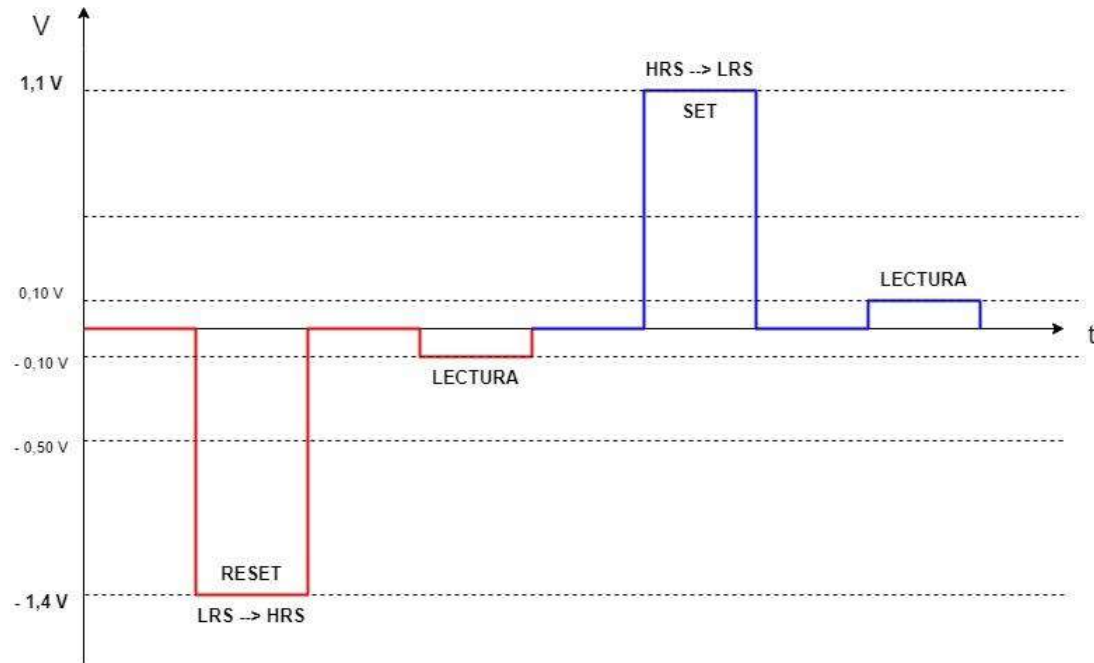


Figura 17 Senyal d'entrada per al test de polsos

Com es pot comprovar en la figura superior després de cada pols de RESET i de SET apareix un petit pols de 0,1 V. Aquest pols és el pols de lectura i serveix per enregistrar el valor resistiu del memristor en aquell moment. La seva magnitud és suficientment baixa per tal de no alterar l'estat del dispositiu. El pols de lectura genera un corrent a través del dispositiu que és enregistrar per la SMU per posteriorment ser processat pel PC. Coneixent el valor de la tensió juntament amb el valor de la intensitat, el programa és capaç de determinar el valor de la resistència del memristor.

La polaritat del pols de lectura es va alternant amb la finalitat de no descompensar el comportament del memristor. En altres estudis s'ha demostrat que l'acumulació de petits polsos pot arribar a provocar un canvi d'estat en el dispositiu a la llarga. D'aquesta manera s'intenta equilibrar al màxim.

El fet d'alternar polsos de lectura positius i negatius pretén no condicionar la transició del memristor. L'acumulació massiva de petits polsos de tensió de la mateixa polaritat podria produir el canvi d'estat del dispositiu a la llarga. La combinació de polsos assegura la pròpia compensació entre ells de manera que la influència en el comportament del memristor desapareix.

La Figura 18 mostra el comportament d'un dispositiu a mode d'exemple. En vermell s'han indicat les lectures del dispositiu en HRS i en blau l'estat LRS. En aquest cas s'il·lustra el comportament repetitiu observat en tots els dispositius on el LRS és molt estable a diferència del HRS.

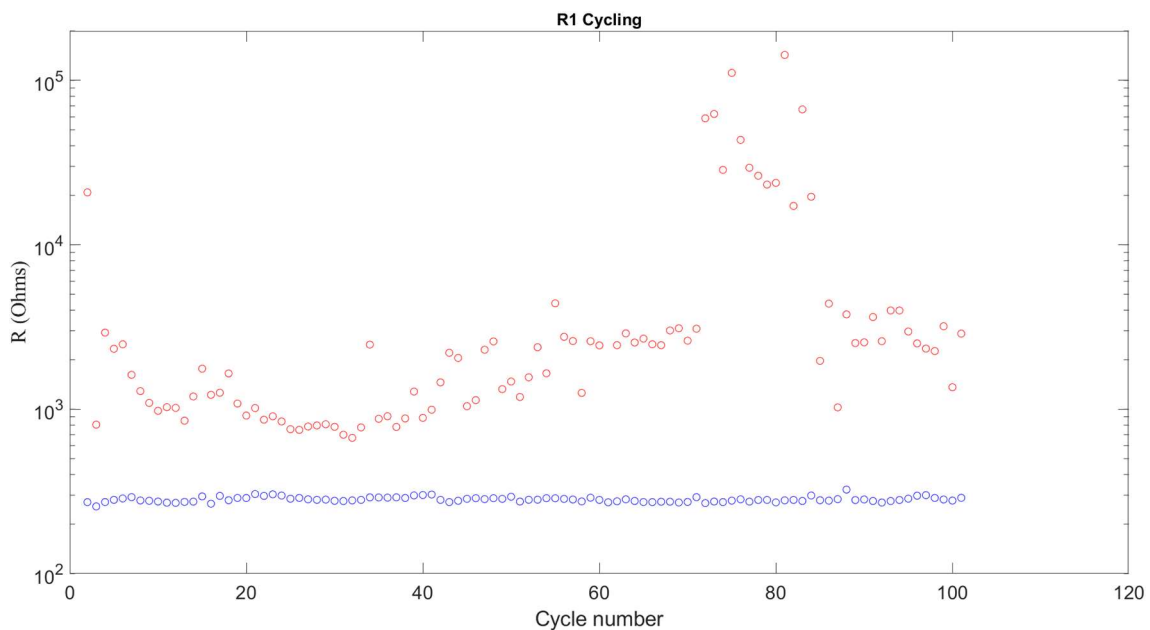


Figura 18 Resultats obtinguts per a un test amb polsos

2.2.4. Polsenoise Test

Es coneix com a soroll elèctric, o simplement soroll, a totes les interferències d'origen elèctric que apareixen juntament amb la senyal principal, coneguda com a senyal útil. Aquestes interferències no desitjades poden alterar significativament la senyal útil provocant efectes perjudicials.

En una senyal analògica, l'aparició de soroll amb una amplitud similar a la senyal principal pot comportar problemes seriosos. Pel que fa als sistemes digitals a vegades el soroll pot ser prou important com per provocar un canvi d'estat no desitjat, alterant el funcionament normal del sistema. S'ha de tenir en compte que el soroll mai podrà ser totalment eliminat, únicament es pot reduir per tal d'evitar perturbacions en la senyal principal.

Les fonts de soroll elèctric són tan variades com nombroses i es divideixen principalment en dos grans grups: el soroll intern o inherent i el soroll extern o interferències.

El soroll intern és produït pels propis dispositius electrònics com a conseqüència de la seva naturalesa física i acaba afectant al sistema del qual formen part.

Una altra de les formes més comunes de classificar el soroll és segons la densitat espectral de potència o DEP. La DEP mostra com es distribueix la potència d'un senyal en funció de les diferents freqüències que el conformen. Els principals tipus de soroll són:

Soroll blanc

La DEP d'aquest tipus de soroll és constant al llarg de tot l'espectre freqüencial, presentant una gràfica plana que conté totes les freqüències. Es tracta d'un senyal aleatori on els valors representats no guarden una correlació estadística entre ells.

Soroll rosa

En aquest tipus de soroll la DEP és inversament proporcional a la freqüència, seguint la relació $1/f$.

En aquest projecte s'ha treballat amb soroll del tipus blanc, més específicament del tipus blanc gaussià. L'adjectiu gaussià defineix la densitat de probabilitat dels valors, corresponent a una distribució normal (coneguda també com a distribució de Gauss, d'aquí el nom).

En aquest anàlisi el que es fa bàsicament és un test amb polsos tal i com s'ha descrit en l'apartat anterior, amb la diferència de que s'injecta soroll de tipus blanc gaussià sobre els polsos de tensió.

El test es realitza per etapes diferenciades segons el nivell de soroll introduït. El terme nivell de soroll fa referència a l'amplitud pic a pic que pot assolir el soroll, sense offset (valor mig a 0). En la distribució gaussiana correspondria al valor mig. La probabilitat de que l'amplitud superi 3 sigma és ínfima. Per posar un exemple una amplitud de 800 mV significa que amb una alta probabilitat el soroll prendrà un valor de ± 400 mV. La freqüència del senyal és de 1Mhz.

Per a cada nova etapa, el nivell augmenta segons el gradient introduït per paràmetre fins a arribar a un nivell màxim. Una vegada arribat a aquest punt l'experiment continua recorrent el mateix camí en direcció contrària fins a tornar al nivell inicial de soroll. El programa permet introduir els paràmetres necessaris per definir el test com el valor inicial de soroll, el nombre d'etapes o passos (*steps*), l'increment de soroll per a cada *step* i el nombre de cicles realitzats durant cada *step*.

```
noise_step=0.5;           %increment/decrement step for the noise
nsteps=4;                %number of different noise amplitudes applied
max_noise=noise_step*nsteps; %maximum amplitude of applied noise
noise_ini=0;             %initial noise (0.0 no noise)
ncycles=200;            %number of cycles applied for a given noise amplitude
```

Figura 19 Extracte del codi on s'especifiquen els paràmetres per al test de polsos amb soroll

La representació de l'evolució del soroll segons els paràmetres de la Figura 19 es mostra en la Figura 18

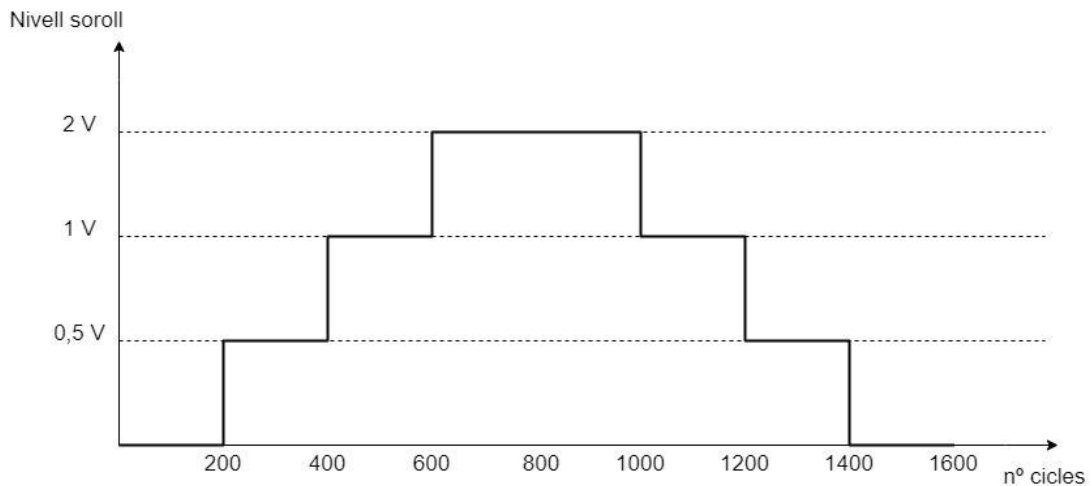


Figura 20 Exemple d'evolució de la senyal de soroll en el test de polsos amb soroll

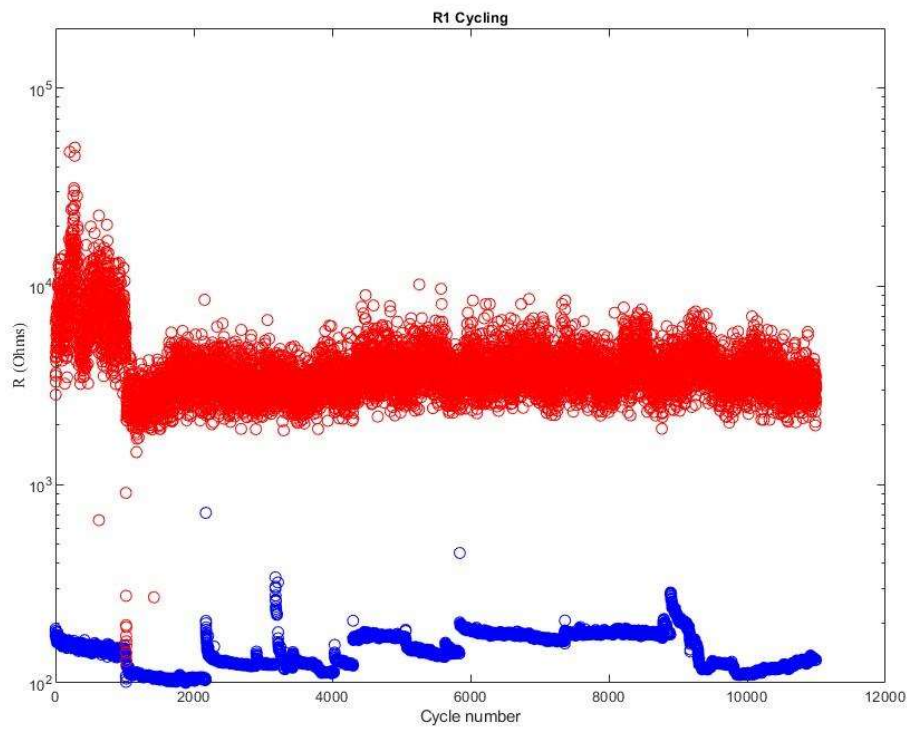
Notar com una vegada arribat al valor màxim el test realitza dos tests, un corresponent al camí ascendent i l'altre corresponent al camí descendent.

2.3. Experimentació amb soroll

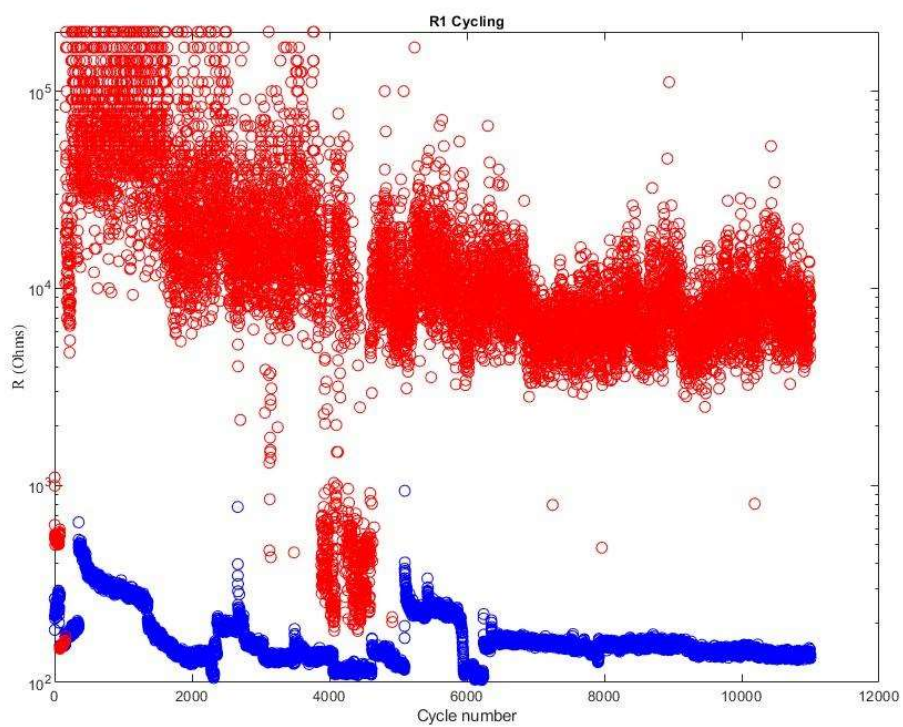
2.3.1. Caracterització soroll

Una vegada corroborat el funcionament correcte del memristor en continua es procedeix a analitzar el seu comportament en règim polsant i amb presència de soroll. Durant el procés experimental s'han anat provant diferents escenaris modificant els paràmetres exposats anteriorment: quantitat d'etapes (steps), increment per etapa i nombre de cicles per etapa. Amb la modulació d'aquests paràmetres s'intenten trobar els resultats més representatius possibles.

En un primer moment s'ha intentat recopilar el màxim nombre possible de dades a través de l'execució d'elevades quantitats de cicles per etapa (500 cicles). Aquest procés requeria més de dues hores en alguns casos. A continuació es mostren resultats per dos dispositius diferents.



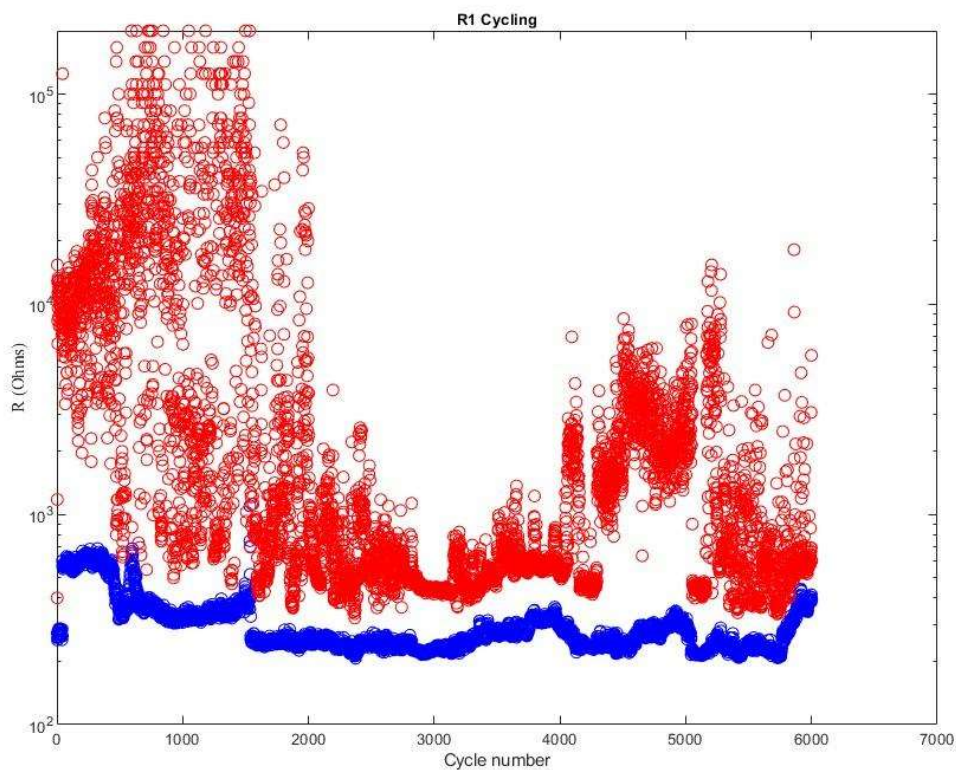
Step Polsenoise Test 1- Dispositiu 9512-3-N26_E8/500cycles_10steps_200mV



Step Polsenoise Test 2- Dispositiu 9512-3-N26_E7/500cycles_10steps_200mV

Els punts vermells representen els valors corresponents a l'estat resistiu alt, HRS, mentre que els punts blaus corresponen als valors de l'estat resistiu baix, LRS. A simple vista se pot veure com existeix una gran dispersió en els valors, tant per als del HRS com per els del LRS, tot i que en el cas del HRS pareix que la disseminació de les dades és major. En alguns casos es donen situacions com la del *Step Polsenoise Test 2*, en que un tram de cicles els valors difereixen notablement de la resta, principalment els corresponents al HRS (mal comportament transitori). A banda d'això no s'observa cap comportament destacable ni cap efecte que pugui estar relacionat amb la presència del soroll.

A continuació es procedeix a introduir un canvi en els paràmetres: reduir el nombre d'etapes a la meitat i doblar el nivell de soroll de cada step. D'aquesta manera s'intenta accentuar l'efecte del soroll amb transicions més marcades.

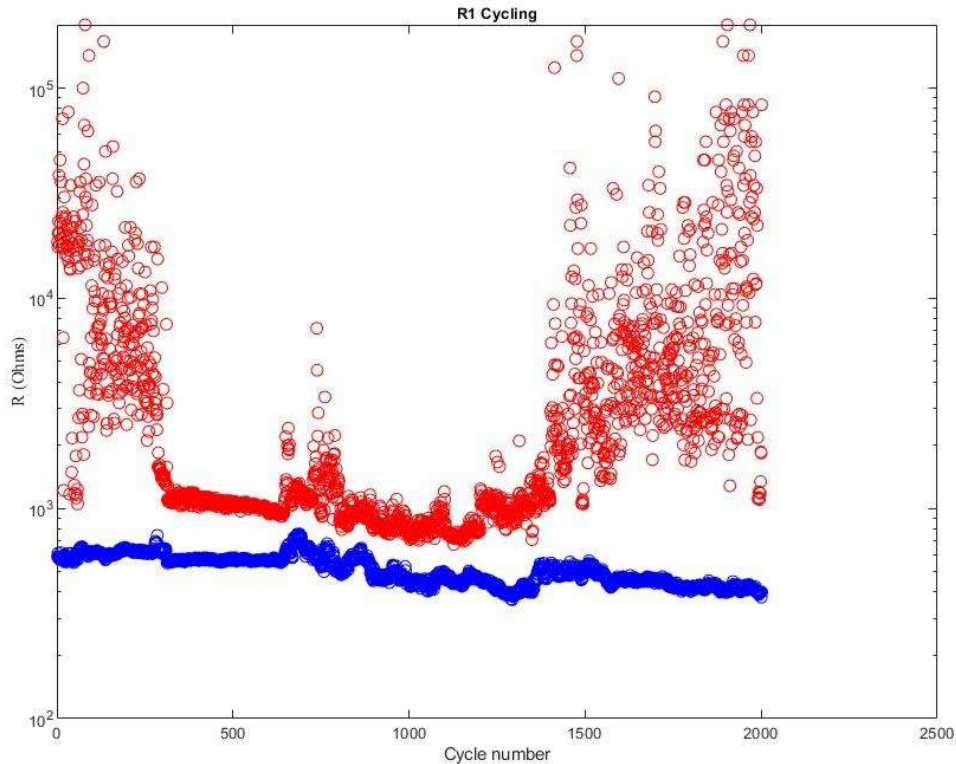


Step Polsenoise Test 3- Dispositiu 9512-3-K26_E3/500cicles_5steps_400mV

En aquesta ocasió la gràfica presenta un aspecte diferent com es pot observar en el *Step Polsenoise Test 3*. Tot i que la dispersió de les dades continua sent significativa, destaca com aquesta disminueix a mesura que augmenta el nivell de soroll. El valor màxim de soroll es dona a la meitat del recorregut, en aquest cas entorn dels 3000 cicles. Just en aquesta àrea es pot veure com els valors es troben més pròxims entre ells, tant els de l'estat alt com els de l'estat baix. Per tant la disseminació dels valors tendria a disminuir amb la presència de soroll, segons aquesta observació.

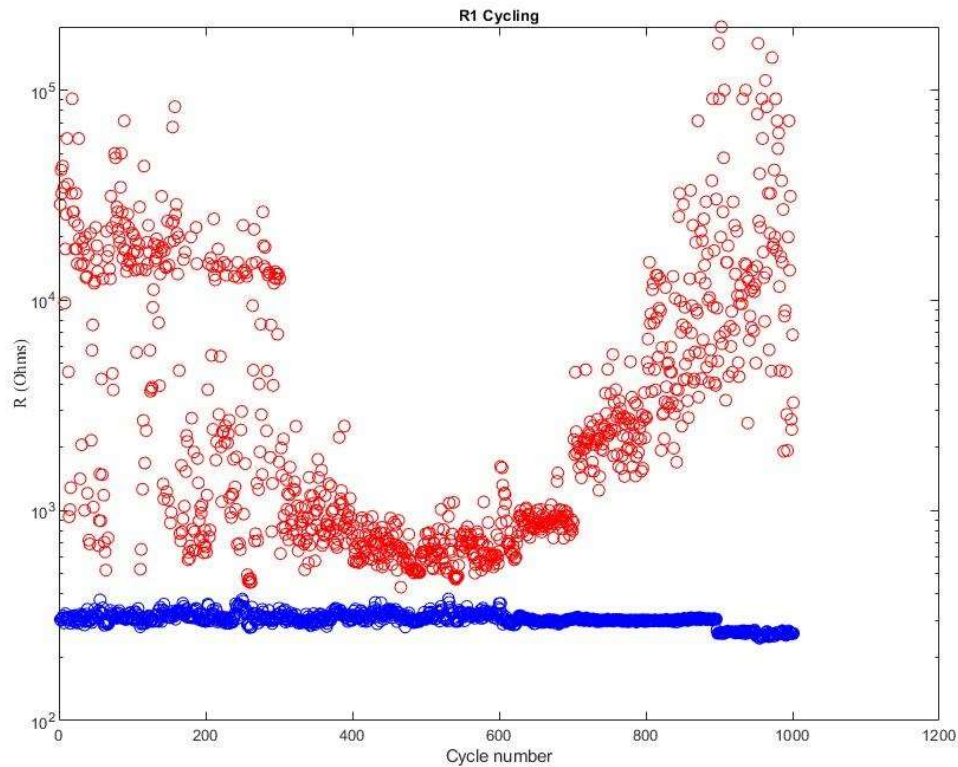
En el conjunt dels valors de LRS destaca la presència de nombroses discontinuïtats a causa dels canvis bruscs en els valors, donant un aspecte fragmentat a la gràfica. Un dels motius podria ser el deteriorament degut a l'elevat nombre de cicles aplicat sobre el memristor. Això fa que les

propietats del component es vegin alterades a mesura que avança la prova. Per tant resulta recomanable reduir el nombre de cicles per minimitzar la presència d'aquestes discontinuïtats i així obtenir resultats d'una major qualitat. D'aquesta manera s'intenta que les característiques del dispositiu es conservin el màxim possible des de el principi fins al final de la prova.



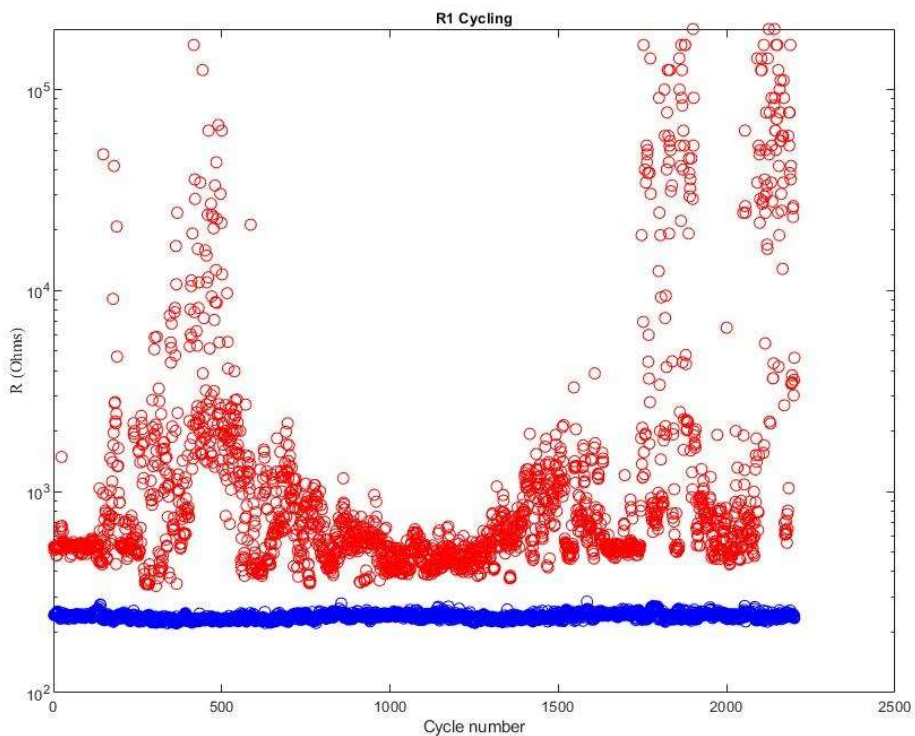
Step Polsenoise Test 4- Dispositiu 9512-3-N30_E4/200cicles_4steps_500mV

Com es pot comprovar en el *Step Polsenoise Test 4*, amb un nombre menor de cicles els resultats presenten una major continuïtat i serveixen igualment per caracteritzar el dispositiu. Es continua observant la tendència dels valors a concentrar-se a mesura que augmenta el nivell de soroll

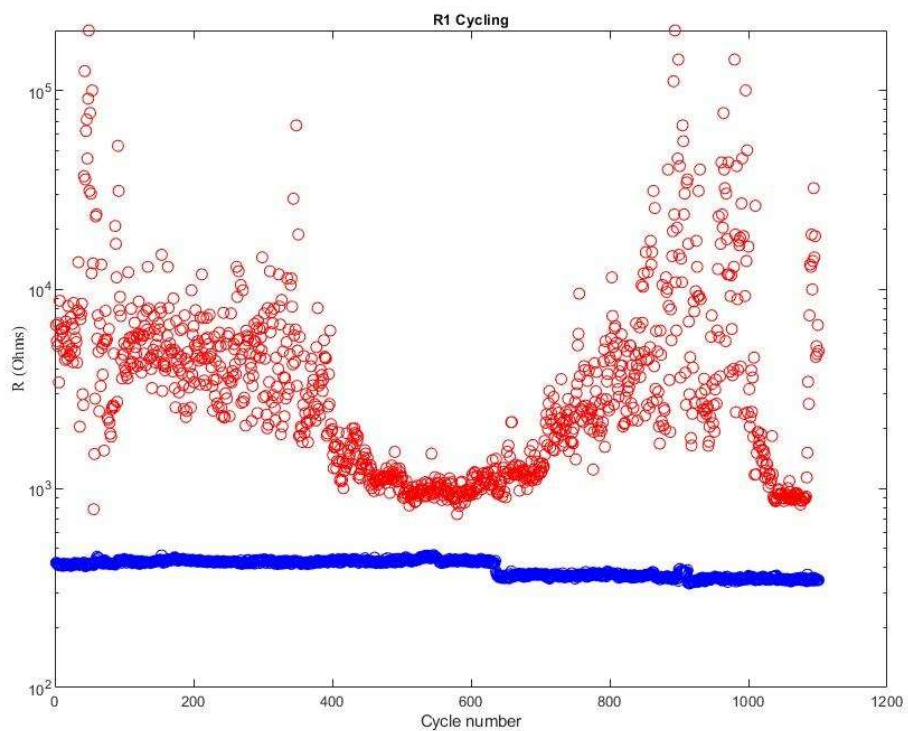


Step Polsenoise Test 5- Dispositiu 9512-3-N30_E6/100cycles_4steps_500mV

En el *Step Polsenoise Test 5* es pot apreciar com amb 100 cicles per etapa els resultats presenten encara una major continuïtat, únicament interrompuda cap al final pel que fa als valors de SET. Per aquest motiu es decideix realitzar els tests amb etapes de 100 o 50 cicles per tal de conservar al màxim les qualitats dels memristors. A més s'ha optat per retornar a la configuració inicial de 10 etapes amb increments de 200 mV per a cada una, a fi d'obtenir una major varietat de dades i suavitzar així les transicions de soroll.



Step Polsenoise Test 6 - Dispositiu 9512-3-N24_E5/100cycles_10steps_200mV



Step Polsenoise Test 7 - Dispositiu 9512-3-N24_E3/50cycles_10steps_200mV

Com es pot observar en *Step Polsenoise Test 6* i en *Step Polsenoise Test 7*, es continua observant la mateixa tendència entorn als nivells més alts de soroll. Pel que fa a la figura inferior, corresponent a un test de 50 cicles, s'observa una petita discontinuïtat posterior als 600 cicles. S'ha de tenir en compte que el dispositiu havia sigut sotmès anteriorment a un test de 100 de manera que el deteriorament acumulat és major. De totes formes la discontinuïtat no sembla significativa.

Per tal de visualitzar millor la dispersió dels valors resulta interessant generar una gràfica de caixes i bigots.

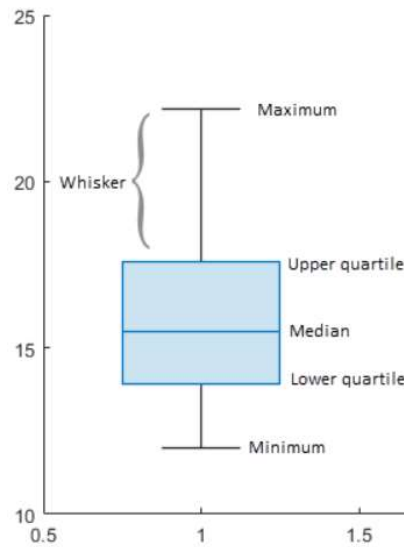
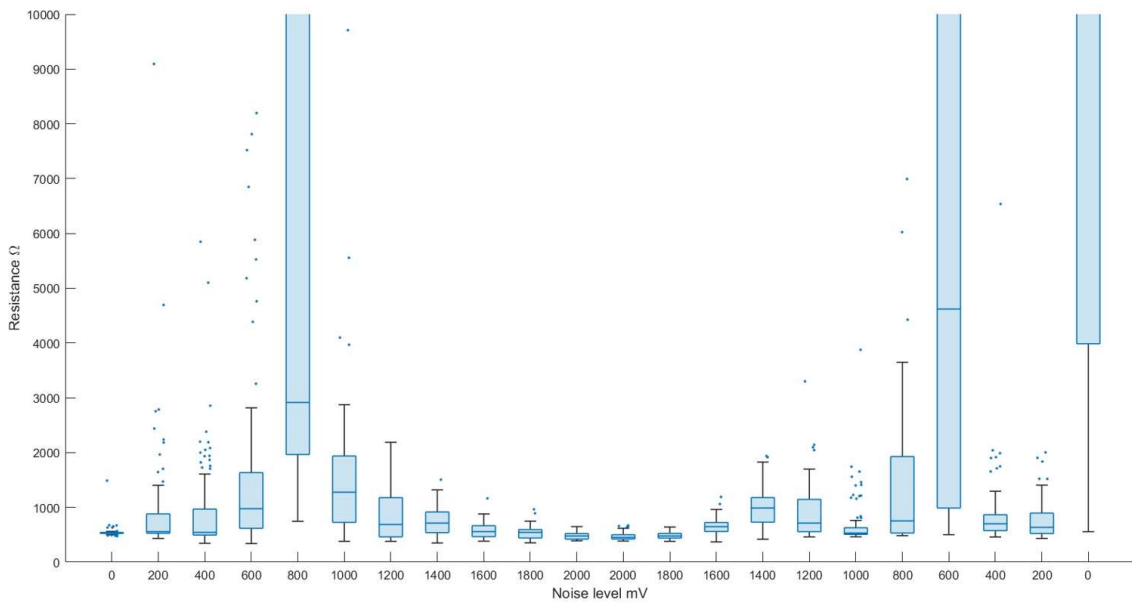


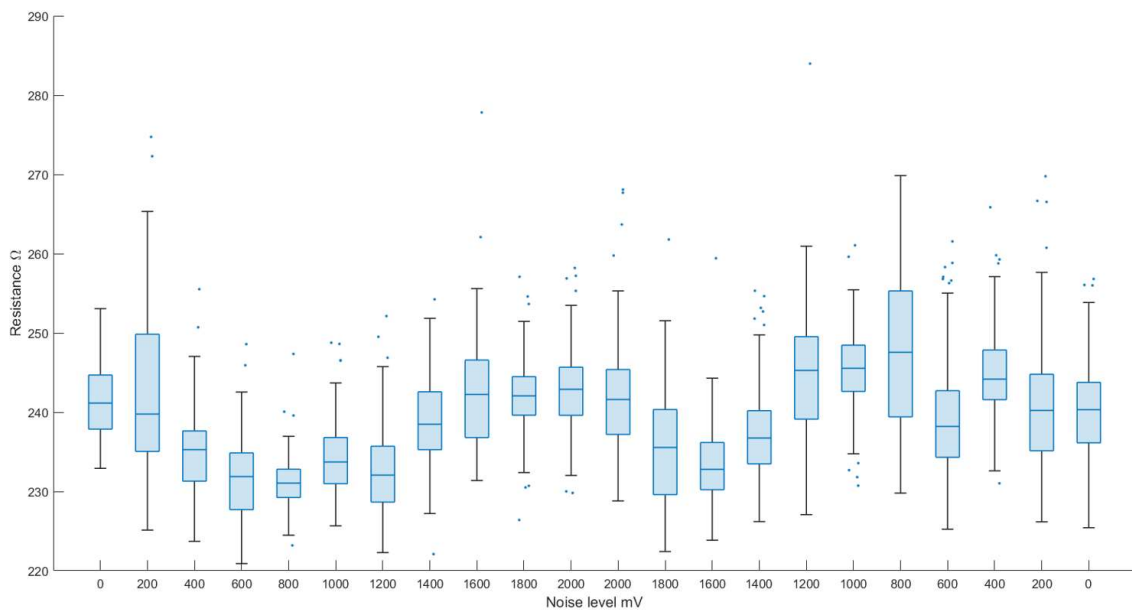
Figura 19 Exemple de diagrama de caixes i bigots i els seus elements

La caixa conté el 50% dels valors i es troba dividida per una línia que representa el valor mig. Els bigots són les línies verticals que van desde els extrems de la caixa fins als valors màxim i mínim i contenen el 25% dels valors cada un. Fora dels bigots es troben representats amb punts els valors atípics.



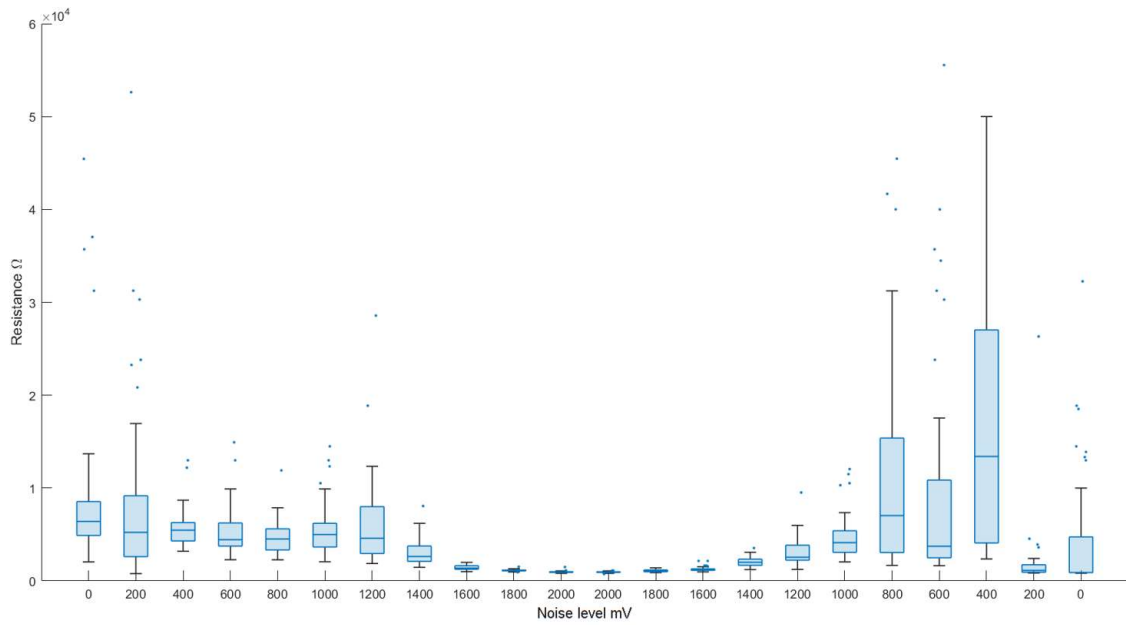
Gràfica 1 Dispositiu 9512-3-N24_E5/100cicles_10steps_200mV - HRS

Descartant algunes etapes on la disseminació de les dades és inusualment elevada, es pot veure com la concentració de les dades és major en el centre de la gràfica. Es veu com la mitjana es mou entre els 500 Ω i els 1000 Ω.

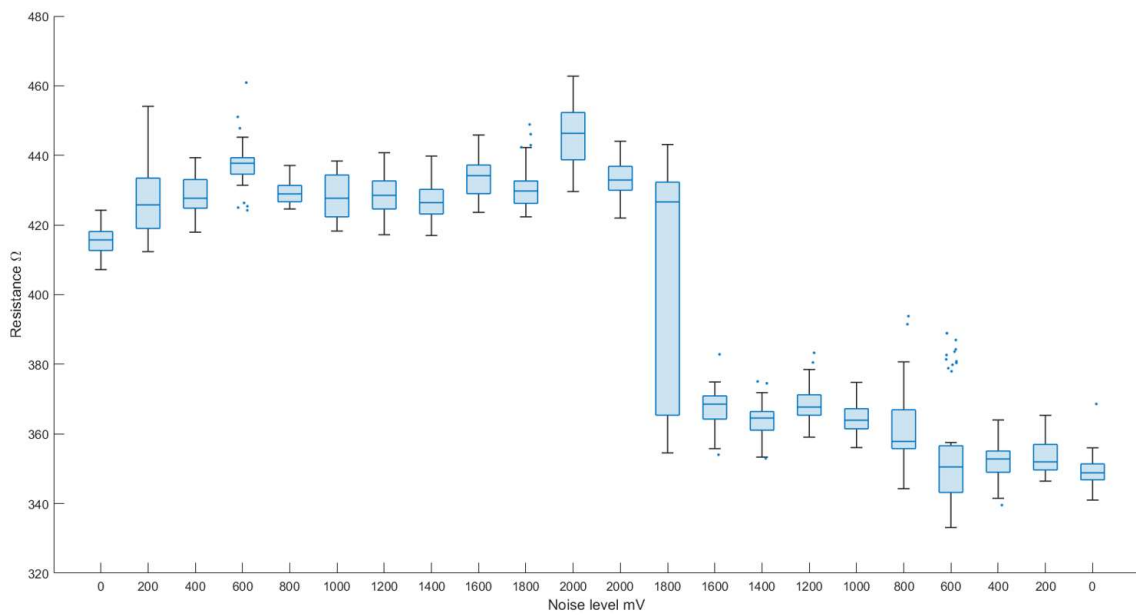


Gràfica 2 Dispositiu 9512-3-N24_E5/100cicles_10steps_200mV - LRS

En el cas dels valors de LRS la diferència entre etapes és inferior, fluctuant entre els 245 Ω i els 230 Ω aproximadament.



Gràfica 3 Dispositiu 9512-3-N24_E3/50cicles_10steps_200mV - HRS

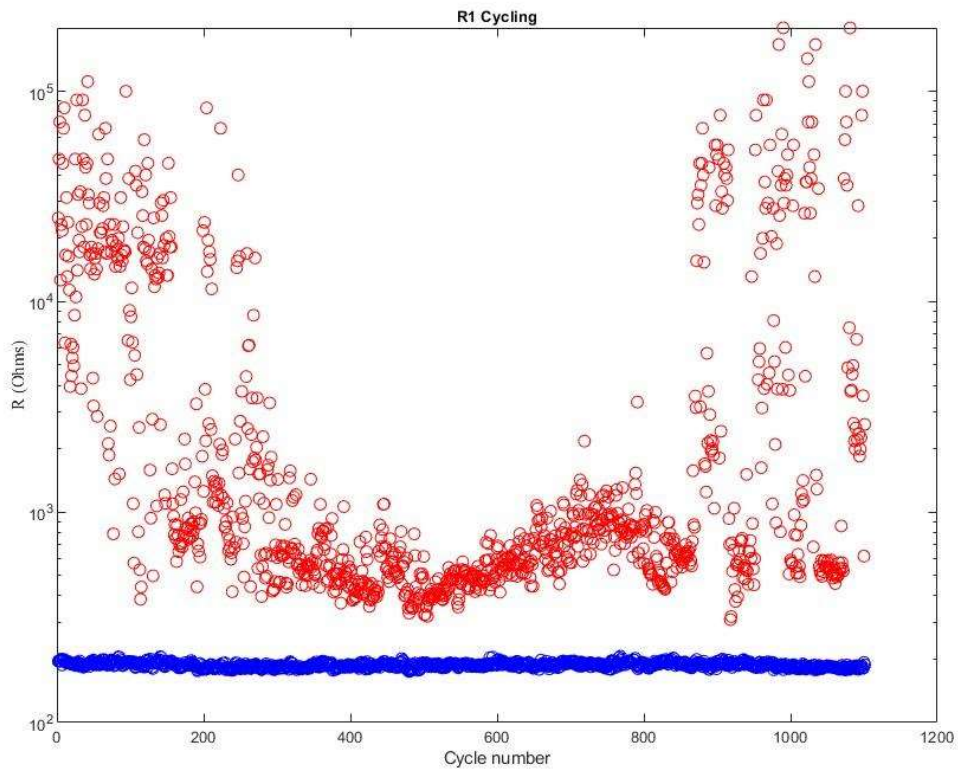


Gràfica 4 Dispositiu 9512-3-N24_E3/50cicles_10steps_200mV - LRS

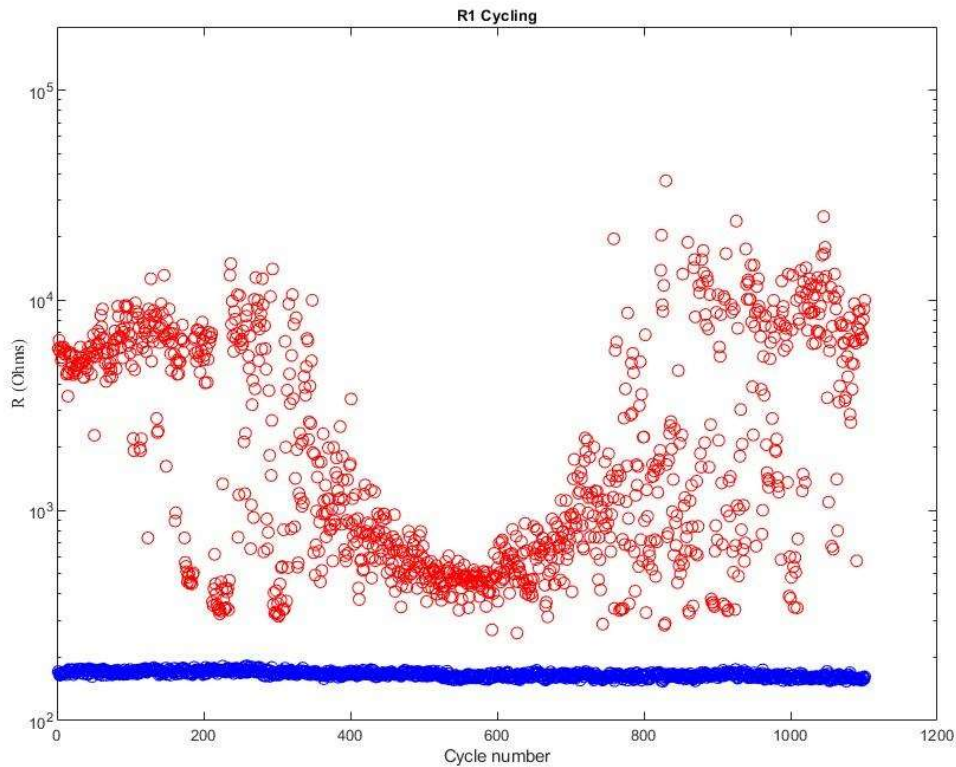
En la figura superior es pot veure clarament la discontinuïtat a partir de la etapa 1800 mV en retorn, tal i com s'ha comentat anteriorment. El valor mig passa dels 430 Ω als 360 Ω.

Finalment després de dur a terme diferents tipologies de tests s'ha optat per aquesta última com a sistema d'anàlisi dels dispositius. Per tant es duran a terme 10 etapes, augmentant en 200 mV el nivell de soroll per etapa fins a un màxim de 2V per després anar disminuint fins a tornar a 0. D'aquesta manera s'obtenen resultats prou representatius del comportament del

memristor sota l'efecte de diferents graus de soroll. El nombre de cicles per etapa es fixa en 50 per tal de reduir al mínim el deteriorament del dispositiu i per a agilitzar el procés experimental. A continuació s'ha corroborat el comportament obtingut inicialment sobre dispositius diferents.



Step Polsenoise Test 8- Dispositiu 9512-3-N29_E6/50cicles_10steps_200mV



Step Polsenoise Test 9- Dispositiu 9512-3-N27_E3/50cycles_10steps_200mV

Encara que els valors de resistència alta no coincideixin en tots els casos, tant en el *Step Polsenoise Test 8* com en el *Step Polsenoise Test 9* es pot distingir clarament un patró comú segons el qual el valor resistiu alt tendeix a concentrar-se a mesura que augmenta el nivell de soroll. En aquest punt el memristor assoleix una espècie d'estat intermig en el qual la resistència es troba per sota dels valors d'alta resistència però sense arribar als valors de resistència baixa propis del SET. Això mostraria com la injecció de soroll és capaç de portar el memristor a un tercer estat resistiu, amb valors situats entre el HRS i el LRS.

El soroll està format per impulsos bruscs de tensió de curta durada. Sembla que aquests pics de voltatge contribueixen a la formació gradual del filament de manera que el valor resistiu també va disminuint progressivament.

Per a això un altre aspecte interessant del soroll és comprovar si pot tenir certa influència en la transició d'estat del memristor. En el següent apartat s'analitzarà la capacitat del soroll per a intentar modular el valor de la RRAM i la seva influència en la transició d'estat.

2.3.2. Modulació del valor resistiu de la RRAM amb soroll

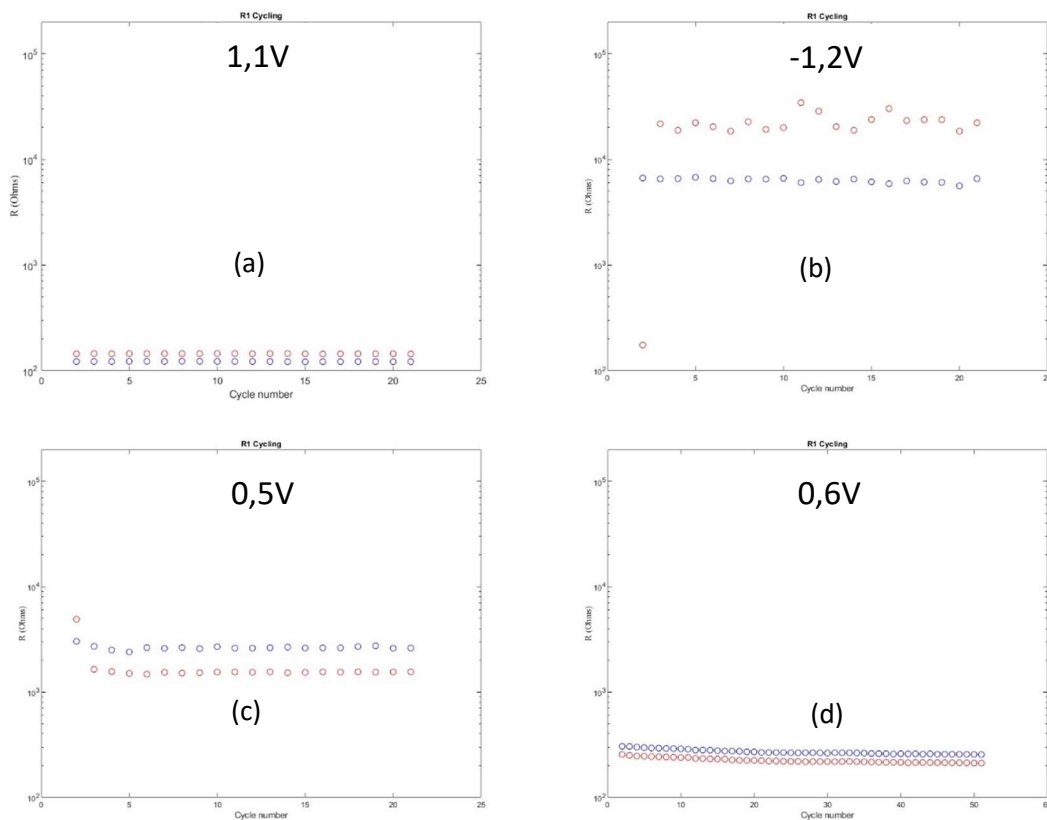
La transició gradual del valor resistiu és un dels aspectes de les RRAMs amb més potencial amb un enorme ventall de possibilitats. Aquest tret li dona a la RRAM un caràcter analògic que

contrasta amb la concepció inicial d'un dispositiu amb dos únics estats (0 i 1), purament digital. És aquí on entra en joc el concepte de resistència multinivell i les seves nombroses aplicacions. Per anomenar algunes hi ha l'emmagatzematge de dades (5) (6), el càlcul lògic (7) (8) o els sistemes basats en xarxes neuronals (9) (10).

Un dels temes que més interès ha suscitat en qüestions de recerca és la possibilitat d'incrementar i reduir la conductància de la RRAM en funció de la tensió d'excitació aplicada. Pel moment no s'han aconseguit resultats prou satisfactoris pel que fa a la implementació d'una resistència multinivell.

La possibilitat de modular el valor resistiu de la RRAM ha demostrat tenir aplicacions en el camp de la seguretat de hardware.

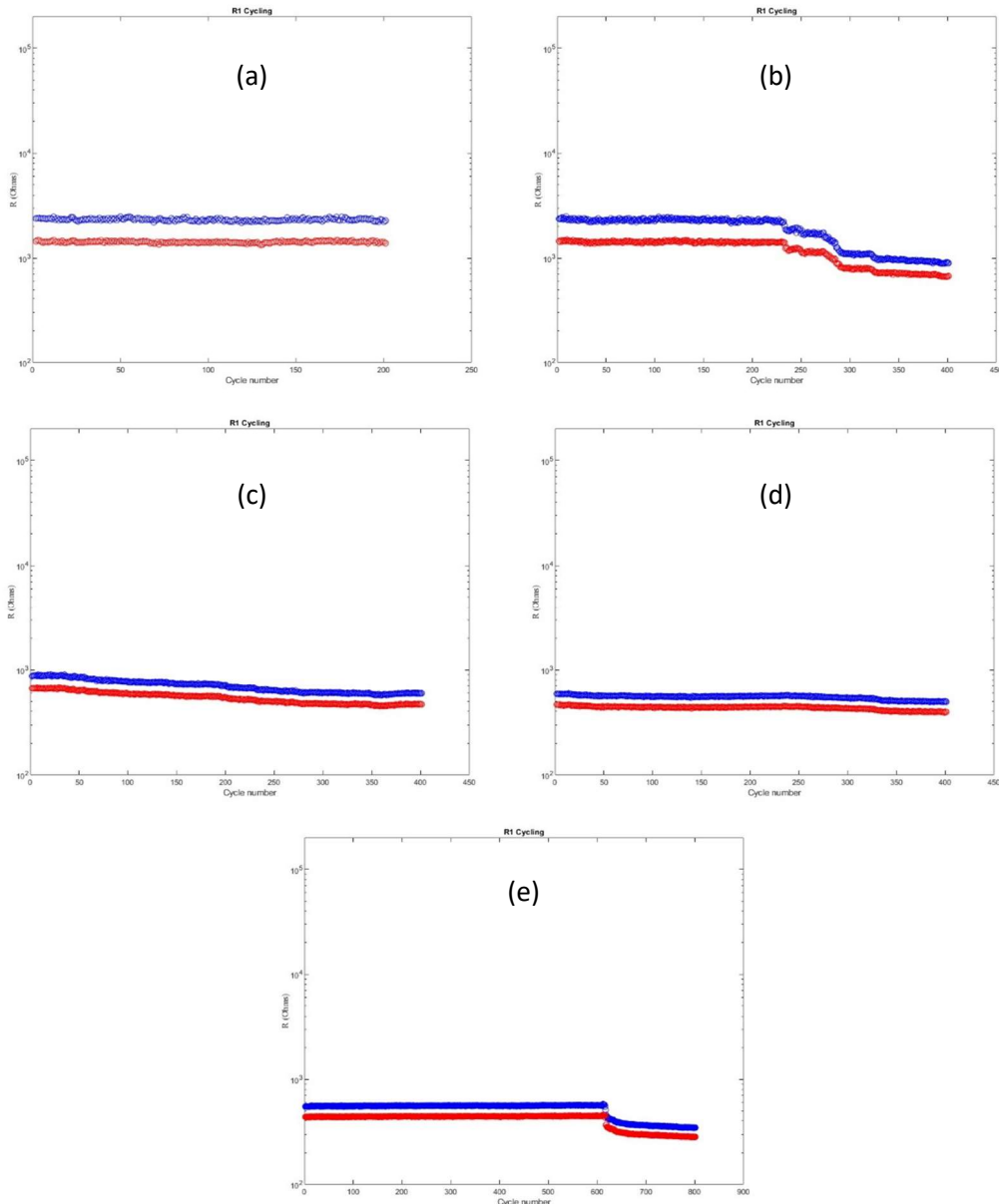
En aquest experiment s'aplicaran polsos de tensió sobre el dispositiu de forma gradual per analitzar la variació de l'estat resistiu. Així es podran conèixer els valors llindar que marquen la transició entre nivells.



Polsenoise Test 1 – Dispositiu N32_E3 – Caracterització de la tensió llindar de SET

En *Polsenoise Test 1* es pot veure com s'ha portat el dispositiu de l'estat de RESET a l'estat de SET de forma progressiva, intentant trobar el voltatge llindar on comença el canvi d'estat que en aquest cas es troba pròxim als 0,5V. En aquest punt es pot comprovar com la resistència HRS baixa notablement però sense arribar als mínims propis de l'estat de SET. La tensió aplicada no és suficient per completar el salt a LRS. Finalment aplicant una tensió lleugerament per sobre del valor llindar la resistència decreix bruscament i el dispositiu entra en SET.

Un altre fet a destacar és la variació entre els valors llegits en HRS tenint en compte que per a un mateix cicle s'apliquen dos polsos de tensió d'igual magnitud (en aquest cas $-1,2V$). L'única diferència és el signe del pols de lectura de $0,1V$ (negatiu per els punts vermells i positius per els punts blaus). Teòricament els valors haurien de ser iguals ja que el signe de lectura es considera prou reduït per a influir en l'estat de la RRAM. Per als següents cicles s'ha decidit invertir la polaritat dels impulsos de lectura i s'ha pogut observar com la diferència entre els valors en HRS disminueix.



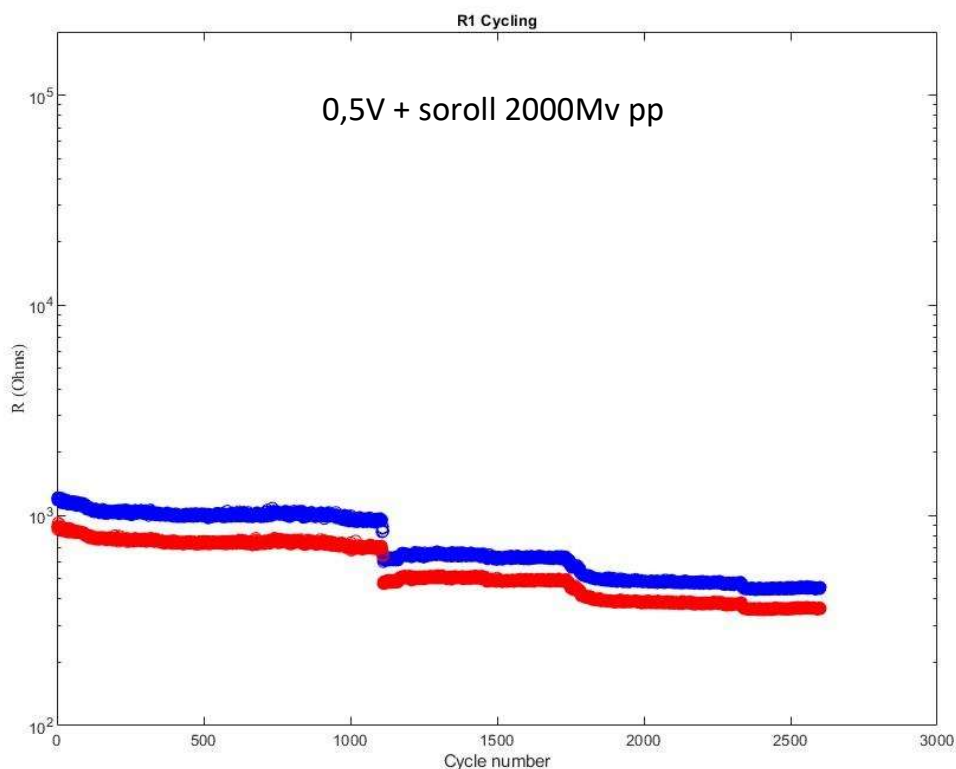
Polsenoise Test 2 - Dispositiu N32_E3 – Evolució del valor resistiu

Per una altra banda s'ha sotmès el dispositiu a una gran quantitat de cicles sota la tensió llindar de SET trobada en l'anàlisi anterior ($0,5V$) per veure quina era la seva evolució. En el Polsenoise Test 2 es pot veure com la RRAM es troba inicialment al voltant dels 2000Ω . A partir d'aquí es

comencen a aplicar cicles de polsos de 0,5V fins que s'observa el primer canvi d'estat als 800 cicles (els 360 anteriors no es troben representats). Tenint en compte que per cada cicle s'apliquen dos polsos, el dispositiu ha aguantat 1600 impulsos de tensió en el mateix nivell resistiu. A partir d'aquí es produeix una ràpida transició fins que la resistència de la RRAM es torna a establir en un nou nivell (aproximadament 500 Ω). En aquest estat el memristor arriba a superar els 1000 cicles (2000 impulsos) fins que es torna a produir una brusca davallada. Per tant queda comprovat la transició gradual de la RRAM, en aquest cas de RESET cap SET.

A més s'ha pogut comprovar com s'ha aconseguit mantenir el dispositiu en dos nivells diferenciats, encara que hagi estat per un nombre limitat de cicles. Aquests resultats coincideixen amb el comportament descrit per (11) basat en l'aplicació massiva de polsos de set a partir de l'etapa de preset. Es podia observar com a mesura que avançaven els cicles la conductància del dispositiu anava dibuixant una corba exponencial ascendent. Això significa que al començament per als valors majors de resistència la transició a LRS és molt pronunciada. A mesura que s'avança i la resistència disminueix els canvis d'estat es produeixen de manera suau fent que els nivells de la RRAM es mantinguin durant períodes més extensos. Per tant resulta més convenient treballar en una zona més pròxima a LRS per a aconseguir estats diferenciats.

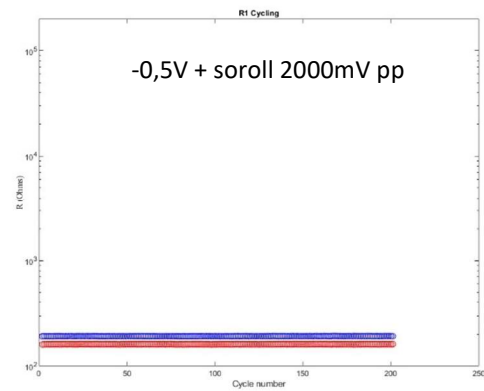
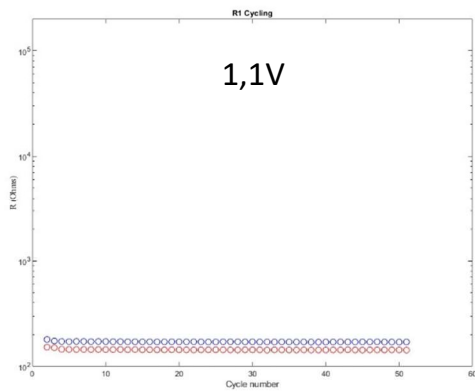
A continuació s'ha repetit la prova anterior afegint el soroll sobre els polsos d'excitació com s'explica en l'apartat 2.2.4. Els polsos d'excitació es mantenen en 0,5V al igual que el nivell de soroll. S'ha decidit aplicar soroll de 2V d'amplitud pic a pic, el nivell màxim aplicat en els experiments de l'apartat 2.3.1. Recordar que aquest nivell de soroll és el que té un efecte més marcat segons els resultats obtinguts en l'apartat 2.3.1.



Polsnoise Test 3 - Dispositiu N32_E3

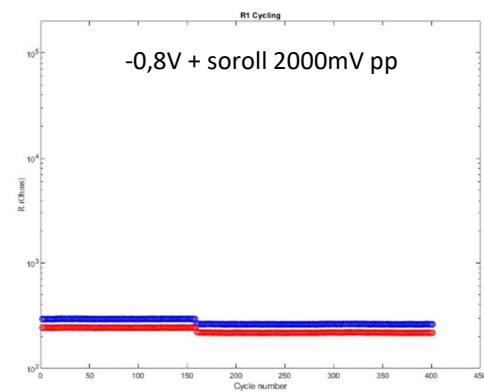
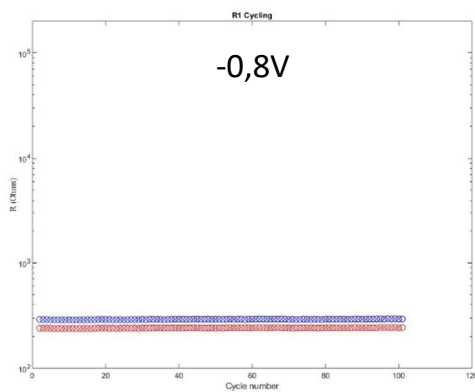
En el Polsenoise Test 3 es pot comprovar des de un primer moment el valor de la resistència és inferior respecte a la prova anterior sense soroll on el valor s'acostava més als 1500 Ω. Pel que fa a la evolució de la resistència es pot veure com es manté el valor inicial fins als 1100 cicles aproximadament. En aquest punt el valor resistiu descendeix sobtadament fins a col·locar-se entorn dels 550 Ω on es manté durant 650 cicles. Durant els cicles següents es produeix un canvi gradual de la resistència fins a assolir un nou nivell (400Ω) on es manté, de nou, durant uns 600 cicles. Comparant amb els resultats anteriors no es troben diferències notables pel que fa a la durada dels nivells resistius. La principal diferència a destacar és la presència de transicions més pronunciades que en el cas anterior. Aquest tret podria ser un avantatge a l'hora d'aconseguir nivells més diferenciats de resistència.

En la prova següent s'ha analitzat la transició contrària, de SET a RESET en la que la resistència del memristor passa de valor baix a valor alt degut a la desintegració del filament conductor.



Polsenoise Test 4 - Dispositiu N32_E3

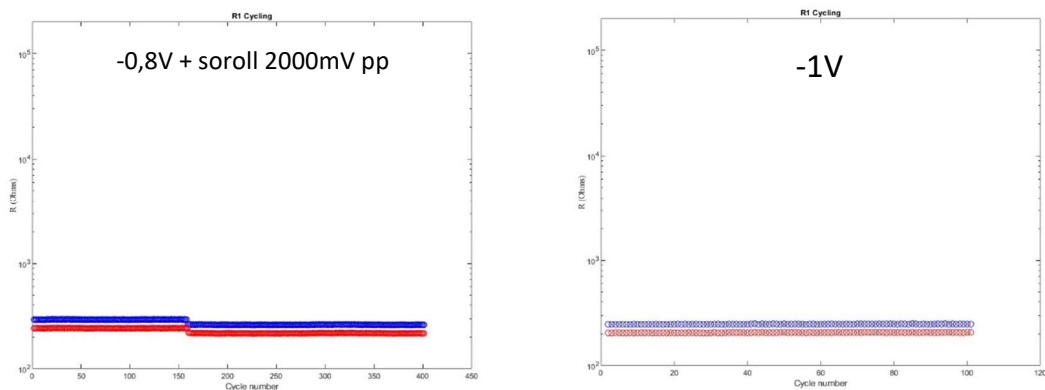
Un cop el dispositiu assoleix l'estat de SET amb una tensió positiva de 1,1V es procedeix a invertir la polaritat d'aquesta tensió d'excitació amb la intenció de portar el memristor cap a l'estat HRS. A més de la tensió de -0,5V se li suma un senyal de soroll gaussià de 2V d'amplitud per veure quin és el seu efecte. En el Polsenoise Test 4 s'aprecia un lleuger augment de la resistència que indicaria l'inici de la transició d'estat. Cap la possibilitat que el soroll hagi contrarestat l'efecte dels polsos de -0,5V i la integritat del filament conductor s'hagi vist mínimament afectada.



Polsenoise Test 5 - Dispositiu N32_E3



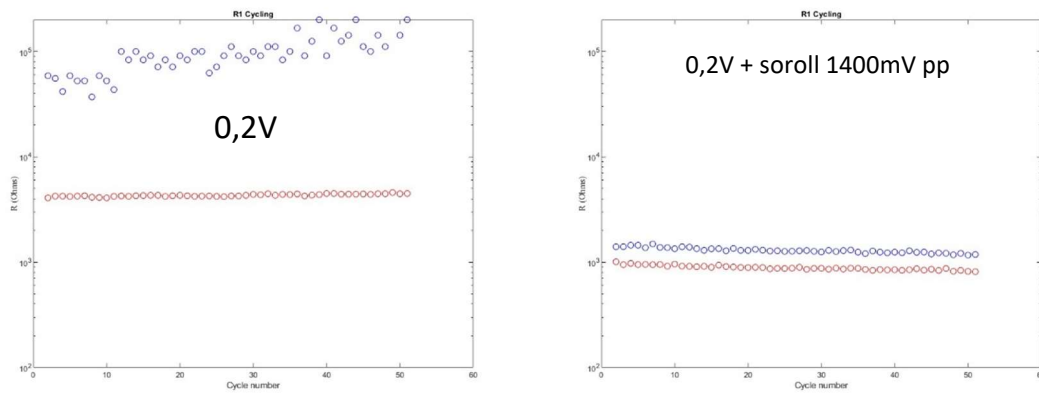
En la prova següent s'opta per seguir el mateix procediment incrementant la tensió negativa fins a $-0,8V$. De primeres es pot apreciar com el valor resistiu ha augmentat respecte al Polsenose Test 4. A partir d'aquí s'ha repetit la introducció de soroll de igual amplitud ($2V$) observant com la resistència es decremента al cap d'uns 100 cicles. Sembla que es reproduïx el comportament detectat en el Polsenose Test 3 segons el qual l'aplicació de soroll gaussià produïa la disminució progressiva del valor resistiu de la RRAM, aconseguint una transició progressiva del dispositiu de RESET cap SET.



Polsenose Test 6 - Dispositiu N32_E3

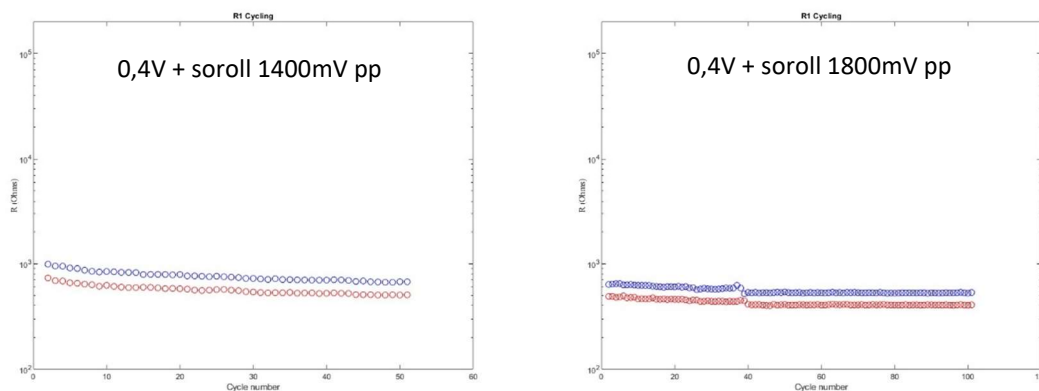
En la prova següent s'ha seguit insistint amb l'augment de la tensió negativa per veure si s'arribaven a produir canvis en l'estat resistiu de la RRAM. Com es pot comprovar en el Polsenose Test 6, tot i excitar el component amb una tensió de $-1V$ el valor roman intacte durant 100 cicles. L'aportació de voltatge no és suficient per a començar a destruir el filament i canviar d'estat. Això podria tenir relació amb el pas anterior on existeix la possibilitat de que s'hagi creat un gran nombre de filaments degut a l'efecte del soroll. La solució passa per seguir augmentant el voltatge.

Els resultats reflecteixen com el soroll sembla aproximar el dispositiu al LRS, tant en el procés de RESET com en el de SET. El soroll demostra la seva capacitat per a disminuir el valor resistiu de la RRAM.



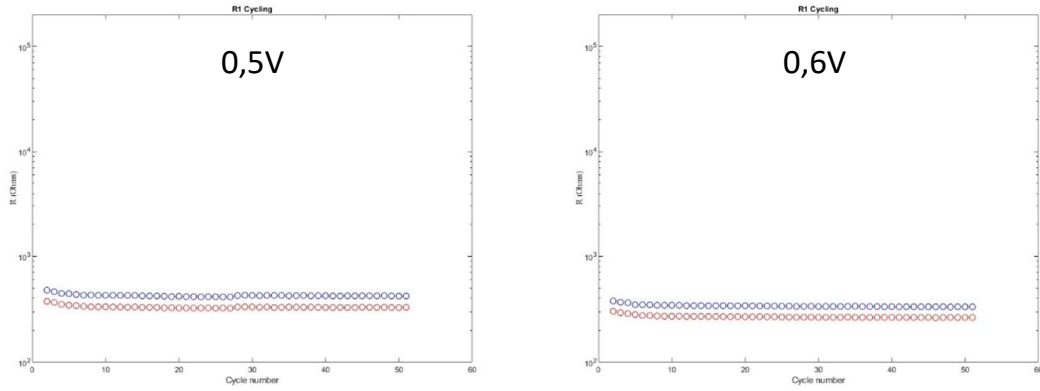
Polsenoise Test 7 - Dispositiu N27_E7

En el *Polsenoise Test 7* podem veure com inicialment el memristor es troba en estat resistiu alt aplicant polsos de tensió de 0,2V. En el test següent es procedeix a afegir soroll al senyal original, d'amplitud 1,4V pic a pic i es comprova com la resistència baixa de forma notable, indicant l'inici de la transició cap a LRS. Es demostra de nou l'efecte del soroll sobre la RRAM i com contribueix a augmentar la seva conductància.



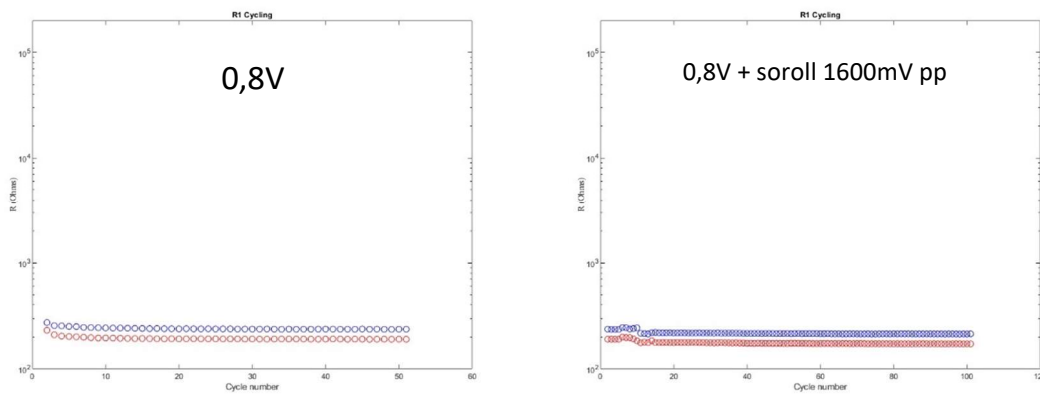
Polsenoise Test 8 - Dispositiu N27_E7

A continuació es segueix augmentant la tensió de pols fins als 0,4V. Com era d'esperar la resistència continua decreixent. En la repetició de la prova amb soroll gaussià de 1,8V amplitud pic a pic s'aconsegueix reduir lleugerament aquest valor tal i com es pot veure en el *Polsenoise Test 8*.



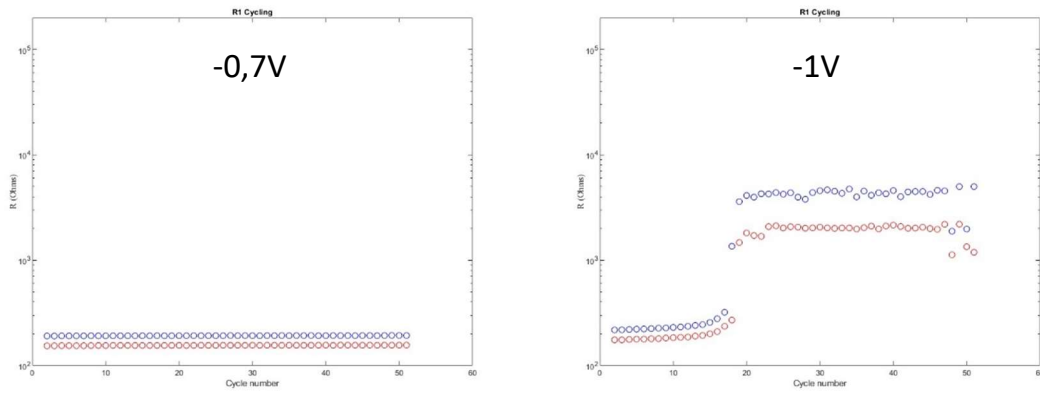
Polsenoise Test 9 - Dispositiu N27_E7

En el Polsenoise Test 9 es pot veure clarament com disminueix progressivament la resistència del memristor a mesura que els polsos de voltatge augmenten.



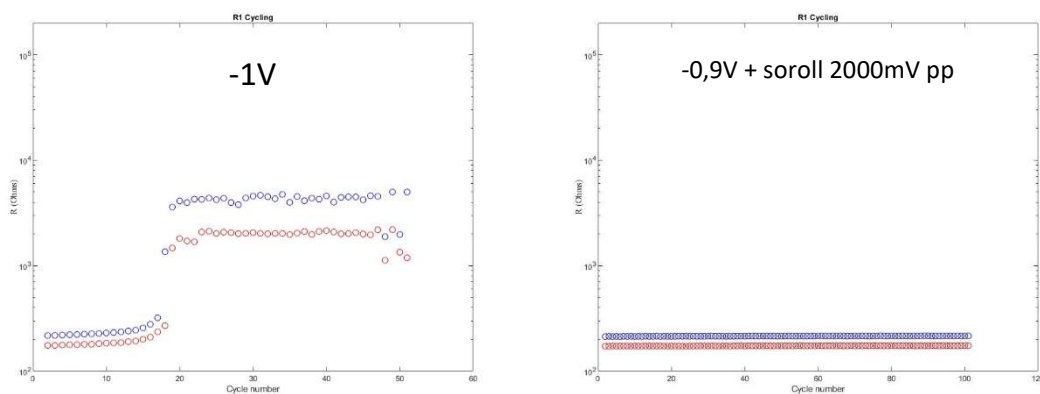
Polsenoise Test 10 - Dispositiu N27_E7

Finalment es sotmet el dispositiu a polsos de 0,8V, per a posteriorment injectar soroll de 1,6V d'amplitud pic a pic. En el Polsenoise Test 10 es pot observar un lleuger decrement en el valor resistiu del memristor. Per tant es segueix complint el comportament vist anteriorment: el soroll ajuda a que el memristor passi de RESET a SET. A més aquest canvi d'estat es du a terme de forma progressiva i escalonada. Això fa pensar en la possibilitat de regular el valor de la resistència durant aquest estat intermedi incrementant les possibilitats d'aquest dispositiu.



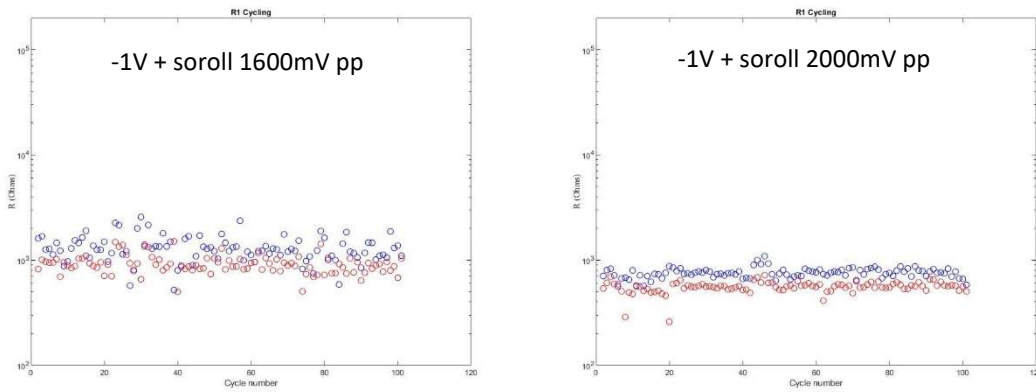
Polsenoise Test 11- Dispositiu N27_E7

Un cop assolit l'estat de SET s'analitza el comportament del memristor en el procés de transició cap a l'estat contrari de RESET. Primerament es sotmet el dispositiu a una tensió negativa de -0,7V per comprovar si es produeix algun canvi notable en el valor resistiu. Com es pot veure en el *Polsenoise Test 11* la resistència no ha variat i segueix en LRS. Per a això es decideix augmentar la tensió negativa fins a -1V i s'observa com al cap de pocs cicles la resistència canvia bruscament i es situa en valors alts.



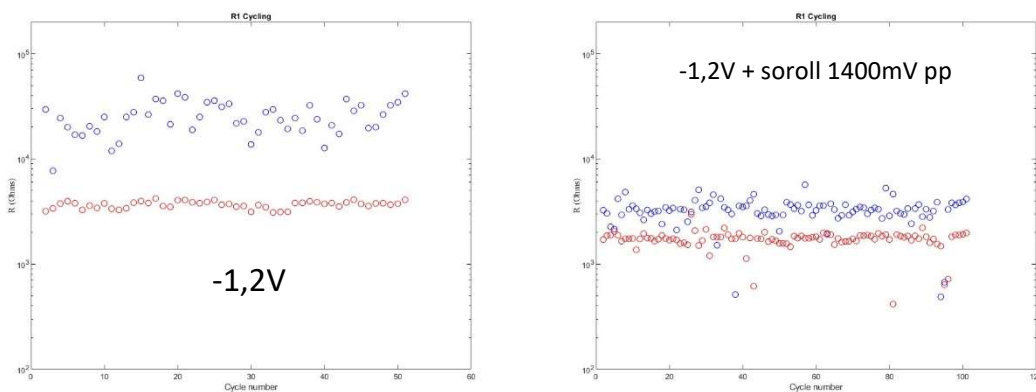
Polsenoise Test 12- Dispositiu N27_E7

En el següent test es redueix lleugerament la tensió negativa aplicada (-0,9V) i a més s'afegeix un senyal sorollós de 2V d'amplitud pic a pic amb la intenció d'aturar la transició de SET a RESET. Com es pot veure en el *Polsenoise Test 12* s'aconsegueix retornar als valors obtinguts a l'inici de la prova, és a dir, el procés de transició cap a l'estat resistiu alt s'ha aturat i la resistència ha caigut dràsticament. El memristor ha tornat a l'estat de SET.



Polenoise Test 13 - Dispositiu N27_E7

En les proves següents s'ha aproximat el memristor a l'estat de RESET connectant una tensió de -1V com s'ha vist anteriorment. A partir d'aquí s'ha analitzat el seu comportament sota l'efecte del soroll, amb diferents amplituds. En el *Polenoise Test 13* es pot veure com el valor mig de les mostres disminueix a mesura que l'amplitud del soroll creix. No obstant, la dispersió de les dades fa que no es puguin distingir amb claredat els dos nivells resistius dificultant de cara a una regulació.



Polenoise Test 14 - Dispositiu N27_E7

Finalment aportant una tensió de -1,2V es pot dir que el memristor assolix l'estat de RESET segons es veu en el *Polenoise Test 14*. A partir d'aquí i aplicant soroll amb una amplitud de 1,4V pic a pic s'aconsegueix entrar en un estat intermig amb valors inferiors però per sobre dels representats en el *Polenoise Test 13*. La dispersió dels resultats segueix essent significativa, com s'ha comentat anteriorment.

Primerament s'ha comprovat com la RRAM no mostra un comportament totalment digital amb dos únics estats clarament diferenciats, si no que el canvi d'estat es produeix de forma gradual, deixant veure l'existència de nivells entremetjats.

S'ha comprovat com la insistència a base de polsos és capaç de produir la transició d'estat, així si sempre seguint una tendència gradual.

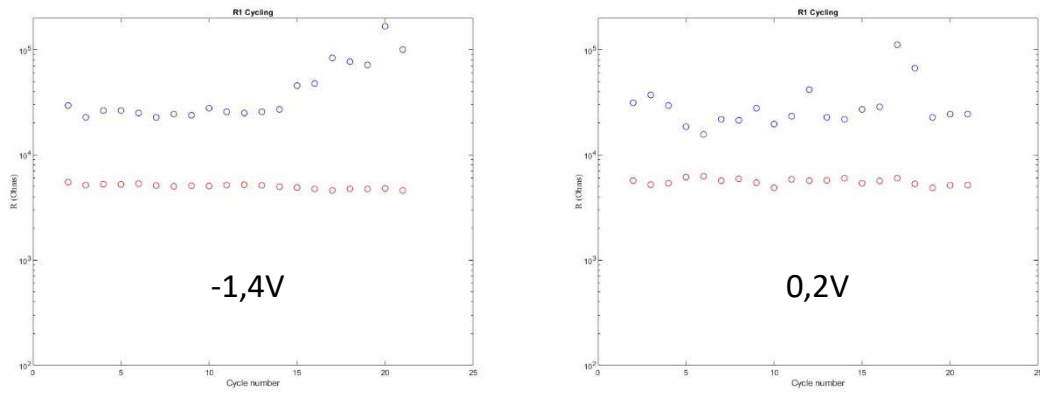
Els resultats obtinguts mostren una certa capacitat per a regular el valor resistiu de la RRAM amb l'objectiu de crear nivells situats entre el HRS i el LRS potenciant les aptituds dels dispositius i les seves aplicacions. S'ha observat com el soroll pot tenir un paper destacat com a eina per a reduir el valor resistiu. En tots els experiments realitzats s'ha vist com el soroll augmentava la conductància de la RRAM, sorgint com un recurs per a aproximar el memristor al SET. Pel que fa a la operació inversa (SET a RESET) el soroll no ha demostrat tenir una utilitat. L'única manera per a augmentar el nivell resistiu de la RRAM ha sigut l'augment de la tensió negativa. En aquest cas el soroll només ha servit per a contrarestar l'efecte dels polsos de voltatge, obstaculitzant el camí a HRS. La modulació del valor resistiu és un tema àmpliament tractat en publicacions (11) (12) (13). Es coincideix en l'existència de dos mètodes principals per a regular el valor de la resistència: per als valors de HRS es basa en el valor de la tensió màxima aplicada durant el cicle (coneguda com V_{stop}) mentre que pels valors de LRS el que es fa és variar la corrent que circula pel memristor durant el SET ($I_{compliance}$). Això significa que l'aplicació de soroll podria tenir una relació amb l'augment de corrent que travessa la RRAM i que afecta directament al valor de la resistència LRS.

2.4. Experimentació amb ona de soroll quadrada

L'objectiu d'aquest experiment és substituir el senyal de soroll gaussià utilitzant fins ara per un senyal quadrat periòdic. La generació d'una ona quadrada resulta ser un procés més senzill que la generació de soroll seguint una distribució normal, com s'ha vist fins ara. En aquest apartat es compararan els efectes dels dos tipus de senyal per veure si l'ona quadrada pot tenir un efecte modulador sobre la RRAM com s'ha exposat en l'apartat 2.3.

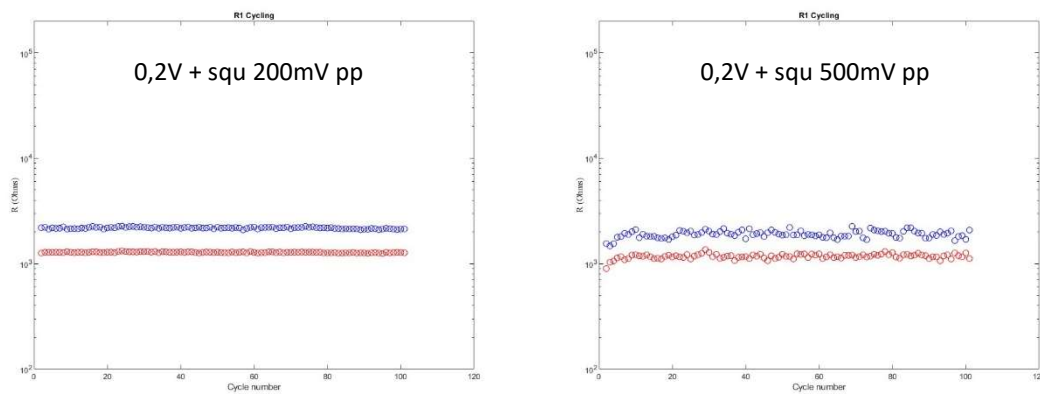
En l'apartat 2.3 s'ha comprovat com un senyal de soroll gaussià afecta directament al valor resistiu i, conseqüentment, a la transició d'estat. En les proves següents s'ha decidit substituir el soroll gaussià utilitzat fins ara per un altre tipus de senyal que es pugui assimilar. En aquest cas s'ha decidit per un senyal d'ona quadrada. A diferència del soroll gaussià, l'ona quadrada tindrà una amplitud pic a pic fixa. A més s'ha de tenir en compte que amb l'ona quadrada el memristor es veurà sotmès a tensions elevades durant un període més llarg, a diferència dels impulsos de curta durada del soroll gaussià. Per aquest motiu l'amplitud de l'ona quadrada ha de ser definida de manera que no es produeixin danys sobre el dispositiu.

L'amplitud del senyal quadrat sempre fa referència al seu valor pic a pic amb valor mig a 0 com en el cas del soroll. Per tant quan s'incorpori sobre els polsos de tensió, serà com tenir un senyal quadrat amb offset igual al valor dels polsos. La freqüència al igual que el soroll és de 1 Mhz.



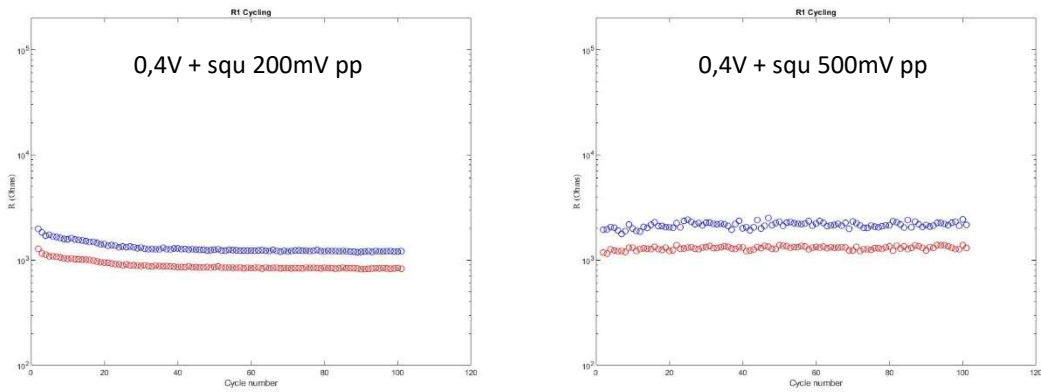
Square Polsenoise Test 1 – N23_E5

En el primer canvi de tensió el memristor no pateix cap canvi significatiu i la resistència roman en l'estat de RESET com es mostra en el *Square Polsenoise Test 1*.



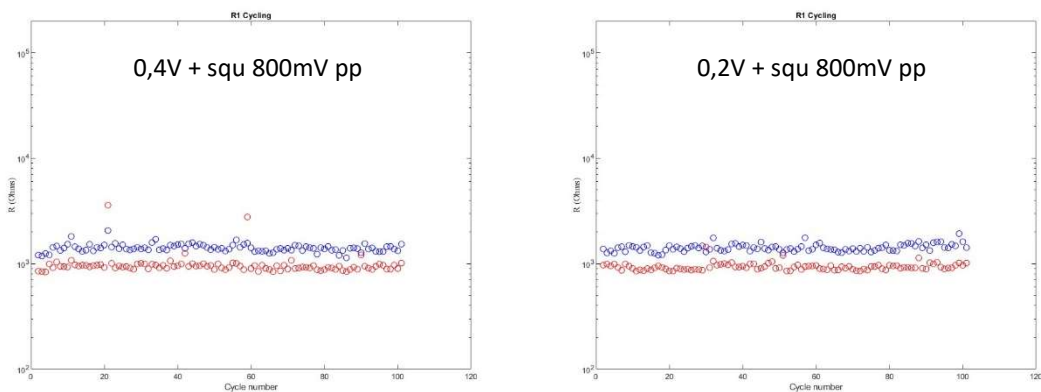
Square Polsenoise Test 2 - N23_E5

Amb l'adició de l'ona quadrada de 500 mV d'amplitud pic a pic es pot veure com el valor resistiu cau. Es fa la prova també amb una ona d'amplitud menor (200 mV) però sense apreciar canvis significatius en els resultats obtinguts que s'exposen en el *Square Polsenoise Test 2*.



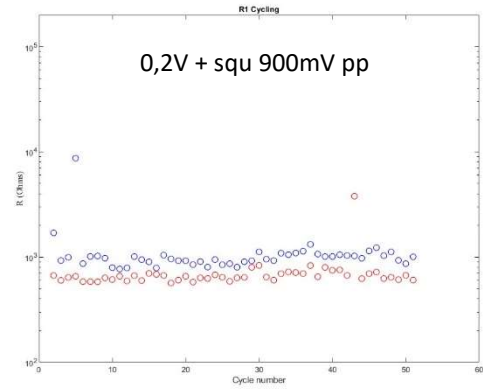
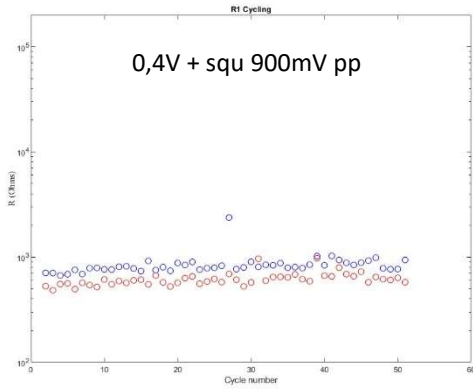
Square Polsenoise Test 3 - N23_E5

A continuació s'augmenta fins als 0,4V la tensió dels polsos amb l'ona quadrada de 200 mV i es veu un descens en la resistència del dispositiu segons el *Square Polsenoise Test 3*. Posteriorment es decideix augmentar l'amplitud de l'ona quadrada i es veu com els valors augmenten lleugerament. Això contrasta amb les observacions fetes en els tests amb soroll en els quals un augment de l'amplitud contribuïa a baixar el valor resistiu del memristor i a aproximar-lo a l'estat de SET.



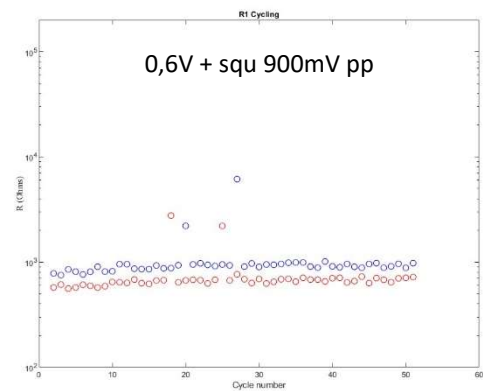
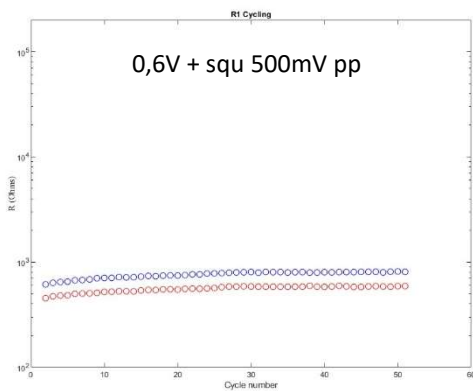
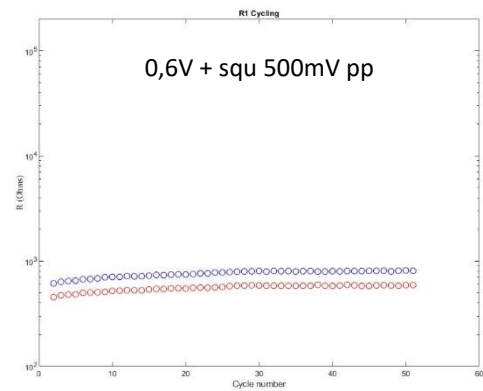
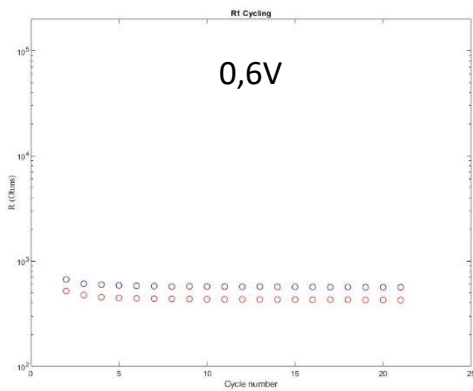
Square Polsenoise Test 4 - N23_E5

En aquesta ocasió s'ha seguit augmentant l'amplitud de l'ona quadrada fins als 800 mV. En el *Square Polsenoise Test 4* es veu com la resistència decreix respecte a la prova anterior (*Square Polsenoise Test 3*). Per tant es dona el mateix comportament vist en l'anàlisi amb soroll. A amplituds majors la resistència tendeix a disminuir i el component s'acosta a l'estat de SET. Pel que fa al canvi de tensió dels polsos de 0,4V a 0,2V no s'observen canvis significatius en les mostres extretes.



Square Polsenoise Test 5 - N23_E5

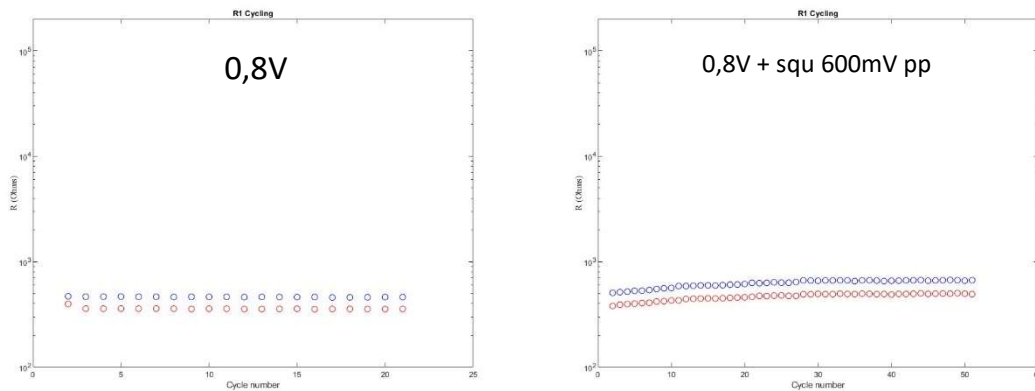
Amb una amplitud de 900 mV per a l'ona quadrada si que es pot observar un descens de la resistència amb claredat en *el Square Polsenoise Test 5*, seguint amb el comportament vist en la prova anterior (*Square Polsenoise Test 4*).



Square Polsenoise Test 6 - N23_E5

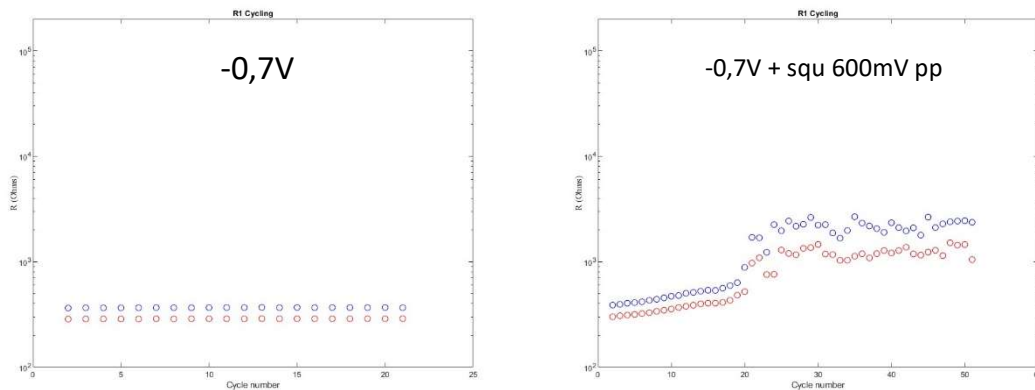
Es segueix augmentant la tensió dels polsos fins als 0,6V i es repeteix el mateix procediment. S'observa en *el Square Polsenoise Test 6* com en aquest cas l'addició de l'ona quadrada produeix

l'efecte contrari, és a dir, la resistència enlloc de disminuir augmenta el seu valor i aproxima el memristor a l'estat de RESET a mesura que creix l'amplitud de l'ona quadrada.



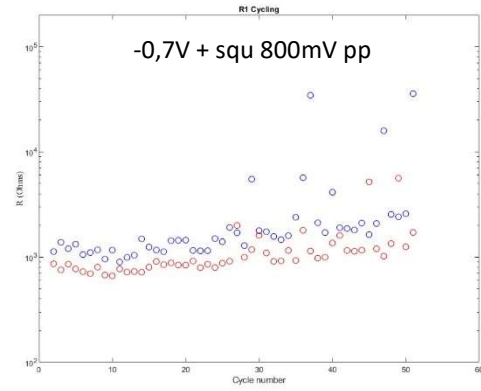
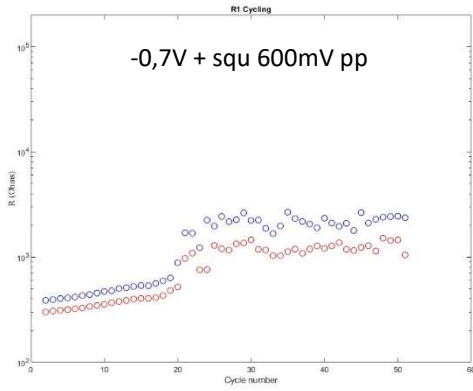
Square Polsenoise Test 7 - N23_E5

Augmentant els polsos fins a 0,8V i sense aplicar l'ona quadrada es veu com el nivell resistiu ha descendit, seguint amb el comportament vist en l'apartat 2.3.2. No obstant quan s'aplica una ona quadrada de 600 mV es pot veure com es reproduïx el comportament vist en el test anterior (*Square Polsenoise Test 7*) en el qual la resistència augmenta, acostant-se al HRS. Pareix ésser que la ona quadrada contribueix a reconstituir el filament i per tant a augmentar la resistència del memristor.



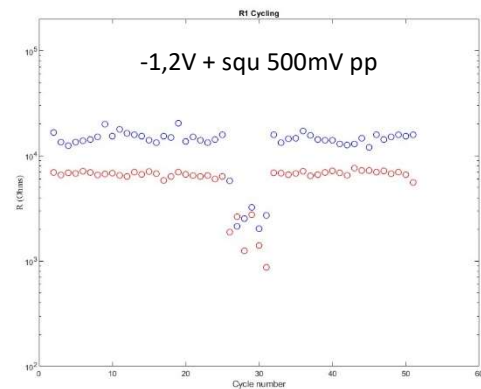
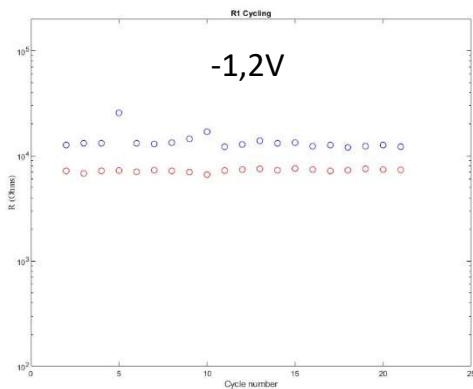
Square Polsenoise Test 8 - N23_E5

Una vegada en estat de RESET s'analitzarà el camí invers, és a dir, cap a l'estat de SET. Primerament es veu com amb una tensió negativa de 0,7V el dispositiu es manté en estat resistiu baix. En el moment que s'introdueix el senyal quadrat el dispositiu inicia la transició i passa a tenir un valor resistiu més alt (*Square Polsenoise Test 8*). Per tant es segueix veient el mateix comportament: l'ona quadrada incentiva el creixement de la resistència.



Square Polsenoise Test 9 -N23_E5

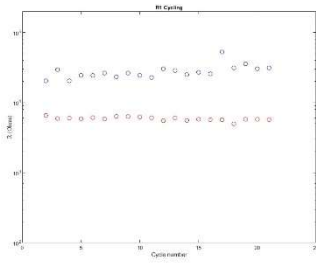
L'augment d'amplitud pareix que no té un efecte destacable sobre les mostres obtingudes. A més la dispersió de les dades no permet veure amb claredat la diferència entre els diferents valors resistius.



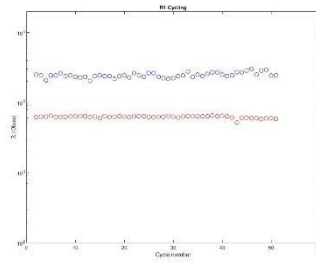
Square Polsenoise Test 10 - N23_E5

A partir de -1V el memristor assoleix l'estat resistiu alt. El valor de la resistència ja no canvia i el memristor entra en estat de RESET (*Square Polsenoise Test 10*).

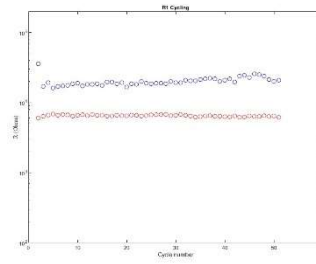
Com s'ha explicat en aquesta memòria els dispositius proporcionats per el INM es troben encara en fase experimental de desenvolupament i és comú que presentin una gran variabilitat entre diferents memristors pel que fa a les seves característiques.



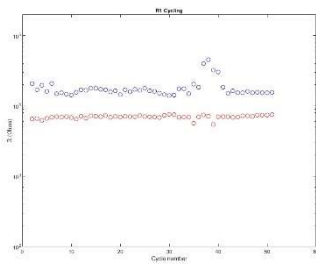
0,2V



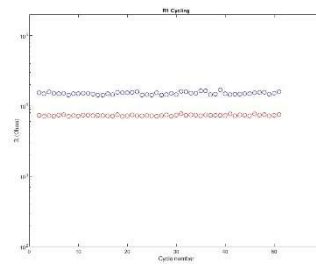
0,2V + squ 500mV pp



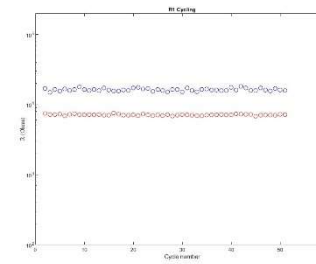
0,2V + squ 900mV pp



0,3V



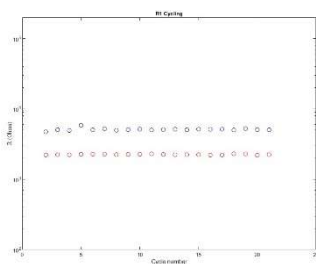
0,3V 300mV pp



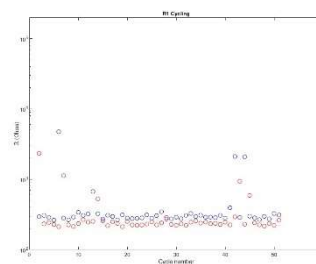
0,3V 800 mV pp

Square Polsenoise Test 11 - N23_E6

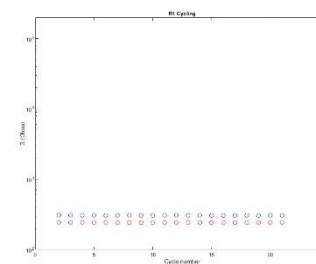
Com es pot observar en el *Square Polsenoise Test 11* el dispositiu N23_E6 presenta una certa resistència a variar el seu valor sota l'efecte dels polsos de tensió més l'ona quadrada, mentre que en el dispositiu anterior, el N23_E5, la resistència disminuïa ràpidament quan es sotmetia als mateixos nivells de tensió (*Square Polsenoise Test 1* i *Square Polsenoise Test 2*). Això demostra les diferències entre les característiques dels components tot i haver-se fabricat seguint el mateix procediment i formant part de la mateixa obla. S'ha de tenir en compte que els memristors no tindran la mateixa tensió llindar i que en alguns casos és necessari aportar més o menys tensió.



0,5V



0,5V + squ 2000mV pp



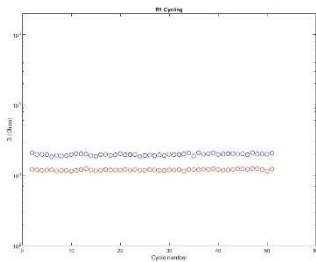
0,5V

Square Polsenoise Test 12 - N23_E6

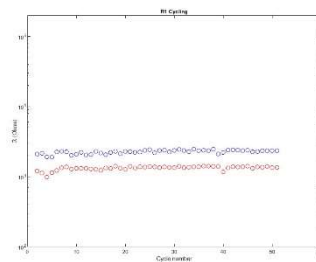
Finalment aportant una tensió major es produeixen els primers canvis en la resistència del dispositiu com es pot veure en el *Square Polsenoise Test 12*. Afegint una ona quadrada

d'amplitud màxima (2000 mV pic a pic) es pot aconseguir portar el memristor directament al nivell baix i passar a SET. Posteriorment s'intenta retornar a l'estat anterior alimentant el memristor amb polsos de 0,5V com en l'inici. Com es pot comprovar la tensió no és suficient per a començar a formar el filament i per tant el component es queda en el mateix estat.

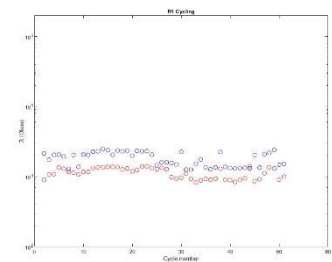
En la següent prova s'intenta forçar el canvi d'estat disminuint lleugerament la tensió polsant fins als 0,4V i sumant l'ona quadrada per a veure si contribueix a fer el pas de SET a RESET.



0,4V + sq 200mV

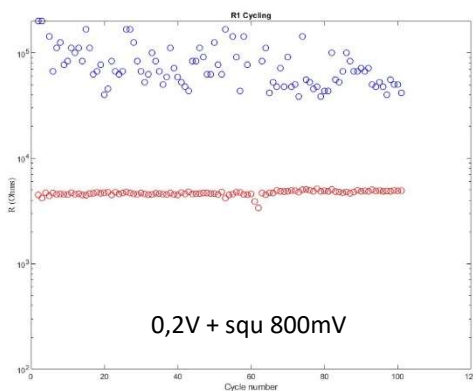


0,4V + sq 800mV

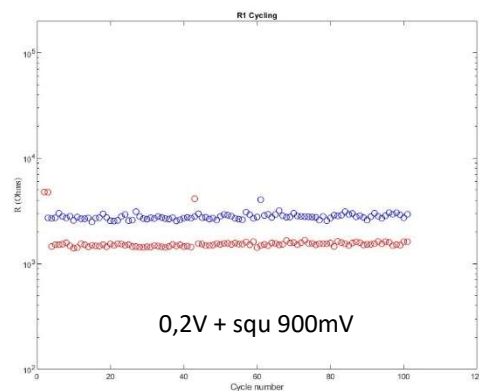


0,4V + sq 1000mV

Square Polsenoise Test 13 - N23_E6



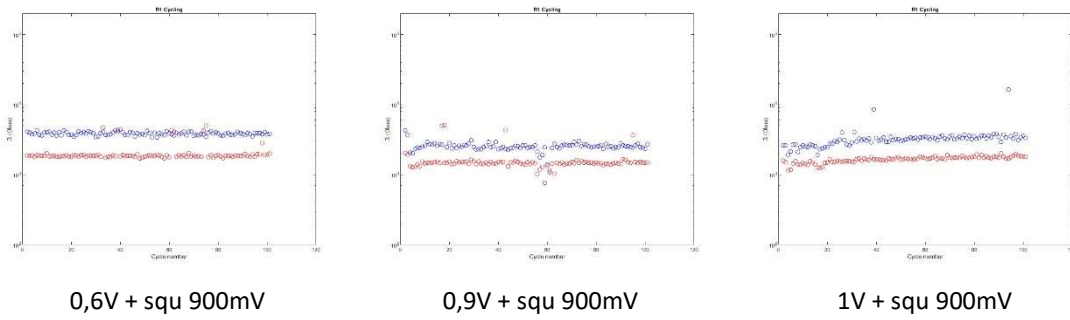
0,2V + sq 800mV



0,2V + sq 900mV

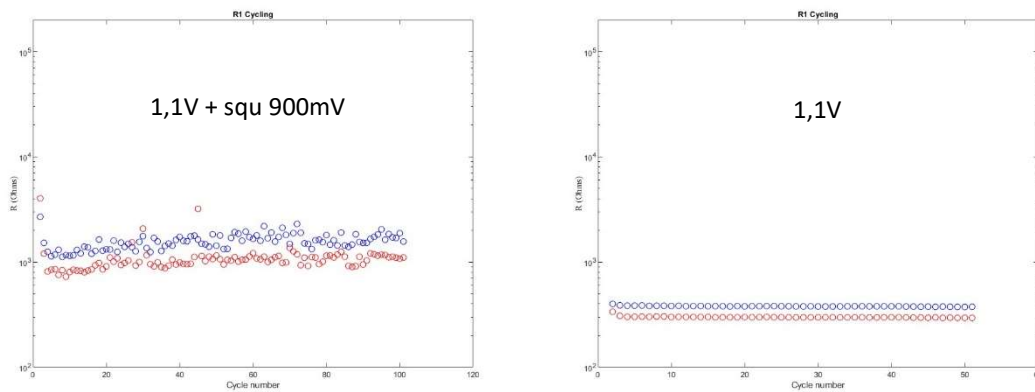
Square Polsenoise Test 14 - N23_E7

Inicialment el dispositiu N23_E7 es trobava en HRS i s'ha portat a un valor pròxim a la tensió llindar de SET (0,2V). En aquest punt s'han realitzat proves de 100 cicles augmentant l'amplitud de l'ona quadrada en 100 mV per cada experiment. Els canvis en l'estat resistiu no han aparegut fins que l'ona quadrada ha assolit els 900 mV d'amplitud pic a pic (Square Polsenoise Test 14). Per tant el dispositiu en aquest instant ja havia sigut sotmès a uns 900 cicles en total. Tot i que es pot dir que el canvi ha estat produït per la repetició massiva de polsos de tensió tal i com s'ha vist en l'apartat 2.3.2, la diferència principal és que el decrement resistiu és directe enlloc de ser progressiu, com s'ha vist anteriorment.



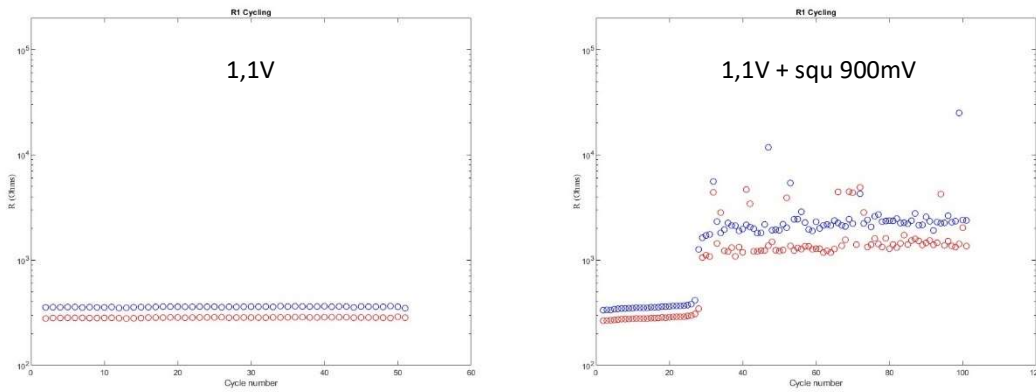
Square Polsenoise Test 15 - N32_E7

En el Square Polsenoise Test 15 es veu com la presència de l'ona quadrada sembla contrarestar l'efecte dels polsos de tensió, evitant que es produeixin canvis en l'estat resistiu. Segons les observacions anteriors a mesura que s'augmenta la tensió cap al llindar de SET la resistència de la RRAM passa per un descens progressiu. Aquí sembla que l'ona contribueix a que el valor resistiu no decaigui.



Square Polsenoise Test 16 - N32_E7

En el Square Polsenoise Test 16 es pot veure com finalment el valor resistiu descendeix lleugerament quan s'aplica el valor màxim recomanat per a la tensió de SET. En el moment que s'elimina l'ona quadrada el valor es desploma quedant molt pròxim al valor de LRS. Per tant es confirma el que es comentava anteriorment: l'ona quadrada contribueix a mantenir alt el valor resistiu de la RRAM.



Square Polsenoise Test 17 -N32_E7

Una vegada en SET s'intenta portar el memristor cap als valors alts de HRS a través de l'ona quadrada. Com es pot comprovar en el Square Polsenoise Test 17 al cap de pocs cicles i amb una ona d'amplitud 900 mV pic a pic el nivell resistiu es situa en una línia intermèdia al voltant dels 2000 Ω .

En resum, la introducció de l'ona quadrada en els polsos de tensió juga un paper contrari al del soroll vist en els experiments de l'apartat 2.3 on contribuïa a disminuir el nivell resistiu de la RRAM, mentre que en aquest cas l'ona quadrada tendeix a mantenir la resistència del memristor en valor alt. Els dos tipus de senyal duen a terme funcions complementàries pel que fa a la modulació del valor resistiu del memristor.

3. Regulació i mesura

3.1. Circuit regulació de la RRAM

En aquest apartat es presenta el disseny d'un circuit per a regular el valor de la RRAM segons s'ha vist en l'apartat 2.4.

La base del disseny és un circuit que permet superposar a una component DC regulable un soroll en forma d'ona quadrada. Aquest circuit permet replicar les condicions d'excitació emprades en els experiments fets al laboratori i descrits en els apartats anteriors.

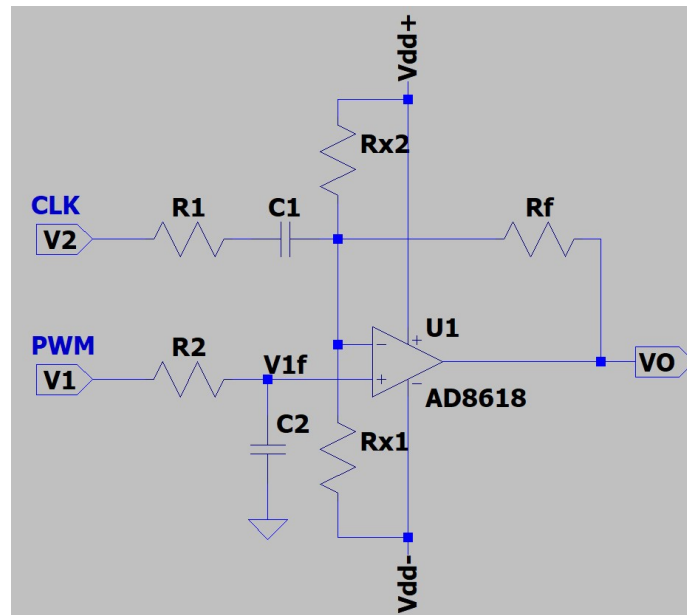


Figura 21 Circuit de regulació

El circuit (Figura 21) es basa en un sumador-restador amb un amplificador operacional amb dos filtres d'entrada.

Les entrades del circuit (V1 i V2) estan connectades a un senyal PWM i un senyal de rellotge (CLK) respectivament. Els dos senyals treballen en els límits de 0 i 1V a una freqüència de 1Mhz.

Els senyals d'entrada compleixen les especificacions següents:

- $V_{on} = 1V$, $V_{off} = 0$
- Freqüència 1 Mhz

Les especificacions de la sortida del circuit són:

- Límits tensió en DC a VO -> (-1,4V, +1,4V).
- Límits del soroll periòdic a VO -> +- 900 mV sobre la tensió mitjana.

En el senyal PWM (Pulse Width Modulation) se li modifica el cicle de treball que un cop passat pel filtre passa-baixos R2-C2 s'obté un valor DC funció d'aquest a l'entrada (+) del AO. El cicle de treball (*duty cycle*) és la relació entre el temps que la funció periòdica es troba a nivell alt i el període del senyal. Normalment s'expressa en percentatge. Variant el duty cycle, s'aconsegueix variar el valor mig de la tensió tal com s'acaba d'indicar. El valor mig és un valor analògic DC que variarà entre 0V per un duty cycle de 0% fins a un valor de 1V per un duty cycle de 100%.

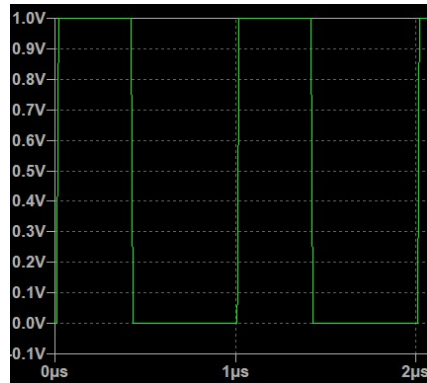


Figura 22 Senyal PWM amb un duty cycle del 40%

El filtre passa baix de primer ordre R2-C2 atenua el senyal PWM per obtenir un senyal d'aspecte analògic. La freqüència de tall d'aquest filtre és:

$$f_{tall} = \frac{1}{2\pi RC} \quad (7)$$

Seleccionant R de 100 Ω i C = 10 nF s'obté una atenuació de 20 dB (159 kHz) respecte al senyal PWM de 1 MHz.

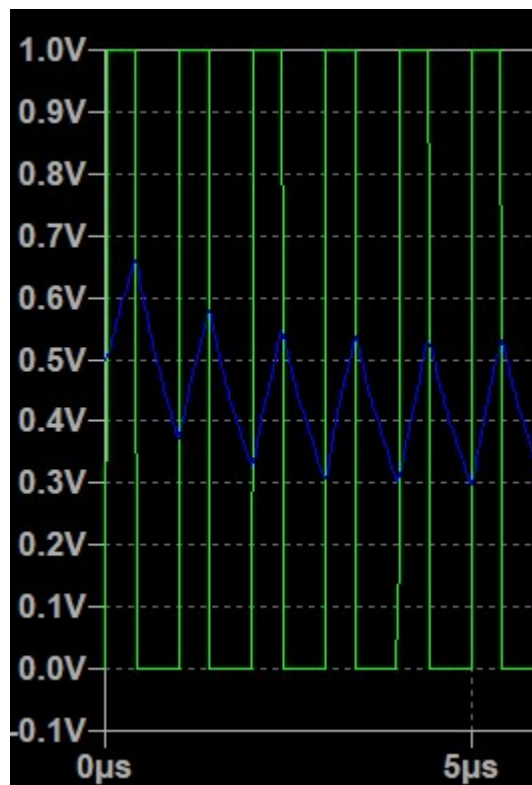


Figura 23 Senyal PWM (verd) i senyal de sortida (blau) per a R = 100 ohms i C = 10 nF

El senyal s'estabilitza entorn dels $2\mu\text{s}$. No obstant encara presenta l'aspecte d'una funció periòdica amb una amplitud pic a pic de $0,2\text{V}$. Per a suavitzar el senyal s'ha de fer un filtratge més restrictiu, baixant el límit freqüencial. Per a això s'augmenta el valor del condensador fins als 50nF , el que suposa una atenuació pròxima a 40dB

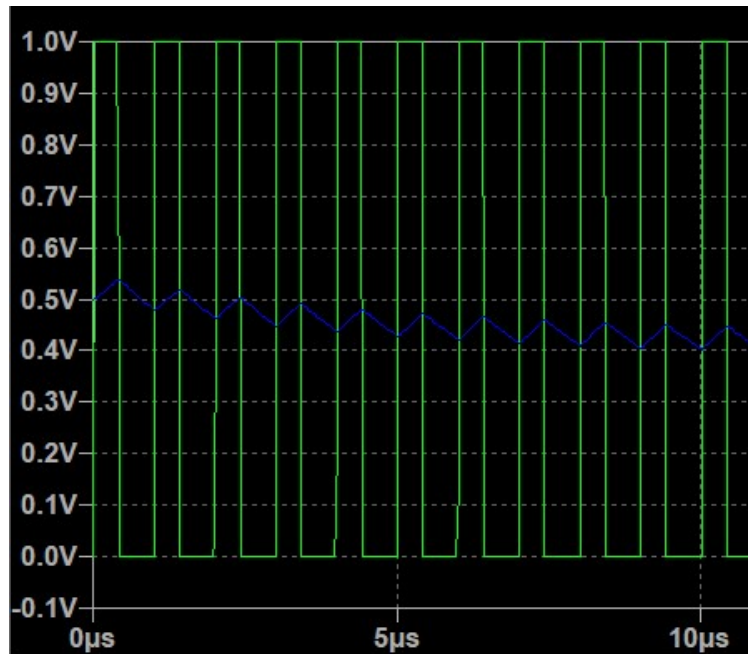


Figura 24 Senyal PWM (verd) i senyal de sortida (blau) per a $R = 100\text{ ohms}$ i $C = 50\text{ nF}$

Com es pot comprovar l'arribat del senyal s'ha reduït considerablement a costa d'augmentar el temps d'estabilització. No obstant per a la present aplicació resulta en un senyal DC adequat.

El senyal PWM filtrat és la component de continua que es suma a l'ona quadrada injectada a V_2 . La tensió DC ha de ser bipolar, és a dir, adoptarà valors negatius i positius ($-1,4\text{V}$ a $+1,4\text{V}$). Això obliga a fer ús d'una font d'alimentació bipolar de $\pm 5\text{V}$ que és la mateixa que alimenta d'AO.

Per als càlculs corresponents a l'entrada V_1 s'ha de fer una anàlisi en continua del circuit. Això significa que el condensador C_1 es comportarà com un interruptor obert (Figura 25).

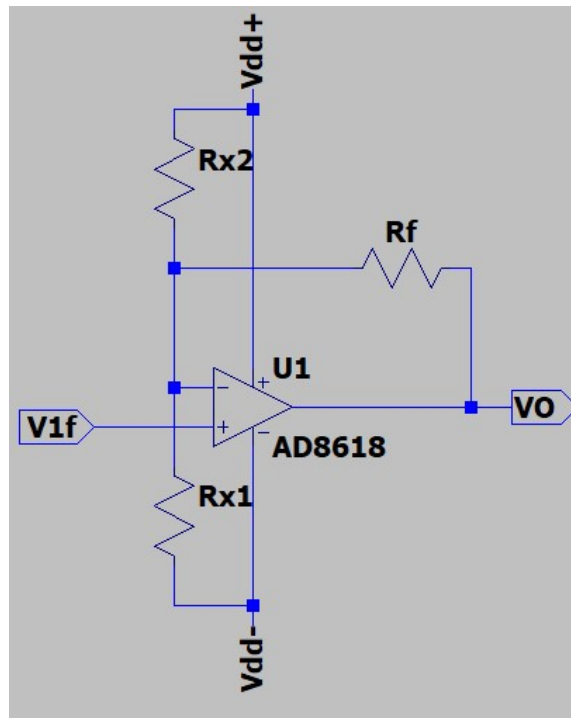


Figura 25 Circuit regulador en l'anàlisi en continua

Assumint que la realimentació negativa del AO no està saturada, les tensions de l'entrada (-) s'igualarà a la de l'entrada (+), tenint un curt-circuit virtual. Fent la suma de corrents en el node (-) igual a zero, s'arriba a la següent expressió:

$$\frac{V_{ad+} - V_1}{R_{x2}} = \frac{V_1 - V_o}{R_f} + \frac{V_1 - V_{ad-}}{R_{x1}} \quad (8)$$

A continuació es fixen les condicions per tal de traduir el valor V1f al valor de continua que es sumarà a l'ona quadrada:

- Quan $V1f = 1V \rightarrow V_o = +1,4V$
- Quan $V1f = 0 \rightarrow V_o = -1,4V$

Substituint els valors anteriors s'obté el següent sistema d'equacions:

$$\begin{cases} \frac{5 - 1}{R_{x2}} = \frac{1 - 1,4}{R_f} + \frac{1 + 5}{R_{x1}} \\ \frac{5}{R_{x2}} = \frac{1,4}{R_f} + \frac{5}{R_{x1}} \end{cases}$$

Si es fixa R_{x2} a $10k\Omega$ s'obté un sistema de dues equacions amb dues incògnites que pot ser resolt fàcilment.

$$R_{x1} = 13,7k\Omega$$

$$R_f = 10,4k\Omega$$



Figura 26 Evolució de V_o en funció de V_{1f}

L'anàlisi en continua (Figura 26) mostra la correspondència del valor V_{1f} de l'entrada (eix abscisses) amb la sortida (eix ordenades). Com es pot comprovar la funció és lineal, entre els dos límits especificats ($\pm 1,4V$).

Una vegada calculat els valors de les resistències de l'entrada V_{1f} falta determinar la resistència connectada a l'entrada V_2 corresponent a CLK, que ha superposat un soroll periòdic a la sortida, tal com ja s'ha especificat més amunt.

Fent l'anàlisi en alterna del circuit s'obté el següent circuit equivalent (cal notar que ara els condensadors actuen com a connexions directes):

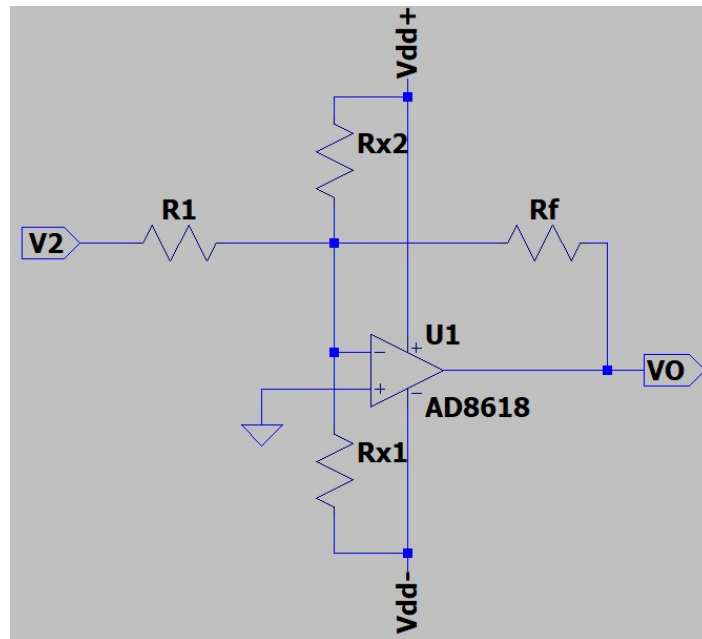


Figura 27 Circuit regulador en l'anàlisi en alterna

Al ser un circuit lineal apliquem el principi de superposició. D'aquesta manera separem la contribució de cada font d'alimentació i ens centrem en l'entrada V2. L'entrada no inversora de l'amplificador es connecta directament a terra.

Per a trobar el valor de R1 resulta útil simplificar el circuit tal com es mostra a la Figura 29. S'aplica el teorema de Thevenin dividint el circuit com es mostra en la Figura 28.

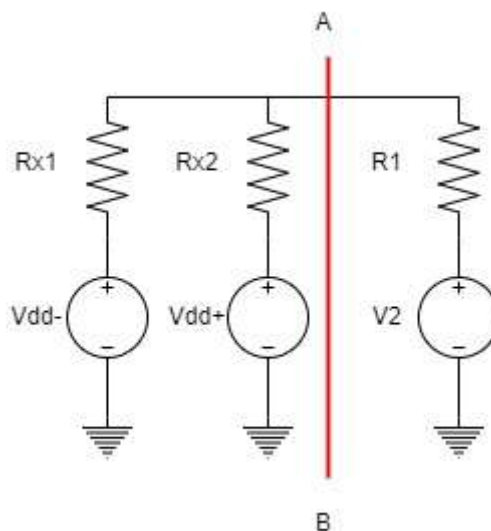


Figura 28 Equivalent Thevenin del circuit regulador en l'anàlisi en alterna

Els valor de V_{th} és la tensió entre els punts A i B desconnectant R1 i V2, mentre que per a calcular la R_{th} s'han d'anular les fonts de tensió i trobar la resistència equivalent entre els mateixos punts.

$$V_{th} = \frac{V_{dd}(R_{x1} - R_{x2})}{R_{x1} + R_{x2}} \quad (9)$$

$$R_{th} = \frac{1}{R_{x1}} + \frac{1}{R_{x2}} \quad (10)$$

Finalment s'arriba a la disposició de la figura Figura 29

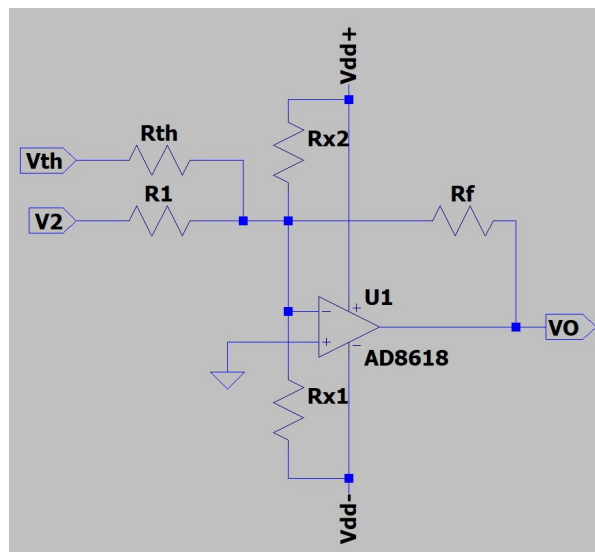


Figura 29 Simplificació del circuit regulador en alterna aplicant el teorema de Thevenin

Llavors la sortida queda definida per l'expressió:

$$V_o = \frac{-R_f}{R_{th}} V_{th} - \frac{R_f}{R_1} V_2 \quad (11)$$

V_{th} i R_{th} són valors fixes i constants que depenen de l'alimentació de l'amplificador ($\pm 5V$) i de les resistències R_{x1} i R_{x2} definides en l'apartat anterior. El guany relatiu de la sortida respecte de l'entrada vindrà definit per l'expressió següent:

$$\frac{V_o}{V_2} = \frac{-R_f}{R_1} \quad (12)$$

Per tant la relació entre els valors de R_f (fixat) i R_1 permet modular l'amplitud de l'ona quadrada a la sortida. Per a tenir una amplitud de 900 mV s'hauria d'utilitzar una resistència de $10,4/0,9 = 11,55$ k Ω . Si es vol tenir una amplitud modulable es pot instal·lar un dispositiu que permeti

variar la resistència, com és el cas d'un potenciòmetre. D'aquesta manera es pot ajustar l'amplitud de sortida segons les necessitats de l'aplicació.

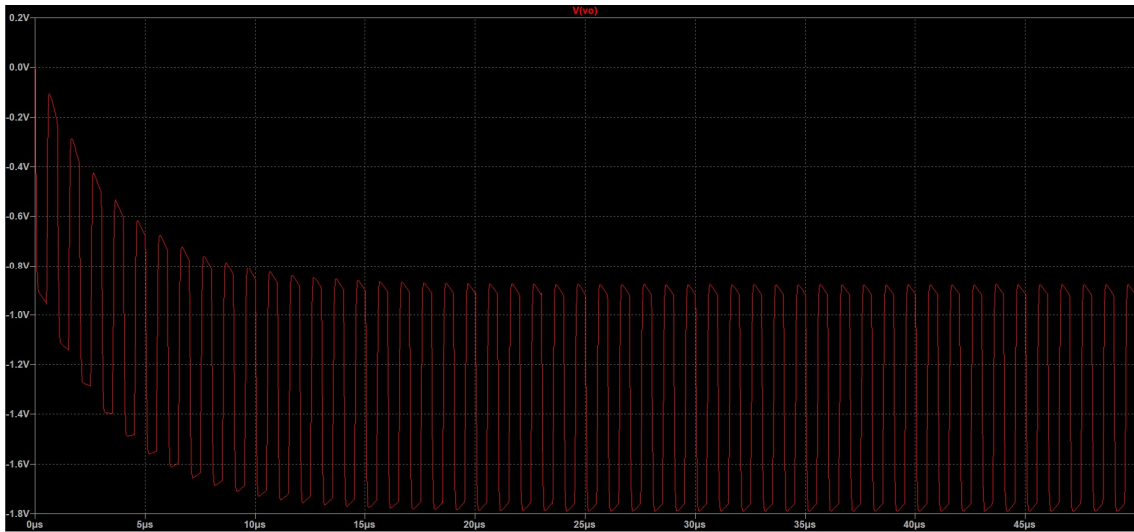


Figura 30 Tensió de sortida per a un duty cycle de 1% i una amplitud pic a pic de 900 mV

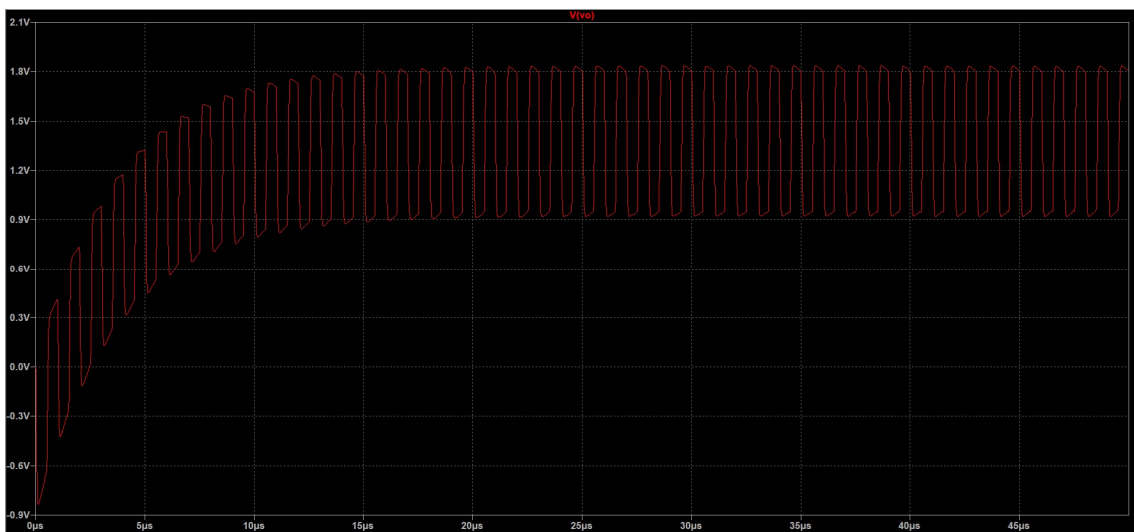


Figura 31 Tensió de sortida per a un duty cycle de 99% i una amplitud pic a pic de 900 mV

3.2. Circuit de mesura

Per a mesurar el valor resistiu de la RRAM s'ha proposat el següent muntatge (Figura 32). Una font d'alimentació (V_{in}) carrega el condensador C1 quan el transistor M1 es troba actiu, a mode d'interruptor. El transistor es controla a través d'un senyal (V_{Pulse}) que en nivell baix desconnecta el condensador de la font de tensió. La RRAM a mesurar va connectada al condensador.

El node del condensador i la RRAM va connectat a l'entrada d'un comparador. En l'altra entrada s'hi troba la tensió de referencia producte d'un divisor de voltatge entre R1 i R2.

La sortida del comparador connecta amb l'entrada ENABLE d'un comptador, activa per valor alt. L'altra entrada del comptador és la de CLEAR que permet esborrar el comptatge.

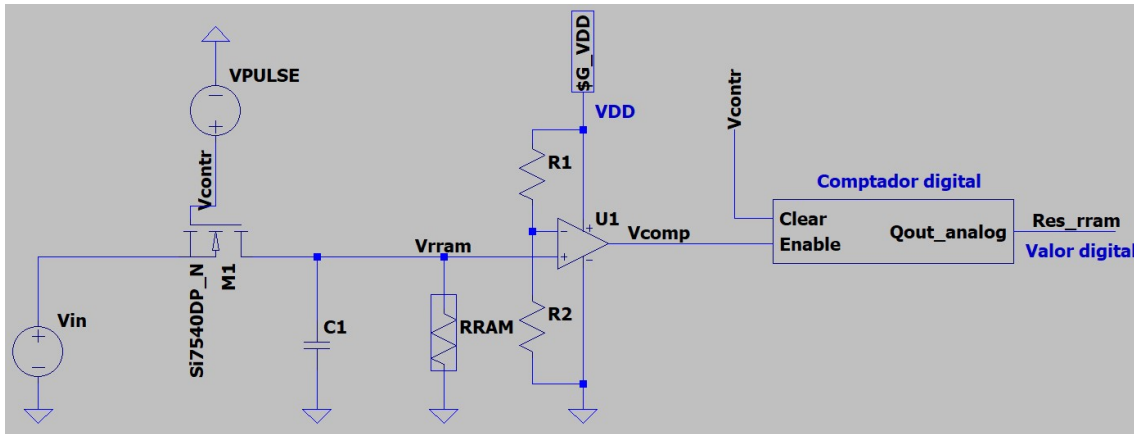


Figura 32 Cuircuit per a la mesura del valor de la RRAM

Primerament considerem el circuit format pel condensador i la RRAM en sèrie (Figura 33), que a efectes pràctics podem considerar com una resistència.

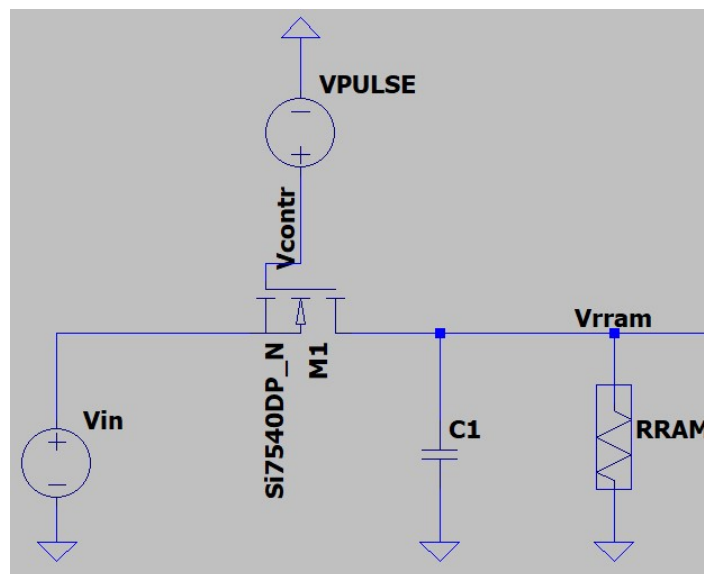


Figura 33 Transistor nMos, condensador i RRAM

Una font de tensió, V_{in} , proporciona una petita tensió que permet polaritzar la RRAM sense modificar-ne el seu valor. Aquesta proporciona tensió al condensador C1 i la RRAM a través d'un transistor nmos que treballa com a interruptor. Quan l'interruptor es trobi tancat el corrent circularà cap al condensador i el carregarà amb una càrrega igual a $V_{in} \cdot C1$. Una part del corrent

proporcionada per Vin circularà per la RRAM però aquest no afecta a la càrrega de C1 pel fet que C1 i RRAM estan connectats en paral·lel. En el moment que l'interruptor s'obri el condensador es descarregarà sobre la RRAM tal com s'explica a continuació.

Quan l'interruptor s'obri el condensador i la RRAM es troben connectats en sèrie formant una única malla. Cal tenir en compte que per l'entrada (+) del comparador U1 no circula corrent. Es té el següent:

$$V_R + V_C = 0 \quad (13)$$

Substituint les tensions per les equacions dels components passius en funció del corrent i de la càrrega ens queda:

$$iR + \frac{-q}{C} = 0 \quad (14)$$

S'ha de pensar que la càrrega disminueix en el condensador amb el temps segons l'expressió:

$$i = \frac{-dq}{dt} \quad (15)$$

Per tant substituint (15) en (14) queda així:

$$\int_Q^q \frac{dq}{q} = \frac{-1}{RC} \int_0^t dt \quad (16)$$

Integrant s'obté la següent expressió:

$$\int_Q^q \frac{dq}{q} = \frac{-1}{RC} \int_0^t dt \quad (17)$$

$$q = Q \cdot e^{\frac{-t}{RC}} \quad (18)$$

on Q és la càrrega inicial. Posant les càrregues en funció de les tensions obtenim (19) i (20)

$$V(t) = V_i \cdot e^{\frac{-t}{RC}} \quad (19)$$

$$I(t) = \frac{V_i}{R} \cdot e^{\frac{-t}{RC}} \quad (20)$$

Com es pot comprovar la descàrrega depèn del valor de la resistència R de la RRAM de forma exponencial. Això significa que per a valors grans de la R i per a un mateix instant de temps, el temps de descàrrega serà major. És a dir, com major sigui el valor resistiu més temps tardarà en descarregar-se el condensador. Això s'il·lustra a la Figura 34.

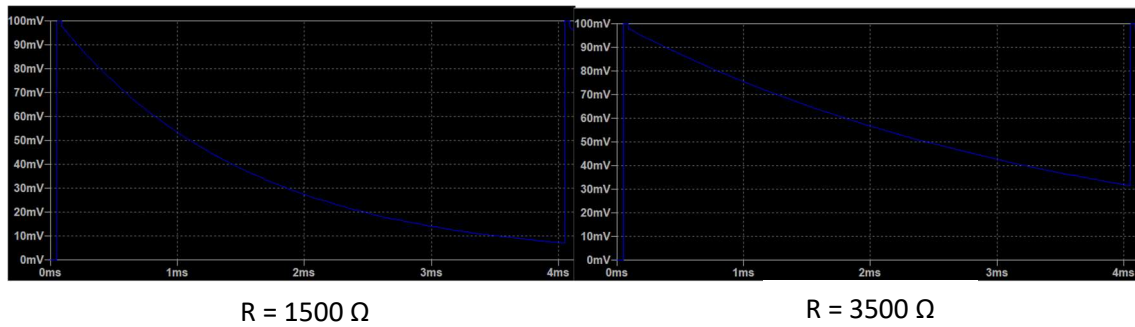


Figura 34 Evolució temporal del procés de descàrrega d'un condensador en funció de la resistència en un circuit RC

El següent pas consisteix en ajustar els valors dels components per tal que el temps de descàrrega es tradueixi en un valor digital que pugui ser llegit.

Primerament cal establir el límit de mesura del circuit. En aquest cas i tenint en compte els resultats obtinguts al laboratori s'ha decidit fixar com a valor màxim mesurable 10 kΩ.

El software LTSpice és un simulador analògic, no obstant disposa de mòduls digitals capaços de desenvolupar aquesta funció. En el cas del comptador s'ha utilitzat el mòdul X1 (Qout_analog).

El comptador treballa amb un rellotge intern de 1Mhz de freqüència. Això significa que per cada $1\mu s$ que passi el comptatge augmentarà en una unitat. Per facilitar el disseny del circuit cada unitat del comptador representa 1Ω. D'aquesta manera s'aconsegueix establir una relació entre el temps de descàrrega transcorregut i el valor resistiu.

El comptador disposa de dos senyals d'entrada, ENABLE i RESET. El compte s'incrementarà únicament quan el senyal ENABLE es trobi en nivell alt i s'inicialitzarà a zero quan s'activi el senyal de RESET.

El senyal de ENABLE es controla amb un comparador. Es connecta la tensió del condensador a l'entrada no inversora (+) mentre que a l'entrada inversora (-) s'hi connecta una tensió de referència. La sortida de comparador es trobarà a nivell alt fins en el moment que la tensió del condensador C1 caigui per sota de la tensió de referència. En aquest moment la sortida del comparador passarà a zero i aturarà el comptador.

Sabent que per a una R de 10 kΩ el comptador s'ha d'aturar als 10 ms (havent comptat 10000 unitats), la tensió d'aquest instant serà el valor de referència. Primerament es fixa el valor del condensador assegurant que el temps de descàrrega per al valor resistiu màxim ($R = 10k\Omega$) sigui suficient per a arribar al comptatge corresponent (10ms). Per a seleccionar el valor del condensador es pren la constant de temps R·C que es defineix com el temps de càrrega fins a arribar a un 63,2% del valor de la tensió inicial o un 36,8% en el cas de la descàrrega.

$$\tau = RC$$

Tenint en compte que la resistència màxima és de 10 kΩ i es vol una constant de temps de 10 ms, el condensador ha de ser de $1\mu F$. El valor de la font V_{in} (0,1V) és prou baix per assegurar que no afecti a l'estat resistiu de la RRAM.

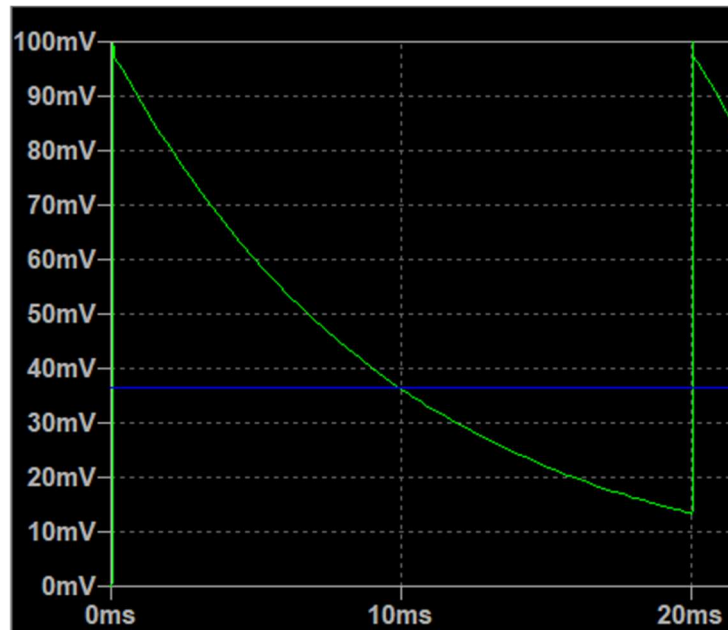


Figura 35 Descàrrega del condensador (verd) i valor de referència (blau) per a un condensador de 1µF

Com es pot veure en la s'ha fixat la tensió de referència a un valor aproximat de 36 mV que és el valor que assoleix la tensió del condensador després de 10 ms. En aquest instant el comptador haurà comptat fins a 10000, teòricament.

S'ha analitzat el comportament del circuit amb valors diferents dels condensador. A mesura que disminueix el valor de la capacítancia la descàrrega és més ràpida. D'aquesta manera en l' instant 10 ms el voltatge serà menor, per tant el valor de referència del comparador s'haurà de reduir. Contràriament per a valors de capacítancia alts, la descàrrega serà més lenta i per tant el voltatge en el mateix instant serà superior.

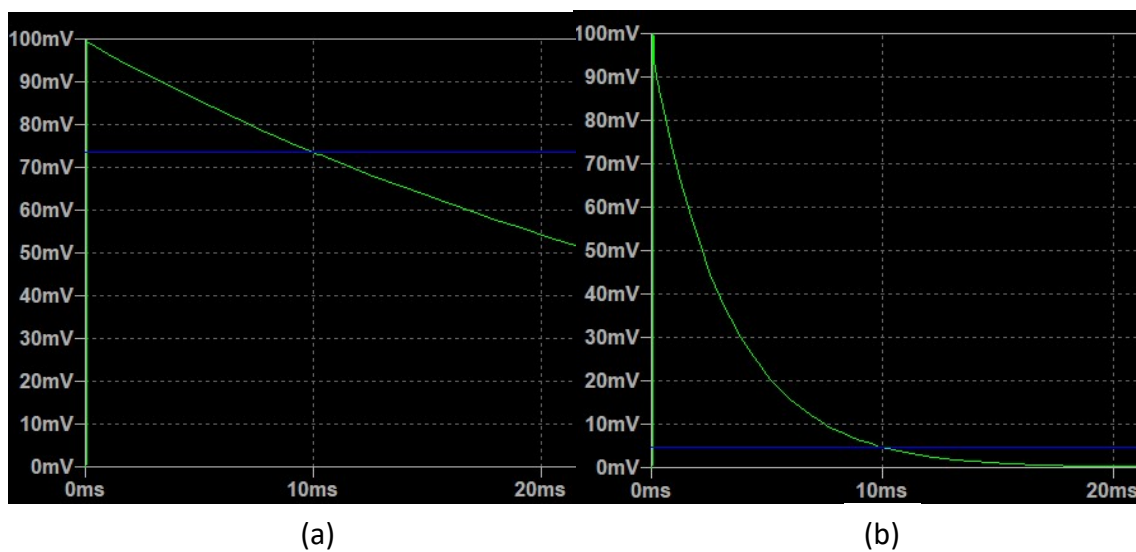


Figura 36 Descàrrega del condensador (verd) i valor de referència (blau) per a un condensador de 3,3µF (a) i un de 0,33 µF (b)

Per a controlar l'inici de la càrrega i el final de la descàrrega es necessita un interruptor. Per a aquesta funció s'ha utilitzat un transistor nMOS amb la font V_{in} connectada al drenador i un senyal de control a la porta. En el moment en que el senyal de control passa a nivell alt el transistor actua com un interruptor tancat carregant el condensador. Quan torna a nivell baix, l'interruptor es torna a obrir, desconnectant la font i donant pas al procés de descàrrega del condensador.

El procés de càrrega és gairebé immediat de manera que es necessita un instant mínim en nivell alt ($40\mu s$). Pel que fa al procés de descàrrega s'ha decidit seguir amb el criteri anterior i s'ha fet ús de la constant de temps. En aquest cas se sap que per a baixar fins a un 0,7% del valor inicial es requereix un integral de temps de 5τ . No obstant, no és necessari que la càrrega del condensador descendeixi fins a aquests nivells per a iniciar un nou cicle de mesura. És suficient que doni temps a arribar al valor corresponent a l'instant 10 ms. Finalment s'ha optat per establir un període de 2τ per al senyal de control.

En el moment que finalitza el procés de descàrrega, el condensador es torna a carregar si es requereix d'una nova lectura. En aquest cas el comptador perdrà el valor de resistència anterior. Per això es connecta el senyal de control a l'entrada RESET del comptador. En l'instant que comença la càrrega el comptador es prepara per guardar una nova mesura.

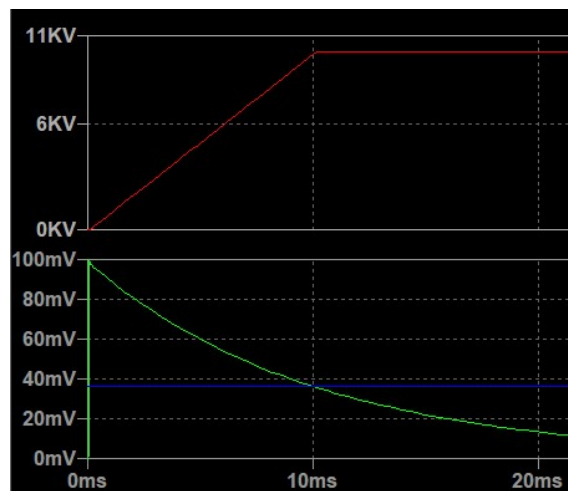


Figura 37 Mesura de 10000 ohms

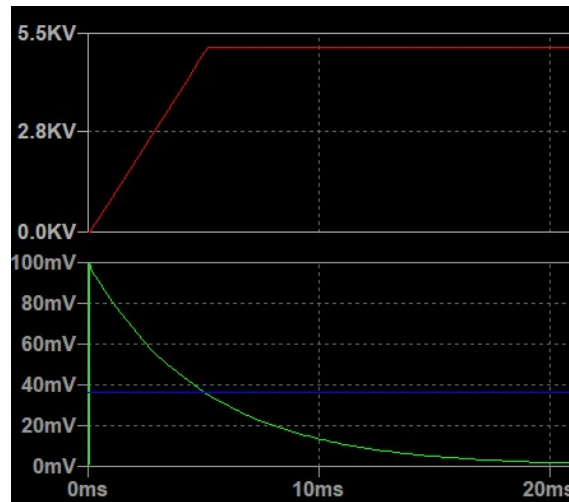


Figura 38 Mesura de 5000 ohms

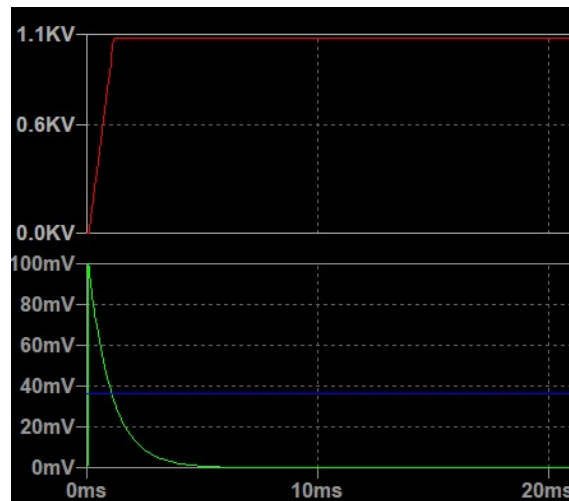


Figura 39 Mesura de 1000 ohms

Valor real (Ω)	Lectura (Ω)
1000	1080
3000	3112
5500	5623
7000	7124
8000	8123
9000	9121
10000	10118

Figura 40 Correspondència entre el valor de la RRAM i el valor de lectura del comptador

En la Figura 40 es mostra la desviació entre els valors reals de la RRAM i el valor llegit en el comptador. A partir d'aquesta d'una taula de correspondència com aquesta es pot ajustar la lectura del valor resistiu.

4. Estudi econòmic

Els costos relacionats amb el projecte s'han dividit en la part relacionada amb els recursos materials i la part del cost de personal. A continuació es detallen els costos de la part del material (Figura 41).

	Cost unitari	Unitats	Mesos d'us	Cost depreciació (mesos)	Import (€)
SMU	12000	1	4	120	400,00
Ordenador	2000	1	4	60	133,33
Estació de puntes	15000	1	4	120	500,00
Armari metàl·lic	1500	1	4	120	50,00
Posicionadors	1000	1	4	60	66,67
Taula antivibratòria	5000	1	4	84	238,10
Bomba de buit	700	1	4	60	46,67
Compresor	250	1	4	60	16,67
Llicència Matlab	500	1	4	12	166,67
RRAMs	1	150	4	12	0,33
Connexions	500	1	4	48	41,67
TOTAL					1660,10

Figura 41 Taula costos material

El cost de cada element s'ha calculat a partir de la part proporcional del període d'us sobre el període de depreciació respecte al valor inicial. Cal destacar que l'estació de puntes és nova i no arriba a un any d'antiguitat.

Pel que fa al cost de personal es resumeix en la Figura 42.

Tasca	Hores
Documentació inicial	10
Iniciació a l'entorn de Matlab	10
Iniciació a l'entorn del laboratori	25
Recerca de dispositius no defectuosos (DC test)	50
Experimentació amb cicles de polsos i soroll	100
Experimentació amb cicles de polsos i ona quadrada	50
Disseny del circuit regulador i de mesura	50
Redacció memòria	100
TOTAL hores	395
Cost hora enginyer junior (€)	30
IMPORT TOTAL (€)	11850

Figura 42 Taula costos personal

Per tant els costos totals augmenten fins a la quantitat de **13510,10€**

5. Conclusió

Com a conclusió del present treball es pot dir que el soroll té un efecte directe en el valor de la resistència en LRS de la RRAM. S'ha demostrat la seva capacitat per a disminuir el nivell resistiu de la RRAM tant en el SET com en el RESET. La introducció de soroll juntament amb els polsos de tensió ha permès modular la resistència de la RRAM i fins i tot establir més estats resistius a part del HRS i el LRS.

No obstant, encara que s'hagi aconseguit la configuració de diversos nivells diferenciats, el manteniment indefinit del valor resistiu no s'ha pogut aconseguir eficaçment. Com s'ha pogut veure l'acumulació de polsos acaba influint en l'estat del dispositiu de manera que acaba commutant. Per tant això fa inviable el seu ús com a memòria multinivell.

El soroll gaussià ha sigut substituït per un soroll en forma d'ona quadrada obtenint uns resultats diferents. La capacitat per a modular el valor resistiu de la RRAM és inferior, produint-se canvis bruscos de nivell sota l'efecte d'aquest tipus de soroll. El que si cal destacar del soroll quadrat és la capacitat per a augmentar la resistència de la RRAM. S'ha comprovat la seva contribució per a commutar de LRS a HRS i per a contrarestar el canvi de RESET a SET.

A banda dels resultats experimentals s'ha dissenyat un circuit per a la mesura del valor resistiu de la RRAM i un circuit regulador basat en la modulació a través del soroll d'ona quadrada, com s'ha vist en l'apartat d'experimentació.

Agraïments

Vull agrair la dedicació de la directora Rosa Rodríguez i del codirector Salvador Manich per les hores dedicades a ajudar-me en aquest projecte, ja fos en el laboratori com amb la documentació. També vull agrair-li pels seus coneixements transmesos.

A la Maryam per ajudar-me en el laboratori i solucionar-me molts de dubtes amb la estació de puntes i el Matlab.

Per últim vull agrair a la meua família pel seu suport i a na M.Magdalena.

En memòria de Gabriel Munar Fiol.

Bibliografia

1. *Memristor-The missing circuit element*. **L., Chua**. 5, s.l. : IEEE, 1971, Vol. 18.
2. *Design of memristor based low power and highly reliable ReRAM cell*. **Soumitra Pal, Subhankar Bose, Aminul Islam**. s.l. : Microsystem Technologies, 2019, Vol. 28.
3. **Mahyar Shahsavari, Pierre Boulet**. *Memristor nanodevice for unconventional computing:review and applications*. s.l. : Université de Lille 1, Sciences et Technologies; CRISTAL UMR 9189., 2016.
4. *A Highly Robust Binary Neural Network Inference Accelerator Based on Binary Memristors*. **Yiyang Zhao, Yongjia Wang,Ruibo Wang,Yuan Rong,Xianyang Jiang**. 21, s.l. : Electronics, 2021, Vol. 10.
5. *Low Power and High-Speed Bipolar Switching with a Thin Reactive Ti Buffer Layer in Robust HfO₂ Based RRAM*. **Lee, H.Y., et al**. San Francisco, CA, USA : In Proceedings of the IEEE International Electron Devices Meeting, 2008. Vol. In Proceedings of the IEEE International Electron Devices Meeting.
6. *Electrically-controlled nonlinear switching and multi-level storage characteristics in WO_x*. **Duan, W.J., Wang, J.B. and Zhong, X.L.** s.l. : J. Phys. Chem. Solids, 2018, Vol. 116.
7. *Nonvolatile reconfigurable sequential logic in a HfO₂ resistive random-access memory array*. **Zhou, Y.X., et al**. s.l. : Nanoscale, 2017, Vol. 9.
8. *Enhanced Reconfigurable Physical Unclonable Function Based on Stochastic Nature of Multilevel Cell RRAM*. **Lee, G.S., et al**. s.l. : IEEE Trans. Electron Devices 2019, 2019, Vol. 66.
9. *Oxide-based RRAM materials for neuromorphic computing*. **Hong, X.L., et al**. s.l. : J. Mater. Sc, 2018, Vol. 53.
10. *Nonassociative learning implementation by a single memristor-based multi-terminal synaptic device*. **Yang, X., et al**. s.l. : Nanoscale, 2016, Vol. 8.
11. *Multi-Level Switching of Al-Doped HfO₂ RRAM with a Single Voltage Amplitude Set Pulse*. **Lin, J., Wang, S. and Liu, H**. 2021, Electronics, pp. 10,731.
12. *Low power and high speed bipolar switching with a thin reactive Ti buffer layer in robust HfO₂ based RRAM*. **Lee, H. Y., et al**. 2008, Vol. Tech. Dig. IEEE Int. Electron Devices Meeting, pp. 297-300.
13. *Metal–Oxide RRAM*. **H.-S. P. Wong, S. Yu, Y. Wu, H.-Y. Lee, F. T. Chen, M.-J. Tsai, Y.-S. Chen, P.-S. Chen, B. Lee**. 6, s.l. : Proceedings of the IEEE, 2012, Vol. 100.

