



# Problemes

## Circuitos secuenciales síncronos

### Colección de problemas

Juan Mon González

Assignatura: Electrònica digital

Titulació: Grau en Enginyeria de Sistemes Audiovisuals

Curs: 1r      Quadrimestre: 2n

Escola Superior d'Enginyeries Industrial, Aeroespacial i Audiovisual de Terrassa (ESEIAAT)

Idioma: Castellà

2016





# **ELECTRÓNICA DIGITAL**

**Ejercicios propuestos Tema 5**

**Ejercicio 1.** Encontrar el diagrama de estados que describe el funcionamiento del sistema secuencial de la Fig.1. Dicho sistema posee dos señales de entrada, A1 y A0, y una señal de salida O0. Las señales Ck y Reset, son respectivamente la señal de reloj del sistema, y la señal de reset asíncrono.

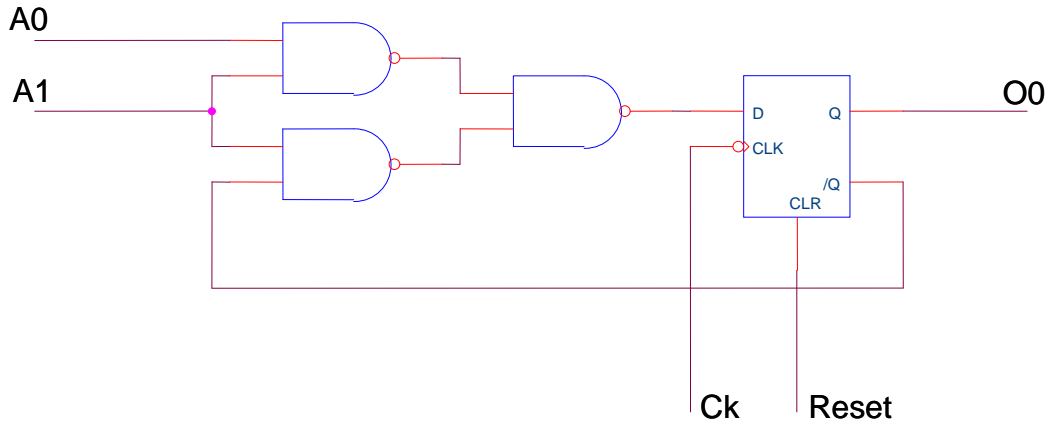


Figura 1 . Sistema secuencial a analizar.

**Ejercicio 2.** Encontrar el diagrama de estados que describe el funcionamiento del sistema secuencial de la Fig. 2. Dicho sistema posee una señal de entrada, A y una señal de salida S. Las señales Clk y Reset, son respectivamente la señal de reloj del sistema, y la señal de reset asíncrono.

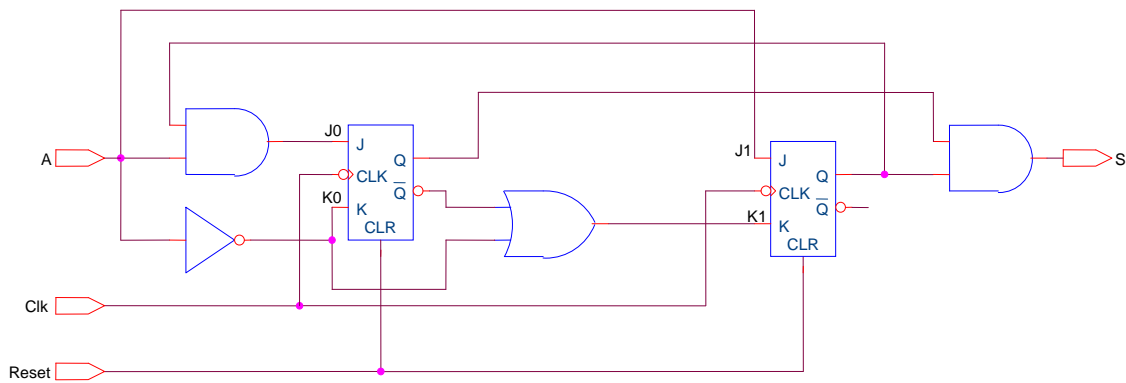


Figura 2 . Sistema secuencial a analizar.

**Ejercicio 3.** Encontrar el diagrama de estados que describe el funcionamiento del sistema secuencial de la Fig. 3. Dicho sistema posee una señal de entrada, X y una señal de salida Y. Las señales Clk y Reset, son respectivamente la señal de reloj del sistema, y la señal de reset asíncrono.

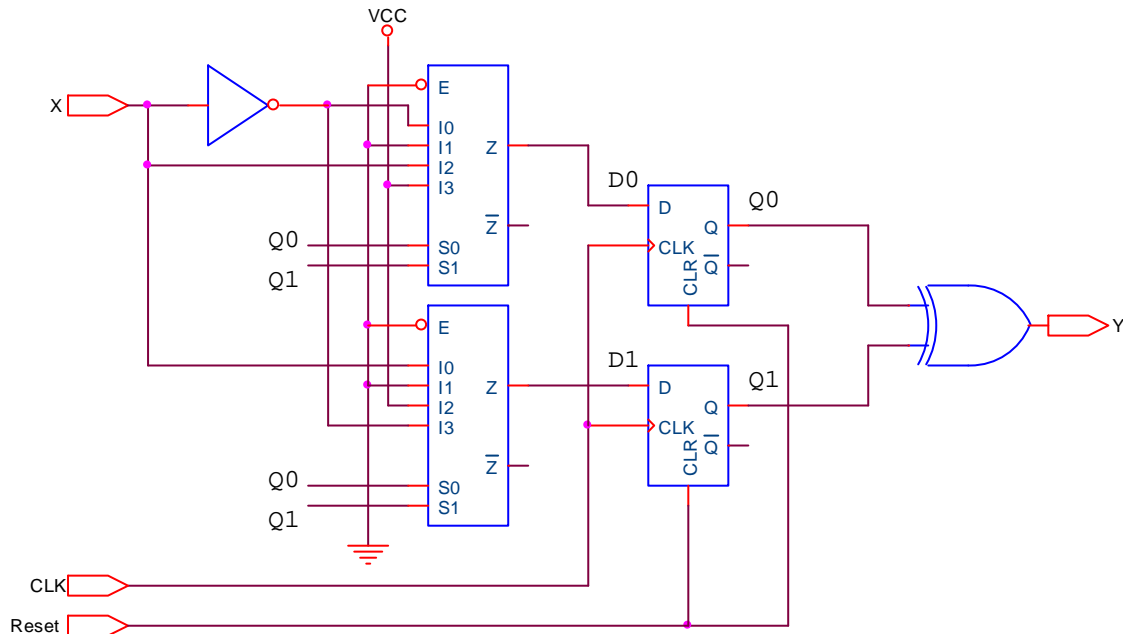


Figura 3 . Sistema secuencial a analizar.

**Ejercicio 4.** Sintetizar usando biestables tipo D y las puertas lógicas necesarias los sistemas secuenciales descritos mediante los diagramas de estados de la Fig. 4.

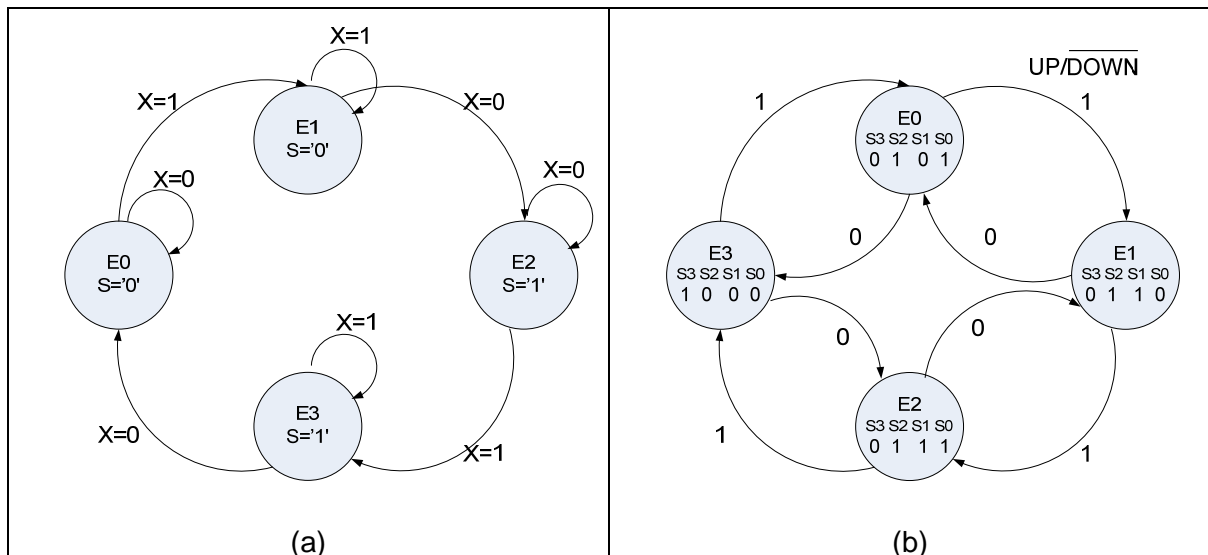


Figura 4 . Diagrama de estados.

**Ejercicio 5.** Sintetizar usando biestables tipo J-K y las puertas lógicas necesarias los sistemas secuenciales descritos mediante los diagramas de estados de la Fig. 5.

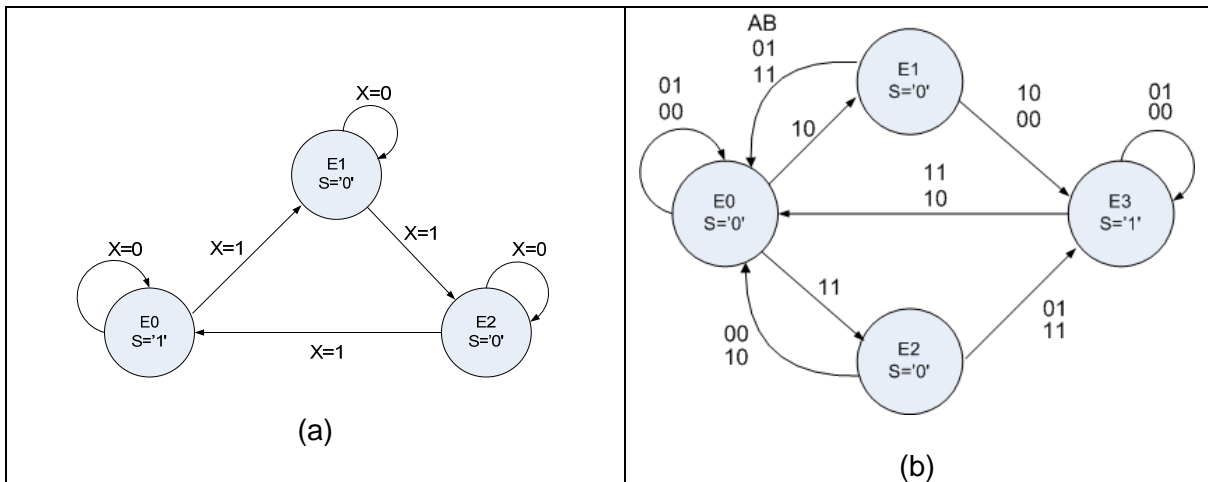


Figura 5 . Diagrama de estados.

**Ejercicio 6.** Diseñar un sistema secuencial que haga la función de dado electrónico (Fig. 6). Cuando se active la entrada P se visualizará a través de un display de siete segmentos el valor obtenido. Dicho valor estará comprendido entre 1 y 6, igual que si se tratara de un dado.

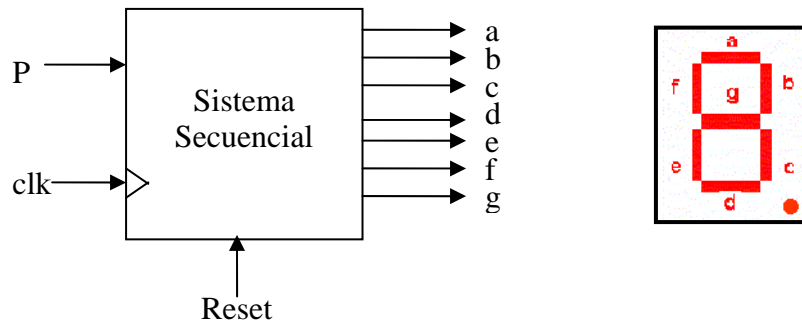


Figura 6 . Definición del sistema secuencial a diseñar.

- a) Diagrama de estados que describe el funcionamiento del sistema secuencial.
- b) Descripción del sistema utilizando el lenguaje VHDL.

**Ejercicio 7.** Diseñar un sistema que funcione como comparador secuencia (Fig. 7). El sistema dispondrá de dos entradas (A y B), y tres salidas (A>B, A<B, y A=B). El sistema deberá comparar los números binarios que entren por las entradas A y B, y activar las salidas de acuerdo con el resultado de la comparación. Los bits correspondientes a los números A y B, se introducirán secuencialmente, empezando por el bit más significativo. El resultado de la comparación, tendrá que tener en cuenta el valor de todos los bits que han entrado al sistema hasta el instante actual.

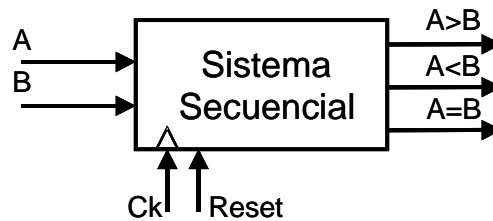


Figura 7 . Definición del sistema secuencial a diseñar.

- Obtener el diagrama de estados que describe el funcionamiento del sistema secuencial.
- Sintetizar el sistema utilizando biestables tipo D y las puertas lógicas necesarias.
- Describir del sistema utilizando el lenguaje VHDL.

**Ejercicio 8.** Diseñar un sistema digital que actúe como sumador serie secuencial (Fig. 8). El sumador dispondrá de dos entradas (A y B), correspondientes a los bits a sumar, y dos salidas (S, C) correspondientes al resultado de la suma y al valor del "carry". Para obtener el resultado en cada instante se ha de tener en cuenta el valor del "carry" de la última operación.

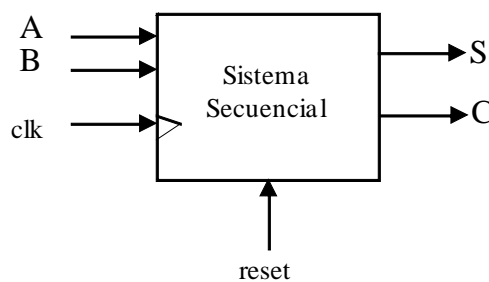


Figura 8 . Definición del sistema secuencial a diseñar.

- Obtener el diagrama de estados que describe el funcionamiento del sistema secuencial.
- Sintetizar el sistema utilizando biestables tipo D y las puertas lógicas necesarias.
- Describir del sistema utilizando el lenguaje VHDL.

**Ejercicio 9.** Diseñar un circuito secuencial (Fig. 9) que permita detectar la secuencia "110" en la línea de entrada E, teniendo en cuenta que el primer bit de la secuencia es el '0' y que en cada flanco ascendente de la señal de reloj dispondremos de un nuevo bit en la entrada E. Cuando se detecta la secuencia válida se activa la señal de salida O y al siguiente flanco de reloj se debe proceder a iniciar otra vez la búsqueda de la secuencia.

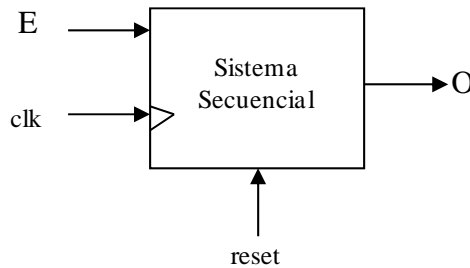


Figura 9 . Definición del sistema secuencial a diseñar.

- Obtener el diagrama de estados que describe el funcionamiento del sistema secuencial.
- Sintetizar el sistema utilizando biestables tipo J-K y las puertas lógicas necesarias.
- Describir del sistema utilizando el lenguaje VHDL.

**Ejercicio 10.** Diseñar un sistema secuencial que controle un semáforo de peatones (Fig. 10). Existen tres posibles señalizaciones: rojo, verde y verde parpadeando. El sistema tiene tres señales de entrada: la de reloj (llamada Ck), la de reset y otra llamada C para el cambio de señalización. El sistema tiene tres señales de salida: V para activar la luz verde, R para activar la luz roja y P para activar la luz verde parpadeando. Si el semáforo está en rojo y la señal C toma el valor '1', el semáforo se pondrá en verde. Si está en verde y la señal C toma el valor '1', la señalización pasará a verde parpadeando. Si la luz verde está parpadeando y la señal C toma el valor '1', el semáforo se pondrá en rojo. Si la señal C toma el valor '0' la señalización no cambia en ningún caso.

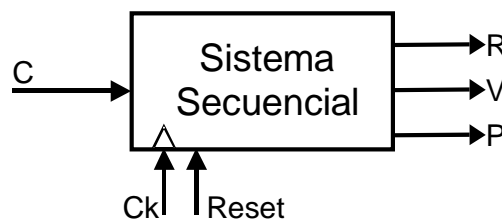


Figura 10 . Definición del sistema secuencial a diseñar.

- Obtener el diagrama de estados que describe el funcionamiento del sistema secuencial.
- Sintetizar el sistema utilizando biestables tipo J-K y las puertas lógicas necesarias.
- Describir del sistema utilizando el lenguaje VHDL.