



Problemes

Dispositivos lógicos programables y lenguaje VHDL

Colección de problemas

Juan Mon González

Assignatura: Electrònica digital

Titulació: Grau en Enginyeria de Sistemes Audiovisuals

Curs: 1r Quadrimestre: 2n

Escola Superior d'Enginyeries Industrial, Aeroespacial i Audiovisual de Terrassa (ESEIAAT)

Idioma: Castellà

2016





ELECTRÓNICA DIGITAL

Ejercicios propuestos Tema 2

Ejercicio 1. Describir en lenguaje VHDL el circuito de la Fig. 1, utilizando una asignación condicional.

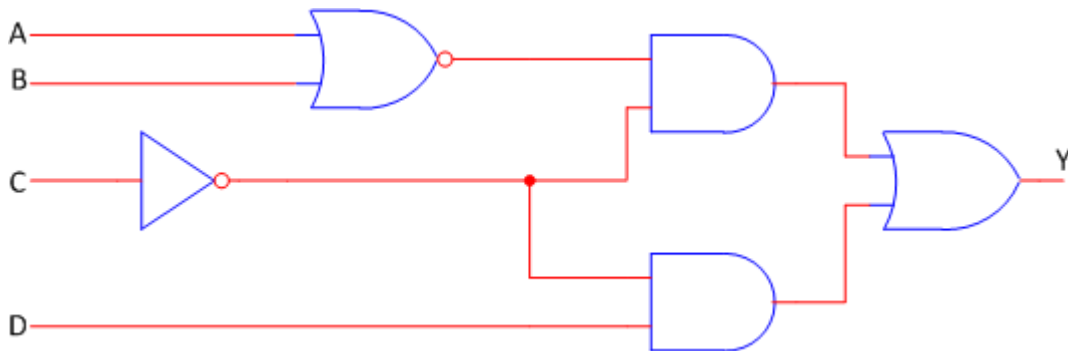


Figura .1 Circuito lógico a describir

Ejercicio 2. A partir de la siguiente descripción en lenguaje VHDL responder a los siguientes apartados:

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity ejercicio2 is
  Port ( A : in std_logic;
        B : in std_logic;
        C : in std_logic;
        S0 : out std_logic;
        S1 : out std_logic);
end ejercicio2;

architecture Behavioral of ejercicio2 is

  signal entrada : std_logic_vector (2 downto 0);

begin

  entrada <= A & B & C;

  with entrada select
  S0 <= '1' when "000",
        '1' when "010",
        '1' when "011",
        '1' when "100";
        '0' when OTHERS;

  with entrada select
  S1 <= '0' when "100",
        '0' when "111",
        '1' when OTHERS;

end Behavioral;

```

- Completar el cronograma de la Fig. 2.
- Obtener las expresiones simplificadas que rigen el comportamiento de las salidas S0 y S1.
- Describir nuevamente el sistema utilizando asignaciones condicionales.

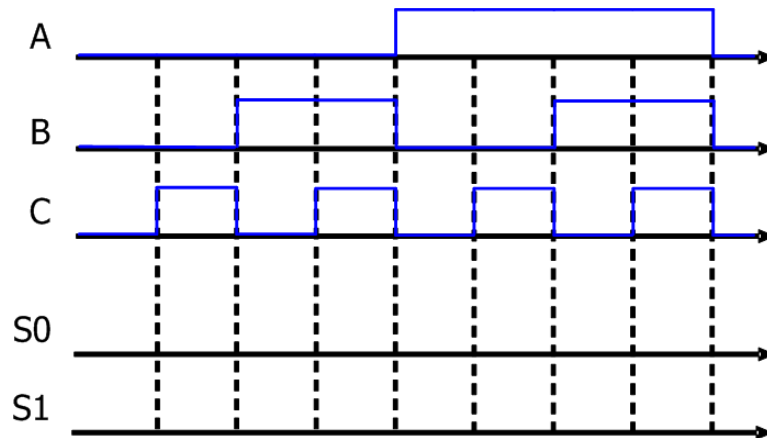


Figura .2 Cronograma correspondiente al ejercicio 2

Ejercicio 3. Describir en lenguaje VHDL el circuito lógico cuya salida Y cumple el diagrama de Karnaugh de la Fig. 3.

AB \ CD	00	01	11	10
00	0	X	X	X
01	X	X	X	X
11	0	1	X	0
10	0	0	0	1

Figura .3 Mapa de Karnaugh correspondiente al ejercicio 3

- Descripción a partir de la función lógica que describe la salida Y del circuito lógico, utilizando un asignación de señal simple.
- Descripción del circuito lógico utilizando una asignación condicional.
- Descripción del circuito lógico utilizando una asignación selectiva.

Ejercicio 4. Realizar la descripción en lenguaje VHDL de un circuito lógico que actúe como votador de mayoría. El circuito tendrá tres entradas, A, B y C, y una la salida Y. La salida Y ha de corresponder con el valor lógico de más presencia en la entrada. Si las entradas valen A='1', B='0' y C='1', entonces la salida ha de tomar el valor '1'.

- Descripción a partir de la función lógica que describe la salida Y del circuito lógico, utilizando un asignación de señal simple.
- Descripción del circuito lógico utilizando una asignación condicional.
- Descripción del circuito lógico utilizando una asignación selectiva.



Ejercicio 5. En una producción en serie de determinadas piezas, el sistema de control extrae 4 unidades de cada lote para pasar el test de calidad. Si la unidad es aprobada el sensor correspondiente a esa unidad muestra un '1', en caso contrario un '0'. Los sensores de cada una de las cuatro piezas que se someten al test son M1, M2, M3 y M4 y corresponden con las entradas del circuito a diseñar que ha de determinar a partir de cuatro salidas TA, MA, I y MR:

- Si todas las unidades han sido aprobadas ($TA=1$).
 - Si la mayoría han sido aprobadas ($MA=1$).
 - Si hay igual número de piezas aprobadas que de rechazadas ($I=1$).
 - Si la mayoría de piezas han sido rechazadas ($MR=1$).
- a) Descripción del circuito lógico utilizando asignaciones condicionales.
b) Descripción del circuito lógico utilizando asignaciones selectivas.