

Data conversion frontends for area-constrained
applications: the wireless network-on-chip case
Universitat Politècnica de Catalunya

Alejandro López Lao

Codirectores:
Sergi Abadal Cavallé
Eduard Alarcón Cot

23 de mayo de 2018

Resumen

Las arquitecturas multiprocesador ocupan un grandísimo espectro en el campo tecnológico actual y son una punta de lanza para un sinnúmero de aplicaciones. A medida que la tecnología avanza y el número de procesadores por chip crece (hasta alcanzar lo que se conoce como *massive multicore architectures*) nos enfrentamos a un nuevo problema: el intercambio de información entre las diferentes unidades de procesamiento se convierte en un cuello de botella.

Una de las propuestas para encarar este escenario se basa en la estructura de una red de comunicación inalámbrica a nivel de chip; *Wireless Network on Chip* - *WNoC* [1]. La meta de este trabajo parte de esta línea y se centra en el estudio de uno de los elementos decisivos en la factibilidad de este sistema: el convertidor analógico-digital. Analizamos, sobre todo, el rendimiento en cuanto a consumo energético, ocupación espacial y velocidad; todas ellas características indispensables en el entorno del procesador (alta velocidad con dimensiones y consumo muy limitados). Finalmente, expondremos qué metodologías y elementos de diseño pueden definir un convertidor capaz de abrir la puerta a este sistema de comunicaciones.

Dedicatoria

Muchos años han pasado desde que empecé. Ha sido sin duda un camino duro, pero repleto de personas de las que me enorgullezco de haber conocido, y lecciones que, sin bien tarde o temprano, he acabado apreciando muchísimo. Con este último estudio se escribe el último capítulo de un libro que narra una etapa de vital importancia. Una etapa decisiva que, tanto por el entorno y el momento en que ocurre, nos define, nos inspira y nos forma en gran medida.

Quiero agradecer a todas esas personas que me han acompañado a lo largo de este tiempo, de las que siempre he aprendido algo y que han hecho de este final algo posible. Primeramente, a mis padres y a mi hermano, cuyo apoyo y amor incondicional siempre ha sido muy importante para mí, y sin el que todo esto no sería posible. A todos mis amigos del despacho de Revistes y del Omega en general, 'territorio comanche' y brocha de color incluso en los días más grises: sin ellos jamás sería quién soy ahora ni habría aprendido la mitad de la mitad de las cosas que sé. Al resto de mis compañeros de la UPC, especialmente a los de CiTTEL: fuisteis una de las chispas que necesitaba en un momento muy difícil, gracias por estar ahí. A mis compañeras y compañeros del B3 y concretamente Secretaría: sois unas personas estupendas y agradezco todos los momentos que hemos compartido juntos.

A las clases y charlas fuera de clase de Anna Lladó y Alfonso Rojas. A Jaume Riba, porque gracias a él encontré mi interés en las telecomunicaciones.

A Enric, peculiar profesor y mejor terapeuta, guitarra o no en mano.

A Sergi, mi tutor, por su paciencia y consejos a lo largo de estos meses.

A todos vosotros y a los que no salís aquí: muchas gracias.

Índice general

1. Introducción	3
1.1. Presentación	3
1.2. Estructura	4
2. Contexto	5
2.1. Escenario y proyectos relacionados	5
2.2. Restricciones y objetivos	6
3. Teoría ADC	7
3.1. Características	8
3.1.1. Frecuencia de muestreo f_s	8
3.1.2. ENOB <i>Effective Number Of Bits</i>	8
3.1.3. <i>Jitter</i>	9
3.2. Arquitecturas	9
3.2.1. SAR (<i>Successive Approximation Register</i>)	9
3.2.2. Flash	10
3.2.3. Pipelined	11
4. Gráficas	12
4.1. Margen dinámico y límite de Walden	12
4.2. Área	13
4.3. Consumo	14
4.4. Análisis rendimiento y eficiencia	15
5. Discusión	16
5.1. Análisis de resultados	16
5.2. Frentes derivados de la escalabilidad	18
5.2.1. Distribución de señal	18
5.2.2. Generación señal de reloj	18
5.2.3. Ruido térmico	18
6. Conclusiones	19
6.1. Trabajo futuro	20
7. Bibliografía	22

Capítulo 1

Introducción

1.1. Presentación

Durante los últimos años, las exigencias del mundo de la tecnología han puesto en primera línea la capacidad de procesar información lo más rápido posible. La estructura convencional, de un único procesador, quedó en entredicho con la necesidad de buscar mayores velocidades: el alto consumo ligado a aumentar la frecuencia hacía que abordar así el problema fuera una quimera.

La respuesta fue usar más de un procesador, aprovechando el paralelismo a nivel de *thread* para rebasar este obstáculo. Esta estructura se conoce como arquitectura multiprocesador y sigue siendo el eje central en este campo hasta nuestros días [2].

Inherentemente, la complejidad del proceso aumenta y surgen otros frentes. Estas unidades de procesamiento deben estar sincronizadas y tener la capacidad de compartir datos e información que garanticen su coherencia y consistencia.

Actualmente, disponemos de varias soluciones. En el caso de arquitecturas con pocos procesadores basta con usar buses. Con arquitecturas más densas, una red de conmutación de paquetes a nivel de chip *Network-on-Chip (NoC)* ofrece mayor escalabilidad con mejores rendimientos. Sin embargo, *NoC* peca de latencia y problemas de conectividad si escalamos hasta un orden de magnitud de centenares o miles de procesadores [3].

Diversas alternativas han surgido para sortear este obstáculo [4]. Una de ellas, *Wireless Network-on-Chip (WNoC)*, ocupará el centro de este trabajo y pretende complementar la estructura de *NoC* mediante la transmisión inalámbrica de datos (ver Fig. 1.1). Cada núcleo (o conjunto de ellos) integra una antena y un transceptor. La información llega a través de la *wireless Network Interface (wNIF)* al transceptor; un módulo de acceso al medio (MAC) decide cuándo transmitir la señal y el módulo de capa física (PHY) se encarga de la modulación a utilizar.

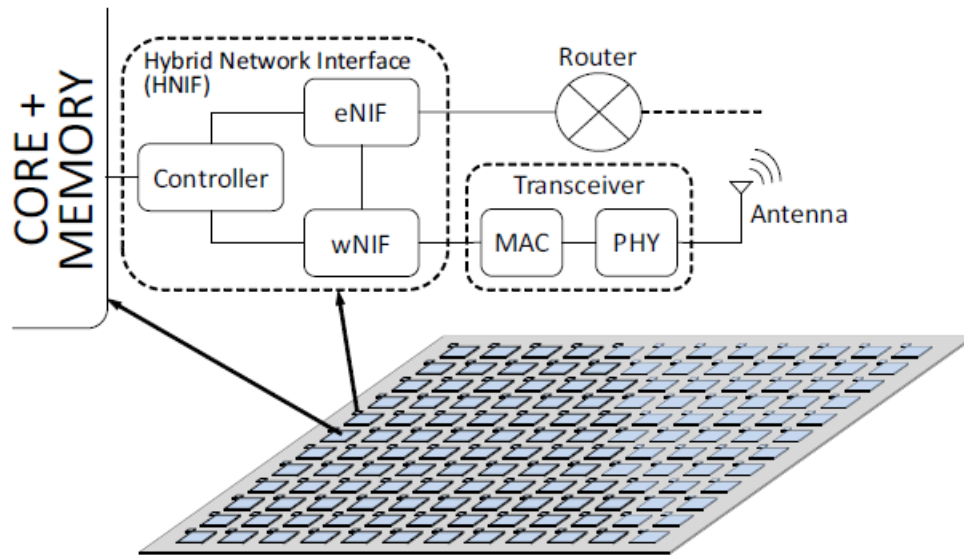


Figura 1.1: Esquema WNoC de 144 procesadores visto en [23]

1.2. Estructura

La memoria está segmentada en cinco capítulos, sirviendo éste de introducción a la temática y de explicación de su estructura y contenidos. En el segundo capítulo desvelamos cuál es el escenario y el marco físico donde se ubica el objeto de este estudio, así como los diversos proyectos del N3Cat a los que engloba. El capítulo tercero comprende una serie de definiciones, conceptos y características relativos al convertidor analógico-digital, así como una breve explicación de las arquitecturas de diseño más relevantes. En el capítulo cuatro se añaden unas gráficas de rendimiento de los diferentes diseños de los convertidores estudiados, destacando algunos clave. Una discusión posterior sobre los resultados obtenidos y qué se puede esperar en un futuro conforman el capítulo cinco. Finalmente, el capítulo seis contiene una conclusión, cerrando así la memoria.

Capítulo 2

Contexto

2.1. Escenario y proyectos relacionados

Este estudio gira alrededor del entorno definido por un chip con una gran densidad de unidades de procesamiento o núcleos (*massive multicore architectures*). Dada la alta tasa de información que circula entre núcleos y la complejidad que implica su correcta distribución, es un escenario que merece especial atención. En este marco topan varios de los proyectos del NaNoNetworking Center in Catalonia (N3Cat) (WNoC [1], GWC [5], VisorSurf [7]).

En [23] se propone un sistema de comunicaciones inalámbrico para resolver ese cuello de botella. Una de las piezas clave de este planteamiento es el uso de antenas de grafeno (GWC [5], [6]), de dimensiones muy reducidas, capaces de radiar a frecuencias en el orden de magnitud de los THz. Así, podemos tratar con señales de gran ancho de banda (hasta decenas de GHz) que nos permitan lidiar con la tasa requerida. Uno de los frentes abiertos reside en el proceso de conversión analógico-digital, cuyo consumo y espacio necesario pueden ser un factor limitante a nivel de chip. Además, el convertidor debe ser lo bastante rápido como para procesar esa alta tasa de bits.

Un esquema parecido también tiene lugar en el macro proyecto de VISORSURF [7] - [8]. El estudio gira alrededor de las metasuperficies: estructuras artificiales con funcionalidades electromagnéticas diseñadas y de propiedades no existentes en la naturaleza. Uno de los puntos a tratar es su exclusividad, puesto que las funcionalidades de la metasuperficie quedan fijadas en el momento de su fabricación. El N3Cat se encarga del diseño de una red de microcontroladores ligados a la estructura de metamaterial, capaces de modificarlo y cambiar el comportamiento y funcionalidades de la metasuperficie. Este entorno conserva grandes semejanzas con el de *Graphene Wireless Network-on-Chip*, *GWNoC* [1], y por ello se rige por los mismos problemas a nivel de conversión de señal.

2.2. Restricciones y objetivos

Como marco de referencia, pensemos en un chip de $20 \times 20 \text{mm}^2$ que aloja aproximadamente 100 núcleos. Eso nos deja alrededor de 4mm^2 por núcleo: de este total, sería deseable no destinar más del 15% de ese espacio (es decir, unos 0.6mm^2) para la infraestructura de comunicaciones.

En cuanto al consumo, cada núcleo podría ser alimentado con 1 W de potencia, un tercio de la cual puede asumirse que se destina a las comunicaciones. De esa fracción, nuestra meta se basa en usar la menor potencia posible que nos habilite la comunicación inalámbrica. Tomando como ejemplo [9], 30 mW son utilizados para alimentar el *front end* RF del transceptor. Asumiremos en el resto del trabajo que podremos usar hasta 10 mW para los convertidores.

En resumen, la propia naturaleza del entorno nos dicta buscar convertidores que sean lo más pequeño posible y de alta eficiencia energética. Es una consecuencia natural propia de la escalabilidad: aumentamos el número de procesadores por chip, pero las dimensiones de éste no varían y la potencia total suministrada aumenta muy poco. Ver también Fig. 2.1.

Debe destacarse también que siguiendo estas directrices el sistema de comunicaciones busca sencillez, decantándose por modulaciones de baja densidad, minimizando así el área y energía consumidos.

TABLE I
WIRELESS MANYCORE SCENARIO REQUIREMENTS

Metric	Value
Transmission Range	0.1–10 cm
Node Density	10–1000 nodes/cm ²
Network Throughput	10–100 Gb/s
Latency	1–100 ns
Bit Error Rate (BER)	10^{-15}
Energy	1–10 pJ/bit

Figura 2.1: Restricciones para WNoC

Capítulo 3

Teoría ADC

Un convertidor analógico-digital, ADC de sus siglas en inglés, es un sistema electrónico capaz de convertir una señal analógica continua en tiempo y en amplitud, en una señal digital de valores y tiempo discretos. A grandes rasgos, podemos dividir la conversión en dos fases: la primera consiste en adquirir una muestra (valor en un instante determinado) de la señal analógica. En la segunda, la muestra obtenida se mapea dentro de un conjunto finito de intervalos que cubre todo el rango de valores de la señal tratada (proceso conocido como **cuantificación**); si identificamos cada intervalo con un valor concreto, cada muestra que tomemos queda representada dentro de una secuencia numérica Fig. 3.1.

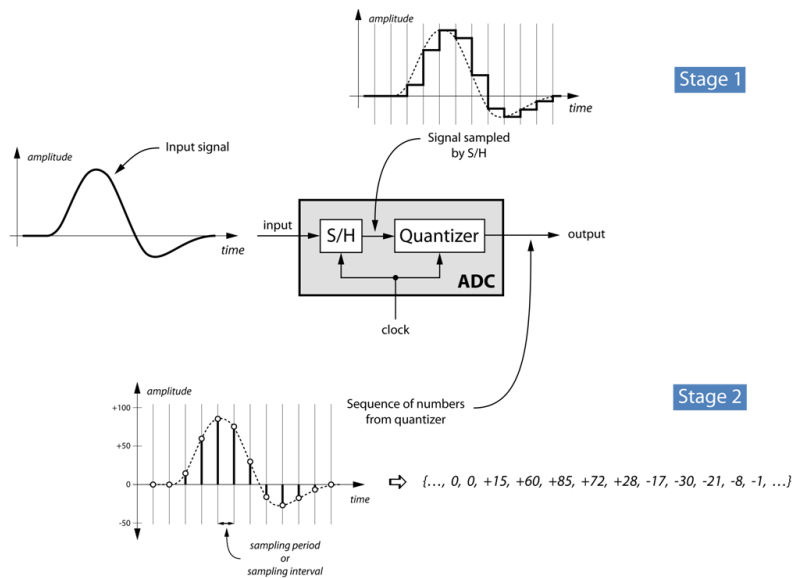


Figura 3.1: Proceso de conversión analógico-digital [25]

Es natural pues hacerse un par de preguntas sobre los convertidores, que nos ayudarán a definir y presentar algunas de sus características: ¿Cuán rápido toma un ADC una muestra? ¿En cuántos intervalos -o niveles- es capaz de dividir la señal tratada?

3.1. Características

3.1.1. Frecuencia de muestreo f_s

Definimos así la cantidad de muestras por segundo (*Samples/second, S/s*) que es capaz de tomar un ADC. Es un aspecto primordial, puesto que limita de manera efectiva qué señales puede tratar correctamente nuestro convertidor. Del teorema de muestreo de Nyquist-Shannon extraemos:

$$f_s > 2f_{in} \quad (3.1)$$

donde f_{in} es el ancho de banda de la señal analógica: si no cumplimos con este criterio experimentaremos **aliasing**.

3.1.2. ENOB *Effective Number Of Bits*

Es un parámetro que define, de los bits de salida del ADC, la media de bits útiles (es decir, aquellos que no son ruido). El ENOB es una medida del margen dinámico de nuestro convertidor, que se ve influenciado por numerosos factores (ruido, distorsión, resolución, jitter). Luego, el número efectivo de bits nos daría una equivalencia entre nuestro convertidor y uno ideal con una resolución igual a su ENOB.

Se define a partir de la relación señal-ruido y distorsión (SNDR):

$$ENOB = \frac{SNDR - 1,76}{6,02} \quad (3.2)$$

donde SNDR se expresa en dB. El factor 1.76 proviene del error de cuantificación presente en un ADC ideal. A su vez, 6.02 representa un cambio de la escala logarítmica.

3.1.3. *Jitter*

El término *jitter* (fluctuación) hace referencia a la inexactitud derivada de la señal de reloj, que dicta el instante temporal en el que muestreamos la señal analógica. Teóricamente asumimos que el reloj es perfecto y todas las muestras se hallan periódicamente equiespaciadas. Sin embargo, en la realidad esto no es exactamente así e impone una restricción en la resolución de un convertidor. A medida que trabajamos con señales de mayor ancho de banda y el ADC ha de operar con mayor rapidez, se vuelve un factor de gran importancia.

3.2. Arquitecturas

A continuación presentamos algunas de las familias de convertidores más habituales, de las cuales hablaremos más tarde.

3.2.1. SAR (*Successive Approximation Register*)

Este tipo de convertidor compara la muestra con los rangos de los niveles de cuantificación de manera sucesiva mediante una búsqueda binaria.

Acorde a la Fig. 3.2, el proceso es el siguiente: iniciamos el registro con el bit

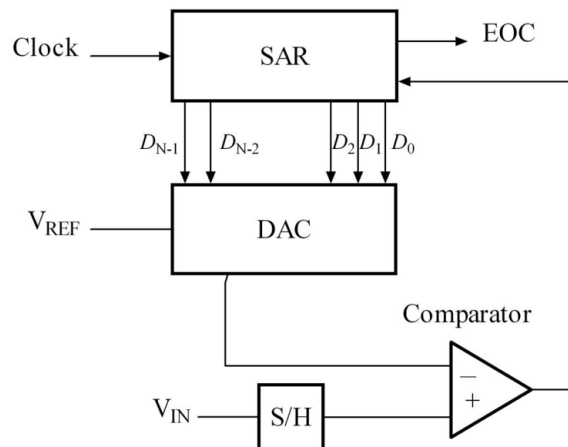


Figura 3.2: Diagrama de bloques de un convertidor SAR [24]

más significativo D_{N-1} a 1, de manera que al pasar por el convertidor digital-analógico (DAC) el valor saliente sea $V_{REF}/2$. Esta señal se compara entonces con la muestra, almacenada en un bloque *Sample and Hold* (S/H): si V_{IN} es menor, D_{N-1} se resetea a 0. En caso contrario, se conserva el valor del bit en el registro. A continuación, el bit siguiente D_{N-2} pasa a ser 1 y el proceso se repite, hasta que todos los bits del registro quedan definidos. El código resultante generado (EOC) es la aproximación hecha por el convertidor.

Para resolver una muestra en 2^N niveles de cuantificación son necesarias $N + 1$ subciclos: N para rellenar el registro y un último donde se almacena y devuelve el resultado. Este proceso añade una penalización temporal que puede ser absolutamente limitante para alcanzar altas velocidades de muestreo.

3.2.2. Flash

Los convertidores Flash usan una cadena de $2^n - 1$ comparadores en paralelo. Cada uno de ellos analiza la muestra respecto a una serie de tensiones de referencia, que marcan los rangos de la cuantificación. Finalmente, la salida de estos comparadores pasa a un codificador, encargado de devolver la señal cuantificada Fig. 3.3.

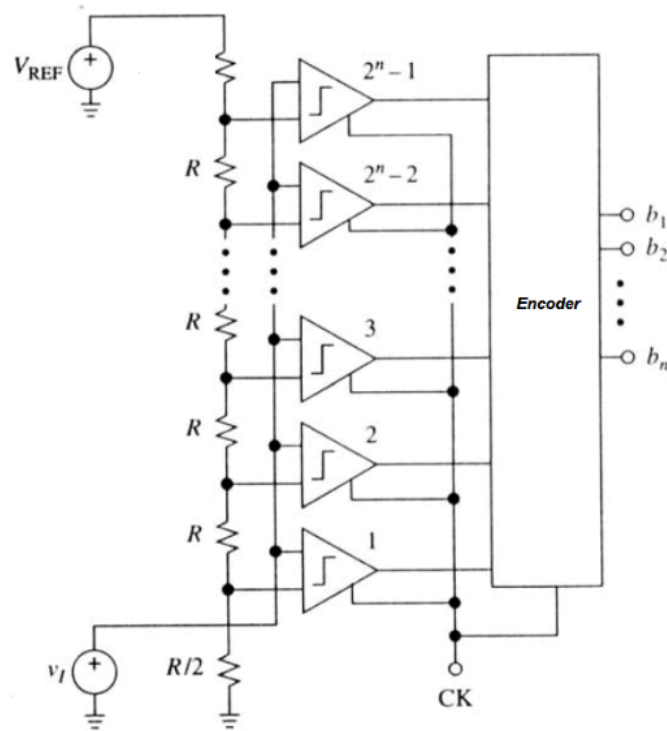


Figura 3.3: Esquema ADC Flash de N bits [26]

Esta arquitectura posee la ventaja de poder discretizar la muestra con un único ciclo de reloj. Aparte, su diseño es sencillo y no requiere de lógica digital salvo para el codificador. Sin embargo, su uso elevado de comparadores a medida que aumenta la resolución (255 en el caso de 8 bits) y el consumo asociado pueden ser un impedimento para según qué escenarios.

3.2.3. Pipelined

Los convertidores tipo Pipelined constan de diversas etapas en serie Fig. 3.4, dónde cada una de ellas (Fig. 3.5) se encarga de devolver un conjunto j de bits del resultado final. Las imágenes muestran un convertidor de 10 bits.

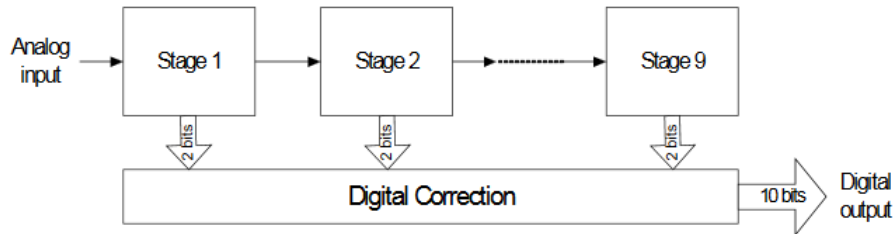


Figura 3.4: Diagrama de bloques del convertidor [27]

Su proceso de conversión consta de dos fases: en la primera, la señal muestreada V_{in} se almacena y paralelamente un ADC (típicamente Flash) devuelve los j bits resultado de su conversión inmediata. En la segunda, un DAC reconstruye este valor de salida y calcula la diferencia respecto a la señal almacenada V_{in} . La diferencia pasa por un amplificador de residuo y se transfiere a la siguiente etapa V_{out} . Posteriormente, los bits salientes de cada etapa se combinan y se obtiene el valor resultante cuantificado. El convertidor tipo Pipelined de-

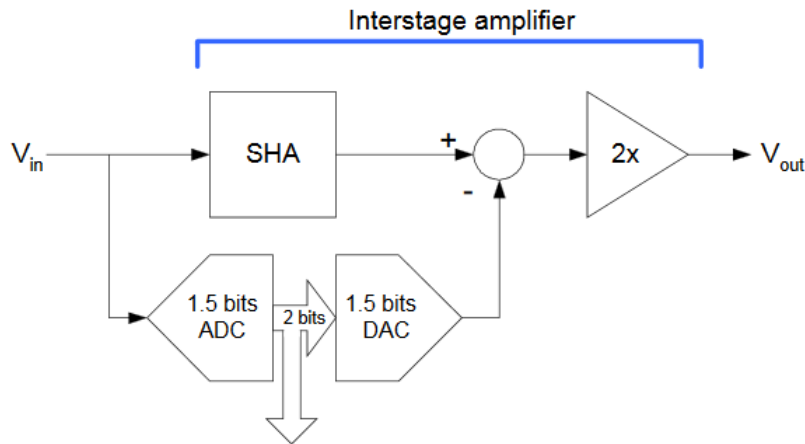


Figura 3.5: Arquitectura de una etapa Pipelined [27]

vuelve la señal discretizada en un único ciclo de reloj. La contrapartida es que los amplificadores operacionales presentes en cada etapa añaden mucha latencia.

Capítulo 4

Gráficas

En este capítulo mostraremos diversas gráficas de rendimiento y características de los ADC analizados, entre los cuales seleccionamos el ENOB, potencia consumida y área ocupada. Por último, mostramos una figura de mérito (F_{dM}) que intente recoger las necesidades de un convertidor para WNoC. En esos mismos gráficos hemos situado algunos márgenes que nos ayudan a establecer una referencia con los requisitos vistos en el capítulo dos.

Aquí comentaremos los resultados extraídos de las gráficas y destacamos algunos diseños, preparando el terreno para una valoración conjunta, llevada a cabo en el siguiente capítulo.

4.1. Margen dinámico y límite de Walden

La Fig. 4.1 pretende ilustrar la relación entre el ENOB y el ancho de banda de la señal analógica procesada f_{in} .

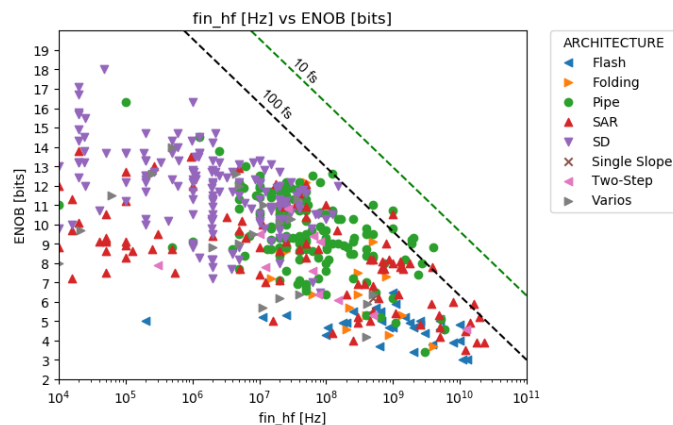


Figura 4.1: ENOB en función del ancho de banda analógico f_{in}

Como hemos anticipado en el capítulo tres, podemos observar un compromiso entre ambos parámetros: el número efectivo de bits que ofrece el convertidor disminuye a medida que aumenta el ancho de banda, ya anunciado por Walden [15]. Este efecto viene principalmente condicionado por la inexactitud (jitter) de la señal del reloj.

La línea discontinua negra representa un valor de apertura de jitter de 100 fs, sobre el que se concentra la gran mayoría de diseños actuales. La línea verde representa una apertura de 10 fs.

Guiándonos por esta limitación, el mejor resultado corresponde a [10], un diseño Pipelined que alcanza 8.8 ENOB con una señal de 4 GHz de ancho de banda y a 10 GS/s. En el extremo derecho de la gráfica, tenemos dos diseños a destacar, ambos SAR: Con un ENOB de 5.9 bits relacionado a un ancho de banda de 16 GHz, [11] rompe la frontera de 100 fs de apertura de jitter. Por último [12] alcanza 5.2 ENOB bajo una señal de 19.9 GHz de ancho de banda a una velocidad de 90 GS/s.

La frontera impuesta por el jitter ha abierto la veda para explorar el terreno de la conversión fotónica, con resultados muy prometedores en este aspecto. Por ejemplo, en [16] se diseña un convertidor fotónico capaz de alcanzar 7 ENOB con una señal de ancho de banda f_{in} de 41 GHz, lo que equivale a un rendimiento alrededor de 15 fs de jitter.

4.2. Área

Los resultados están focalizados en la frontera impuesta por las restricciones a nivel de chip: la línea magenta divide el gráfico representando un área de 0.6 mm^2 . La línea verde representa un área de 0.2 mm^2 .

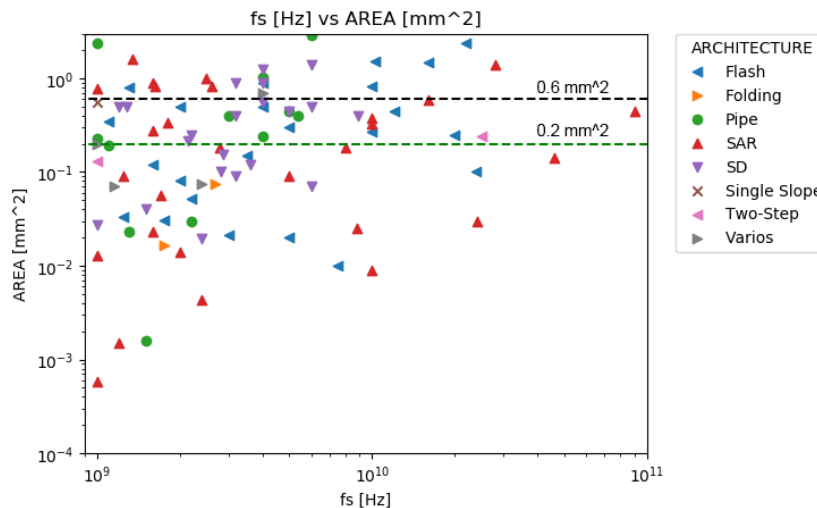


Figura 4.2: Área ocupada en función de la frecuencia de muestreo f_s

Se puede apreciar cómo los diseños de arquitectura SAR son los que ocupan un menor espacio en todo el rango mostrado, siendo más eficientes que algunos diseños de otras familias.

A partir de 10GHz, cabe destacar [14],[17] y [12], mostrando velocidades entre 24 - 90 GS/s estando todos ellos por debajo de la frontera en 0.6 mm^2 . Sólo los dos primeros diseños de estos tres consiguen ocupar menos de 0.2 mm^2 .

4.3. Consumo

Nuevamente, fijamos la atención en los convertidores que ofrecen un consumo adecuado a nuestro escenario. Se ha elegido un rango de potencia alto para poder representar una mayor cantidad de diseños. Aquí la línea magenta nos indica un consumo de 10 mW.

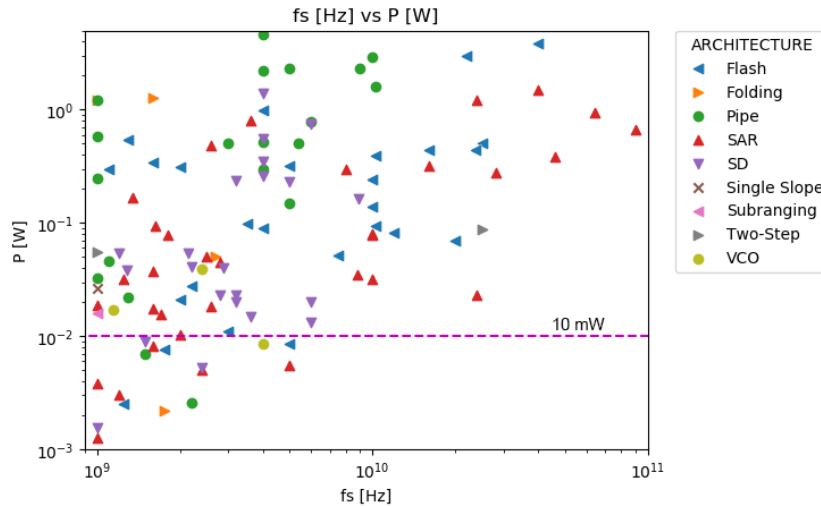


Figura 4.3: Potencia consumida en función de la frecuencia de muestreo f_s

Todos los convertidores de alta velocidad se hallan por encima de esta frontera. El ADC más veloz que cumple con dicho criterio alcanza 5GS/s con un consumo de 5.5 mW ([13]). Situándonos más allá de los 20 GS/s, [14] consigue acercarse con unas prestaciones de 23 mW de consumo a 24 GS/s. Ambos diseños pertenecen a la arquitectura SAR.

4.4. Análisis rendimiento y eficiencia

Como ya se ha dicho en el capítulo dos, una red a nivel de chip nos exige eficiencia en consumo y área. Para analizar ambas características, hemos creado una figura de mérito que indica el número medio de bits útiles que procesa un convertidor por pJ de energía utilizado y mm².

$$FdM = \frac{f_s \times ENOB}{Pot \times \text{Área}} \quad (4.1)$$

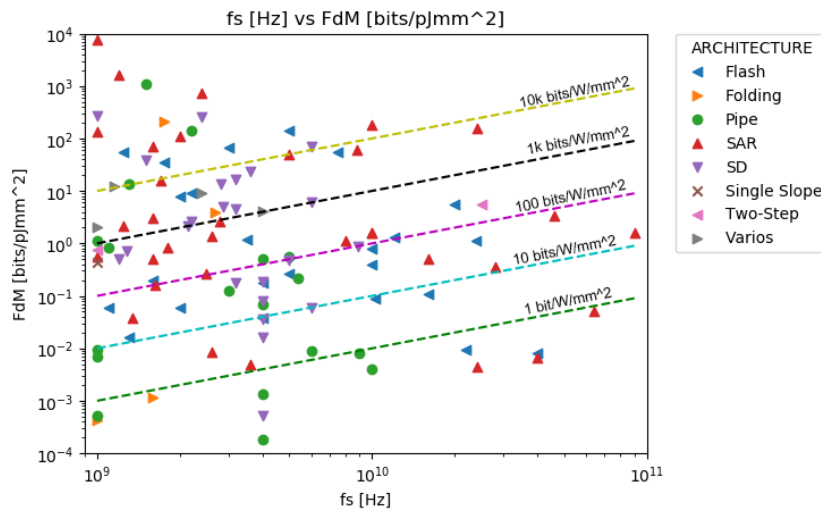


Figura 4.4: Eficiencia en consumo y espacio según f_s

Las líneas discontinuas muestran, nombradas por sentido descendente, una frontera de 1, 10, 100, 100 y 10000 bits por unidad de potencia usada por mm². Con un valor de 156 bits/pJ/mm^2 [14] despunta sobre el resto ofreciendo unas prestaciones de eficiencia dos órdenes de magnitud por encima de sus competidores más cercanos.

Capítulo 5

Discusión

5.1. Análisis de resultados

Uno de los aspectos más llamativos de las gráficas es sin lugar a dudas la omnipresencia de la arquitectura SAR en todo el rango de velocidades, perteneciendo a esta los diseños más veloces. Por ejemplo [14], [17] y [12].

Analizando el diseño y estructura de los convertidores en un rango de velocidad superior, observamos que una característica común es el uso de técnicas de **entrelazado temporal o TI (Time Interleaving)**. De manera análoga al funcionamiento de un procesador *multicore* el ADC se divide en N bloques, que muestrean los datos cada N-ésimo ciclo de reloj. De esta forma, la velocidad aumenta en un factor N.

El ADC más rápido hasta la fecha [12] requiere de 64 convertidores SAR para alcanzar los 90 GHz. En [17] (f_s 46 GHz) se utilizan 72 bloques de entrelazado, mientras que [14] (f_s 24 GHz) usa 16.

La arquitectura Flash copa también altas velocidades, siendo la única en no necesitar de técnicas de entrelazado para tal efecto. Una muestra de ello son [18], [19] o [20]. Sin embargo, el espacio requerido y su alto consumo (406 mW y un área de 0.1mm² en el mejor caso, [20]) los alejan de otras familias como SAR, que es capaz de ofrecer un mejor rendimiento en ambos campos Fig. 4.2 y Fig. 4.3.

Los convertidores Pipelined llevan la delantera en cuanto a la resolución neta que ofrecen, conjuntamente con altas velocidades. En la Fig. 4.1 podemos ver que representan el mayor número de ADC que superan la barrera de ENOB impuesta por una apertura de jitter de 100 fs.

Por lo que respecta al espacio y el consumo, los diseños SAR parecen imponerse al resto, especialmente Fig. 4.4. ¿Qué hace a estos convertidores mejores en este aspecto?

La respuesta está en su construcción: el uso de componentes digitales y conmutadores por parte de los SAR hace que esta familia se beneficie más que ninguna otra de la escalabilidad tecnológica. Las últimas gamas de transistores

5.2. Frentes derivados de la escalabilidad

Hasta aquí todo nos empuja a pensar en los convertidores SAR como uno de los focos en el proceso de conversión analógico-digital hacia el rango de WNoC, gracias a su rendimiento ligado a los avances de la tecnología CMOS. Sin embargo, hay limitaciones que surgen a medida que explotamos agresivamente esta ventaja, vistas todas ellas en mayor detalle en la publicación de Murmann [21].

5.2.1. Distribución de señal

La red de distribución de señal induce cuellos de botella en cuanto a velocidad y consume una parte alta de potencia. En [12](2014) el uso de transistores CMOS 32 nm SOI permitió paliar esta desventaja.

Combinar el diseño de la infraestructura de entrelazado y el de la red de distribución de señal es una de las metas para la siguiente generación de convertidores.

5.2.2. Generación señal de reloj

Aparte de la fluctuación en la periodicidad de la señal de reloj, las técnicas de entrelazado reparten las muestras entre los diferentes bloques usando un sistema de retardos, empeorando aún más el ENOB.

5.2.3. Ruido térmico

Un nombre desaparecido hasta ahora, el ruido térmico no era muy relevante a niveles alrededor de 6 ENOB. Bajo técnicas complejas de entrelazado, es un factor a tener en cuenta. Por ejemplo, en el diseño de 90 GS/s [12] el ruido térmico introducido por los comparadores fue uno de los condicionantes clave en el límite de rendimiento. La solución a este problema debe encararse a nivel de circuito.

Capítulo 6

Conclusiones

La meta de este trabajo es poder responder a uno de los problemas que encara ahora por ahora la WNoC: una conversión rápida pero sumamente eficaz. Basándonos en la reciente literatura, hemos analizado el rendimiento de numerosos y diferentes tipos de convertidores ayudándonos de las gráficas representadas y buscando tendencias de escalabilidad. Los resultados han sido posteriormente discutidos ciñéndonos a las exigencias propias del entorno NoC. Con el objetivo de ver cómo podemos cumplir esos requisitos, se han destacado los puntos en común en cuanto a metodologías y diseño de los convertidores más veloces y eficientes.

La realidad es que, ahora por ahora, los convertidores Pipelined poseen una gran relevancia por la alta tasa de bits que pueden llegar a procesar a velocidades moderadamente altas Fig. 4.1, y ocupan actualmente un puesto privilegiado en este tipo de escenarios respecto a los SAR. De nuevo en [21] se destacan las posibilidades de combinar los puntos fuertes de ambas familias, dando lugar a diseños de muy bajo consumo. Esta afirmación queda apuntalada y concuerda con nuestros resultados: es el caso del convertidor descrito en *A 23mW 24-GS/s 6-bit Voltage-Time Hybrid Time-Interleaved ADC in 28-nm CMOS*, expuesto en 2017 [14] (ver Fig. 4.4).

Con un nuevo salto en la tecnología CMOS y combinando estructuras de Pipelined y SAR podemos superar la frontera impuesta de 10 mW en corto plazo. Siendo la eficiencia en consumo uno de los obstáculos para la factibilidad de la WNoC, este tipo de diseños pueden llevarnos a solventar uno de los problemas que actualmente encara el grupo del N3Cat.

6.1. Trabajo futuro

La eficiencia energética en este tipo de sistemas puede encararse desde otros puntos tangentes al visto aquí. Un estudio sobre qué esquemas de modulación pueden ser más convenientes (señales de bajo PAPR peak-to-average ratio) para una WNoC abre nuevos frentes y puede relacionarse con los resultados de este estudio.

Capítulo 7

Bibliografía

- [1] N3CAT, <http://www.n3cat.upc.edu/projects/gwnocs>, 2013 - 2015.
- [2] J. HENNESSY, D. PATTERSON, *Computer architecture: a quantitative approach*, Morgan Kaufmann, 2012.
- [3] L. BENINI, G. DE MICHELI, *Networks on chips: a new SoC paradigm*, IEEE Comput., vol. 35, no. 1, pp. 70–78, 2002.
- [4] J. KIM, K. CHOI, G. LOH, *Exploiting new interconnect technologies in on-chip communication*, IEEE J. Emerg. Sel. Top. Circuits Syst., vol. 2, no. 2, pp. 124–136, 2012.
- [5] N3CAT, <http://www.n3cat.upc.edu/projects/gwc>, 2013 - 2015.
- [6] S. E. HOSSEININEJAD, E. ALARCÓN, N. KOMJANI, S. ABADAL, M. C. LEMME, P. HARING BOLÍVAR y A. CABELLOS-APARICIO, *Study of hybrid and pure plasmonic terahertz antennas based on graphene guided-wave structures*, Nano Communication Networks (Elsevier), vol. 12, pp. 34-42, June 2017.
- [7] VISORSURF, <http://www.visorsurf.eu>, 2017 - 2018.
- [8] S. ABADAL, C. LIASKOS, A. TSIOLIARIDOU, S. IOANNIDIS, A. PITSILLIDES, J. SOLÉ-PARETA, E. ALARCÓN y A. CABELLOS-APARICIO, *Computing and Communications for the Software-Defined Metamaterial Paradigm: A Context Analysis*, IEEE Access, vol. 5, pp. 6225-6235, 2017.
- [9] X. YU, J. BAYLON, P. WETTIN, D. HEO, P. PRATIM PANDE y S. MIRABASI *Architecture and Design of Multi-Channel Millimeter-Wave Wireless Network-on-Chip*, IEEE Des. Test, vol. 31, no. 6, pp. 19–28, 2014.

- [10] S. DEVARAJAN, L. SINGER, D. KELLY, S. KOSIC, T. PAN, J. SILVA, J. BRUNSILIUS, D. REY-LOSADA, F. MURDEN, C. SPEIR, J. BRAY, E. OTTE, N. RAKULJIC, P. BROWN, T. WEIGANDT, Q. YU, D. PATERSON, C. PETERSEN y J. GEALOW, *A 12b 10GS/s Interleaved Pipeline ADC in 28nm CMOS Technology*, Solid-State Circuits Conference (ISSCC), 2017.
- [11] DELONG CUI, HENG ZHANG, NICK HUANG, ALI NAZEMI, BURAK CATLI, HYU GYUEM RHEW, BO ZHANG, AFSHIN MOMTAZ y JUN CAO, *A 320mW 32Gb/s 8b ADC-Based PAM-4 Analog Front-End with Programmable Gain Control and Analog Peaking in 28nm CMOS*, Solid-State Circuits Conference (ISSCC), 2016.
- [12] L. KULL *et al.*, *A 90GS/s 8b 667mW 64x Interleaved SAR ADC in 32nm Digital SOI CMOS*, ISSCC Dig. Tech. Papers, 2014.
- [13] C-H. CHAN, Y. ZHU, S-W. SIN, S-P. U y R. MARTINS, *A 5.5mW 6b 5GS/s 4-times Interleaved 3b/cycle SAR ADC in 65nm CMOS*, Solid-State Circuits Conference (ISSCC), 2015.
- [14] B. XU, Y. ZHOU y Y. CHIU, *A 23-mW 24-GS/s 6-bit Voltage-Time Hybrid Time-Interleaved ADC in 28-nm CMOS*, IEEE Journal of Solid-State Circuits, vol. 52, pp. 1091-1100, 2017.
- [15] R. H. WALDEN, *Analog-to-digital converter survey and analysis*, IEEE J. Sel. Areas Commun., vol. 17, no. 4, pp. 539-550, 1999.
- [16] A. KHILO, S. SPECTOR, M. GREIN ET AL., *Photonic ADC: overcoming the bottleneck of electronic jitter*, Optics Express, vol. 20, No. 4, pp. 4456-4469.
- [17] Y. DUAN y E. ALON, *A 6b 46GS/s ADC with >23GHz BW and Sparkle-Code Error Correction*, Symposium on VLSI Circuits (VLSI Circuits), 2015. Limusa, Mexico, DF, 2004.
- [18] WILLIAM CHENG, WAIS ALI, MOON-JUNG CHOI, KANON LIU, TAMMY TAT, DON DEVENDORF, LLOYD LINDER y RONALD STEVENS, *A 3b 40GS/s ADC-DAC in 0.12/spl mu/m SiGe*, Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004.
- [19] P. SCHVAN, D. POLLEX, S-C. WANG, C. FALT y N. BEN-HAMIDA, *A 22GS/s 5b ADC in 130nm SiGe BiCMOS*, Solid-State Circuits Conference, 2006.
- [20] G. TRETTER, M. KHAFAJI, D. FRITSCHKE *et al.*, *A 24 GS/s single-core flash ADC with 3 bit resolution in 28 nm low-power digital CMOS*, Digest of Papers - IEEE Radio Frequency Integrated Circuits Symposium, pp. 347-350, 2015.
- [21] B. MURMANN, *The successive approximation register ADC: A versatile building block for ultra-low-power to ultra-high-speed applications*, 2016.

- [22] B. MURMANN, *The Race for the Extra Decibel: A Brief Review of Current ADC Performance Trajectories*, IEEE Solid-State Circuits Magazine, vol. 7, issue 3, pp. 58-66, 2015.
- [23] SERGI ABADAL, JOSEP TORRELLAS, EDUARD ALARCÓN y ALBERT CABELLOS-APARICIO, *OrthoNoC: A Broadcast-Oriented Dual-Plane Wireless Network-on-Chip Architecture*, IEEE transactions on parallel and distributed systems, vol. 29, no. 3, pp. 628 - 641, Mar. 2018.
- [24] WHITE FLYE Own work, CC BY-SA 2.5, <https://commons.wikimedia.org/w/index.php?curid=37953205>
- [25] <https://www.nutaq.com/blog/analog-digital---part-2-conversion-process>
- [26] RAFAEL IBÁÑEZ HUESO <http://bibing.us.es/proyectos/abreproy/70059/fichero/CAPITULO2.pdf>, 2008.
- [27] DANIEL FALCÓN MEDINA <http://bibing.us.es/proyectos/abreproy/11078/fichero/Cap3ConvPipe.pdf>, 2004.

La información representada en las gráficas pueden hallarse en:

- [28] B. MURMANN, *ADC Performance Survey 1997-2017*, Available: <http://web.stanford.edu/~murmamm/adcsurvey.html>.