



Escola Universitària d'Enginyeria
Tècnica Industrial de Barcelona
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

Manual d'usuari



Barcelona, 8 de Juny de 2016

Director: Jordi Cosp i Vilella
Departament d'EEL
Universitat Politècnica de Catalunya (UPC)

ÍNDEX MANUAL D'USUARI

Índex manual d'usuari.....	1
Capítol 1: Manual d'usuari.....	3
1.1. Descripció del prototip.....	3
1.2. Els blocs dissenyats.....	5
1.1.1. Divisor de freqüència.....	6
1.1.2. Bloc CAM DRIVER.....	6
1.1.3. Bloc RAM DRIVER.....	9
1.1.4. Bloc VGA DRIVER.....	10
1.1.5. Bloc PROCESSING IMAGE.....	12
1.3. Programació i configuració del dispositiu.....	13

CAPÍTOL 1:

MANUAL D'USUARI

En aquest document està destinat a qualsevol persona interessada en utilitzar el prototip o els blocs dissenyats en VHDL però sense interessar-se en el seu funcionament intern. Es detallen les connexions que disposa cada bloc, descrivint cada senyal d'entrada i de sortida disponibles i les seves característiques de funcionament. De la mateixa manera, s'expliquen els passos a seguir en cas que es vulgui configurar la càmera de manera diferent de la que es proposa. Finalment, s'explica el funcionament general del dispositiu per tal d'obtenir una imatge amb el filtre corresponent.

1.1. Descripció del prototip

Com s'ha vist en la memòria tècnica, aquest prototip està muntat sobre la placa de proves *Nexys2* de Digilent. Només s'utilitzen dos botons (reset i *trigger*), els interruptors, dos connectors d'expansió per connectar-hi la càmera, el port VGA per connectar-hi la pantalla i la memòria RAM externa per guardar-hi les imatges. Es pot veure a continuació com estan distribuïts tots els elements:

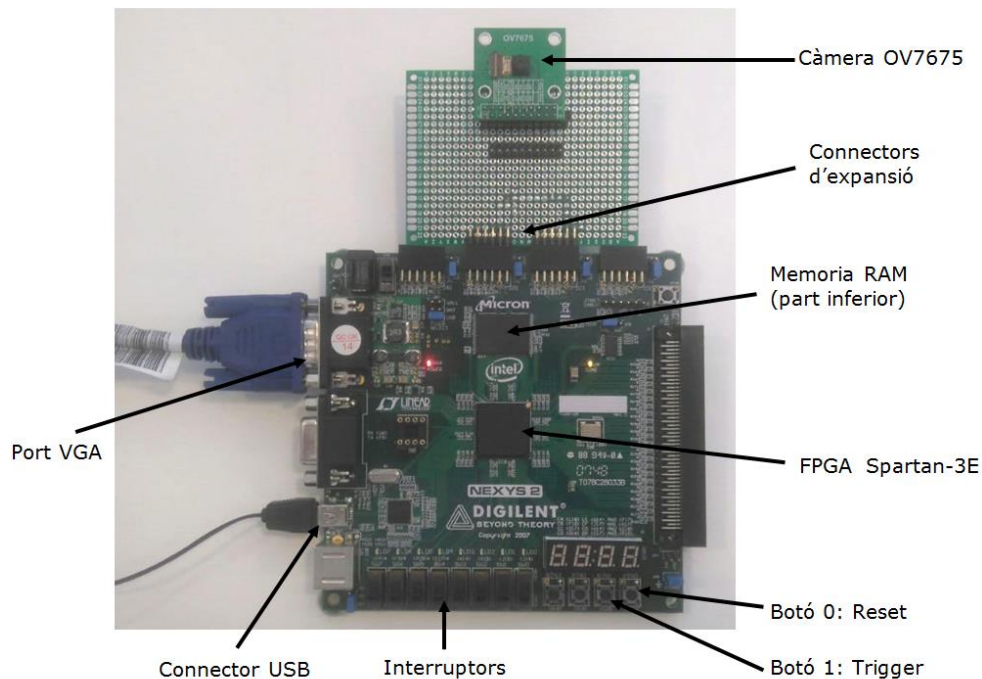


Figura 1. Distribució dels elements del prototip.

La placa s'alimenta a partir del connector USB connectat al PC, el qual li proporciona una tensió de 5V. Incorpora un regulador de tensió de 3,3V, a partir dels quals s'alimenta la FPGA i la càmera a través dels connectors d'expansió.

El funcionament del prototip és bastant simple, ja que l'usuari només ha de controlar els botons i l'estat dels interruptors.

- **Botó 0:** s'utilitza per reiniciar el prototip. És necessari que l'usuari reiniciï el dispositiu un cop se li ha carregat el programa, abans de capturar la primera imatge, per a un correcte funcionament.
- **Botó 1:** fa la funció de disparador o *trigger* de la càmera. Quan es polsa es captura una imatge.
- **Interruptors:** s'utilitzen per definir quin filtre es vol aplicar a la imatge. A continuació es pot veure quin filtre s'aplica en funció de l'estat dels interruptors i també en quina posició de memòria es guarda la imatge final a representar.

Taula 1. Filtre en funció de l'estat dels interruptors.

Filtre	Interruptors [7:0]	Posició de memòria (adreces)
Color	"00000000"	Imatge 0 (0-307199)
Blanc i negre	"00000001"	Imatge 1 (307200 - 614399)
Escala de grisos	"00000011"	Imatge 1 (307200 - 614399)
Erosió	"00000010"	Imatge 2 (614400 - 921599)

Dilatació	"00000100"	Imatge 2 (614400 - 921599)
Obertura	"00001000"	Imatge 3 (921600 - 1228799)
Tancament	"00010000"	Imatge 3 (921600 - 1228799)
Obertura-tancament	"00100000"	Imatge 5 (1536000 - 1843199)
Contorn	"01000000"	Imatge 2 (614400 - 921599)
Contorn amb O-T	"10000000"	Imatge 6 (1843200 - 2150399)

La càmera està connectada a la placa a través de dos connectors d'expansió, els quals tenen disponibles 3,3V i GND per tal de poder alimentar-la. S'han definit els pins tal i com es veu en la figura 2, tot i que es poden canviar modificant el fitxer UCF (disponible en el CD).

Connector JB

6	5	4	3	2	1
3,3V	GND	VSync	HREF	PDN	XCLK
12	11	10	9	8	7
3,3V	GND		SCL	SDA	PCLK

Connector JC

6	5	4	3	2	1
3,3V	GND	Data4	Data5	Data6	Data7
12	11	10	9	8	7
3,3V	GND	Data0	Data1	Data2	Data3

Figura 2. Vista frontal dels connectors d'expansió.

Finalment, per representar la imatge capturada amb el filtre corresponent, s'ha de connectar una pantalla a través del port VGA disponible. No cal configurar res ja que el dispositiu en tot moment està enviant informació. Un cop s'ha carregat el programa a la FPGA, a la pantalla hi apareixerà un fons de color blanc fins que es capturi la primera imatge i, a partir d'aquí, hi apareixeran les imatges que es vagin capturant.

1.2. Els blocs dissenyats

En aquest apartat es resumeix el funcionament dels senyals d'entrada i sortida dels diferents blocs. Aquests blocs estan descrits en diferents fitxers VHDL utilitzant l'entorn ISE de Xilinx. S'ha utilitzat una arquitectura estructural de tal manera que el diagrama de blocs general està format per quatre blocs principals més un divisor de freqüència, tal i com es pot veure en la figura 3. En els següents apartats s'expliquen les característiques de cada un. Si es desitja aprofundir sobre el seu funcionament intern, es poden consultar els capítols 2 i 3 de la memòria tècnica.

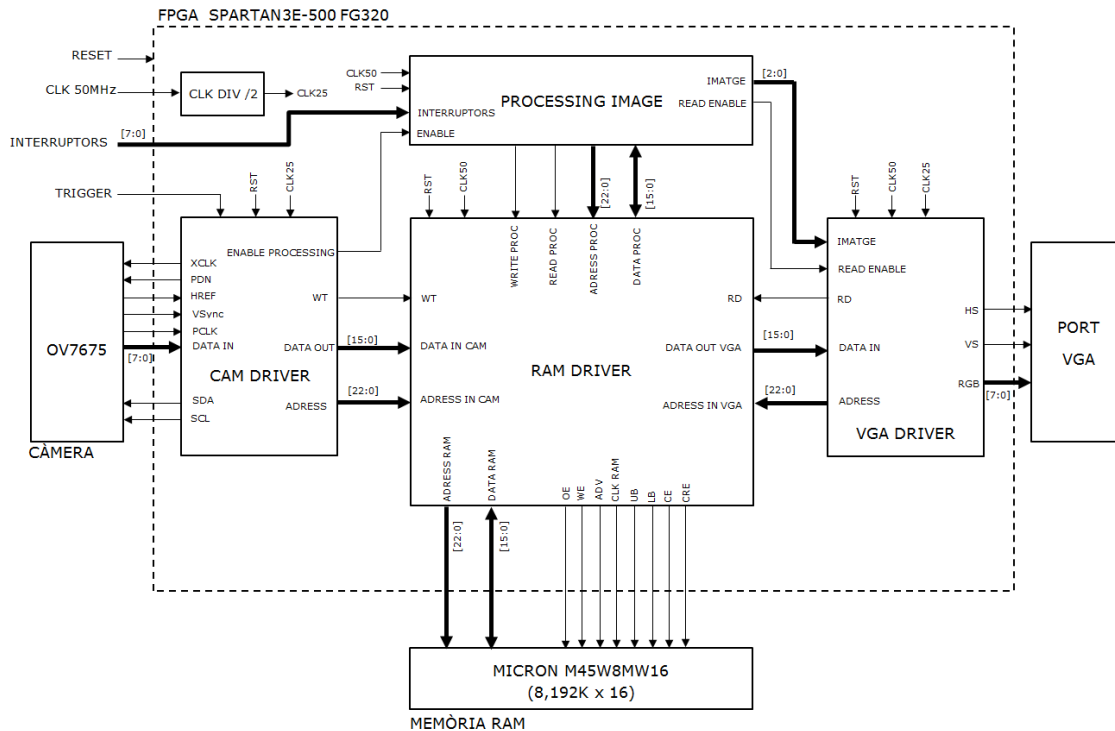


Figura 3. Diagrama de blocs general.

1.1.1. Divisor de freqüència

Aquest bloc té la funció de dividir la freqüència d'entrada per tal de treballar en condicions més favorables per a determinats blocs

Taula 2. Resum I/O divisor de freqüència.

Senyal	Tipus	Descripció
CLK_IN	IN	Senyal del rellotge d'entrada
CLK_OUT	OUT	Senyal del rellotge de sortida

Com s'ha comentat, el disseny inicial s'ha fet per treballar amb la placa de probes Nexys2 de Digilent. El rellotge que incorpora és de 50 MHz i s'ha dividit la freqüència per dos degut a les exigències dels blocs CAM DRIVER o VGA DRIVER. En el cas que la freqüència d'entrada disponible no sigui de 50 MHz cal obtenir tant la freqüència de 25 MHz com la de 50 MHz, ja que les temporitzacions requerides dels diferents blocs utilitzen aquestes bases de temps (20 i 40 ns respectivament). La solució es deixa en mans del dissenyador.

1.1.2. CAM DRIVER

Aquest bloc és l'encarregat de controlar i programar la càmera i d'adquirir les dades de la imatge que s'està capturant. Està format per tres sub-blocs, com es pot veure en la següent figura:

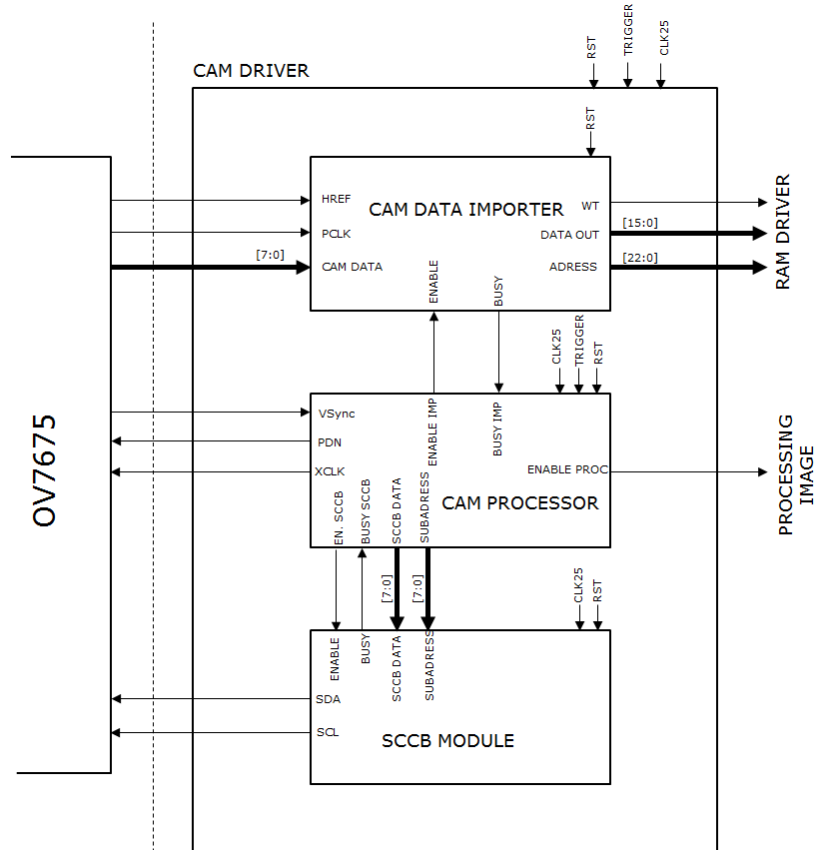


Figura 4. Diagrama de blocs de CAM DRIVER.

Els tres sub-blocs són el següents:

- **CAM PROCESSOR:** és el "cervell" del bloc principal i té la funció de controlar els altres dos sub-blocs, indicant-los-hi quan s'han d'activar.

Taula 3. Resum I/O de CAM PROCESSOR.

Senyal	Tipus	Descripció
CLK25	IN	Senyal del rellotge d'entrada de 25 MHz
TRIGGER	IN	Senyal disparador per capturar una imatge
RESET	IN	Senyal de reset
VSync	IN	Sincronització vertical
PDN	OUT	Power Down. Per desactivar la càmera. Actiu a nivell alt
XCLK	OUT	Senyal de rellotge de 25 MHz per a la càmera
ENABLE IMP.	OUT	Senyal per activar el bloc CAM DATA IMPORTER
BUSY IMP.	IN	Indicador de fi de tasca del bloc CAM DATA IMPORTER
ENABLE SCCB	OUT	Senyal per activar el bloc SCCB MODULE
BUSY SCCB	IN	Indicador de fi de tasca del bloc SCCB MODULE
SCCB DATA	OUT	Dades que es volen enviar a través del bus SCCB
SUBADDRESS	OUT	Adreça del registre que es vol modificar
ENABLE PROC	OUT	Senyal per activar el bloc de processament d'imatge

- **CAM DATA IMPORTER:** és l'encarregat d'adquirir les dades que envia la càmera i enviar-les cap al bloc RAM DRIVER per tal de guardar-les.

Taula 4. Resum I/O de CAM DATA IMPORTER.

Senyal	Tipus	Descripció
RESET	IN	Senyal de reset
PCLK	IN	Pixel Clock. Senyal de rellotge que envia la càmera per la sincronització.
HREF	IN	Sincronització horitzontal
CAM DATA	IN[7:0]	Informació que envia la càmera
ENABLE	IN	Senyal per activar-se
BUSY	OUT	Indicador de fi de tasca
WT	OUT	Senyal per indicar que es vol escriure dades a al memòria RAM
DATA OUT	OUT[15:0]	Dades que es volen guardar
ADRESS	OUT[22:0]	Adreça on es volen guardar les dades

- **SCCB MODULE:** manté comunicació amb la càmera a través del bus SCCB per tal de programar-la.

Taula 5. Resum I/O de SCCB MODULE.

Senyal	Tipus	Descripció
CLK25	IN	Senyal de rellotge de 25 MHz
RESET	IN	Senyal de reset
ENABLE	IN	Senyal per activar-se
BUSY	OUT	Indicador de fi de tasca
SCCB DATA	IN[7:0]	Dades a enviar a través del bus SCCB
SUBADDRESS	IN[7:0]	Adreça del registre que es vol modificar
SDA	OUT	Línia per la transmissió de bits del bus SCCB
SCL	OUT	Senyal de sincronisme del bus SCCB

S'han dissenyat aquests sub-blocs per tal de capturar una imatge procedent de la càmera OV7675 del fabricant OmniVision. Les característiques d'aquesta càmera estan disponibles en el capítol 2 de la memòria tècnica o en el *datasheet* del fabricant en els annexos.

1.1.3. RAM DRIVER

El bloc RAM DRIVER té la funció de comunicar-se amb la memòria RAM externa per tal de guardar-hi la imatge capturada i de proporcionar la informació als blocs de processament d'imatge i del port VGA.

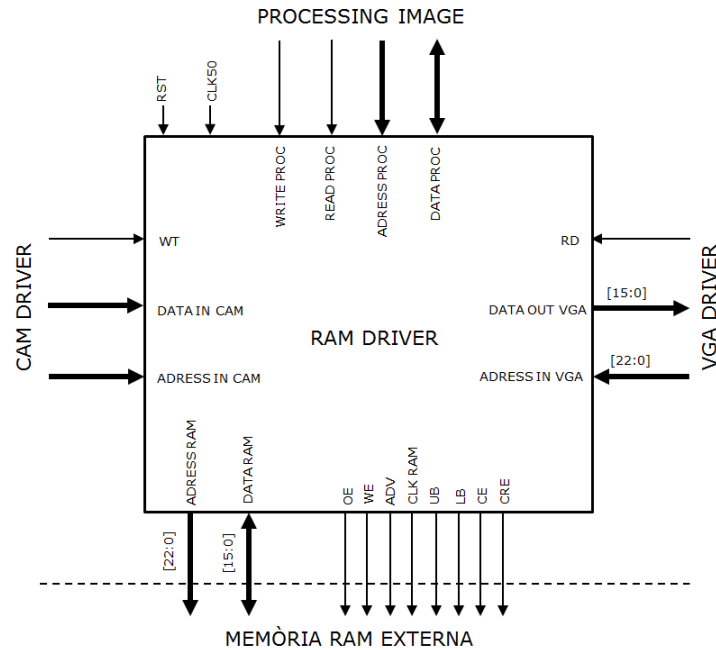


Figura 5. Bloc RAM DRIVER.

Els seus ports I/O són els següents:

Taula 6. Resum I/O de RAM DRIVER.

Senyal	Tipus	Descripció
CLK50	IN	Senyal de rellotge a 50 MHz
RST	IN	Senyal de reset
WT	IN	Senyal indicant que es vol escriure de manera asíncrona per CAM DRIVER
DATA IN CAM	IN[15:0]	Dades a guardar procedents de CAM DRIVER
ADRESS IN CAM	IN[22:0]	Adreça on guardar les dades procedent de CAM DRIVER
RD	IN	Senyal indicant que es vol llegir de manera síncrona
DATA OUT VGA	OUT[15:0]	Dades llegides en mode <i>burst</i> que s'envien a VGA DRIVER
ADRESS IN VGA	IN[22:0]	Adreça inicial per realitzar el <i>burst</i> .
WRTIE PROC.	IN	Senyal indicant que es vol escriure de manera asíncrona per PROCESSING IMAGE
READ	IN	Senyal indicant que es vol llegir de manera

PROC.		asíncrona per PROCESSING IMAGE
DATA PROC.	IN/OUT[15:0]	Bus de dades entre RAM DRIVER i PROCESSING IMAGE
ADRESS PROC.	IN[22:0]	Adreça on llegir o escriure les dades de PROCESSING IMAGE
OE	OUT	Output enable. S'activen els <i>buffers</i> de la sortida quan es posa en estat baix.
WE	OUT	Write enable. Determina si es vol llegir o escriure a la memòria. Quan es posa en estat alt s'hi escriu i quan es posa en estat baix s'hi llegeix
ADV	OUT	Address valid: indica que l'adreça present a l'entrada és vàlida quan es posa en estat baix
CLK RAM	OUT	Clock. S'utilitza quan es treballa en mode <i>burst</i> (síncron). Quan es treballa en mode asíncron cal deixar-lo en estat baix
UB/LB	OUT	Lower/Upper byte enable. Quan estan en estat baix, s'habiliten els dos bytes de lectura de l'adreça
CE	OUT	Chip enable. Quan es posa en estat baix s'activa el dispositiu i quan es posa en estat alt s'inhabilita i es posa en <i>standby</i>
CRE	OUT	Control register enable. Quan es posa en estat alt significa que es vol carregar dades en els registres de configuració RCR o BCR
DATA RAM	IN/OUT[15:0]	Bus de dades connectat amb la memòria RAM exterior
ADRESS RAM	OUT[22:0]	Senyal d'adreça on guardar o llegir dades connectat amb la memòria RAM exterior

S'han dissenyat aquest bloc per comunicar-se amb la memòria que incorpora la placa *Nexys2*, concretament amb la MT45W8MW16 del fabricant Micron. Les característiques d'aquesta memòria estan disponibles en el capítol 2 de la memòria tècnica o en el *datasheet* del fabricant en els annexos.

1.1.4. VGA DRIVER

Aquest bloc és l'encarregat de representar en una pantalla la imatge que s'ha capturat amb la càmera a través del port VGA disponible a la placa *Nexys2*.

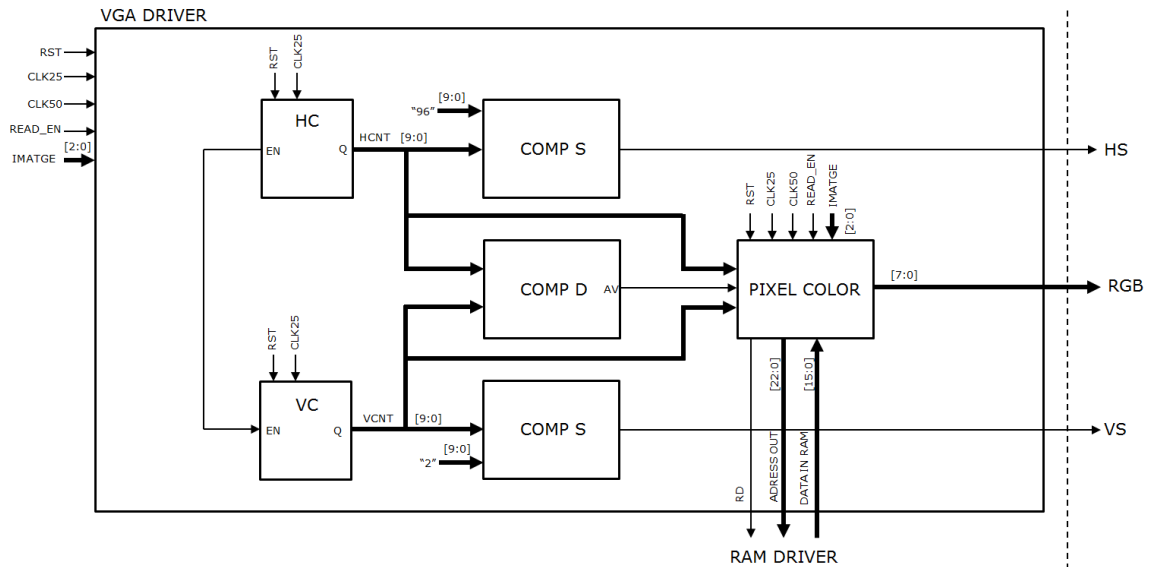


Figura 6. Bloc VGA DRIVER.

Aquest bloc està format per una sèrie de sub-blocs els quals generen els senyals necessaris per representar la imatge amb una resolució de 640x480 píxels a una freqüència de refresc de 60 Hz. Només es descriuen els ports I/O que connecten amb l'exterior, ja que la funció dels sub-blocs interns i com es connecten entre ells és molt específic per a aquesta sincronització. Es tracta de dos comptadors i tres comparadors per tal de generar els senyals de sincronisme correctament. També hi ha el bloc encarregat de definir el color de cada píxel, però el seu funcionament intern és bastant complex. Si es desitja aprofundir sobre el funcionament intern del bloc VGA DRIVER, es pot consultar el capítol 2 de la memòria tècnica.

Taula 7. Resum I/O de VGA DRIVER.

Senyal	Tipus	Descripció
CLK50	IN	Senyal de rellotge de 50 MHz
CLK25	IN	Senyal de rellotge de 25 MHz
RESET	IN	Senyal de reset
READ ENABLE	IN	Indica quan es pot representar una imatge
IMATGE	IN[2:0]	Indica quina imatge guardada a la memòria RAM s'ha de representar
RD	OUT	Senyal per indicar que es vol llegir de manera síncrona de la RAM.
ADRESS OUT	OUT[22:0]	Adreça inicial del <i>burst</i>
DATA RAM	IN[15:0]	Dades rebudes des de RAM DRIVER
HS	OUT	Sincronització horitzontal
VS	OUT	Sincronització vertical
RGB	OUT[7:0]	Informació del color de cada píxel a representar

Cal comentar que el port VGA que incorpora la placa Nexys2 té una resolució de 8 bits en relació al color que proporciona. En el cas que es pretengui implementar el disseny en una altra placa amb un port VGA de resolució diferent, caldrà tenir present que la sortida que proporciona aquest dispositiu és només de 8 bits, tres pels colors vermell i verd i dos pel color blau. Es deixa en mans del dissenyador la modificació del bloc per tal d'adoptar una altra configuració.

1.1.5. PROCESSING IMAGE

És el bloc encarregat del processament de la imatge amb l'opció d'aplicar fins a nou filtres diferents basats en una sèrie d'algorismes. Per triar cada filtre s'utilitzen els interruptors disponibles a la placa Nexys2.

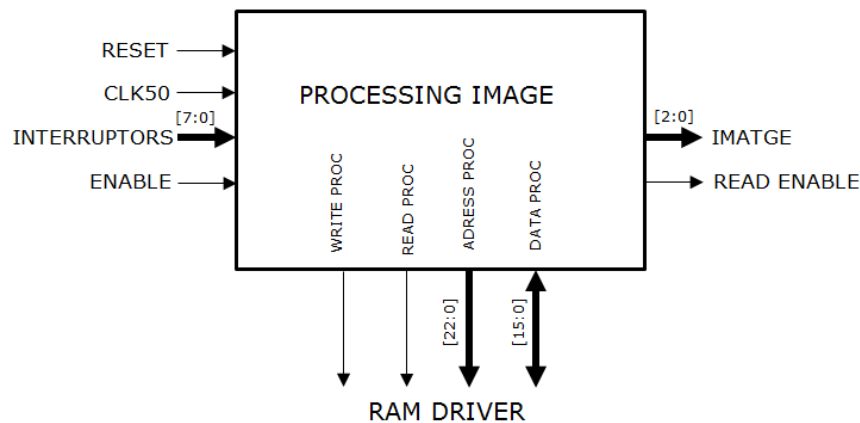


Figura 7. Bloc PROCESSING IMAGE.

Els seus ports I/O són els següents:

Taula 8. Resum I/O de PROCESSING IMAGE.

Senyal	Tipus	Descripció
CLK50	IN	Senyal de rellotge de 50 MHz
RESET	IN	Senyal de reset
INTERRUPTORS	IN[7:0]	Utilitzat per triar quin filtre s'ha d'aplicar.
ENABLE	IN	Indica que ja es pot processar la imatge capturada
READ ENABLE	OUT	Li indica al bloc VGA DRIVER que ja es pot representar la imatge processada
IMATGE	OUT[2:0]	Li indica al bloc VGA DRIVER quina imatge guardada en la memòria RAM externa s'ha de representar
WRITE PROC.	OUT	Senyal per escriure a la memòria RAM
READ PROC.	OUT	Senyal per llegir de la memòria RAM
DATA PROC.	IN/OUT[15:0]	Bus de dades entre RAM DRIVER i PROCESSING IMAGE
ADRESS PROC.	OUT[22:0]	Adreça de memòria on llegir o escriure

1.3. Programació i configuració del dispositiu

Com s'ha comentat, la descripció dels blocs s'ha fet utilitzant l'entorn ISE de Xilinx. Si es vol implementar el disseny en la placa Nexys2 cal que les propietats del disseny siguin les següents:

Property Name	Value
Top-Level Source Type	HDL
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-4
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

Figura 8. Propietats del disseny.

Els arxius VHDL dissenyats i que estan disponibles en el CD són els següents:

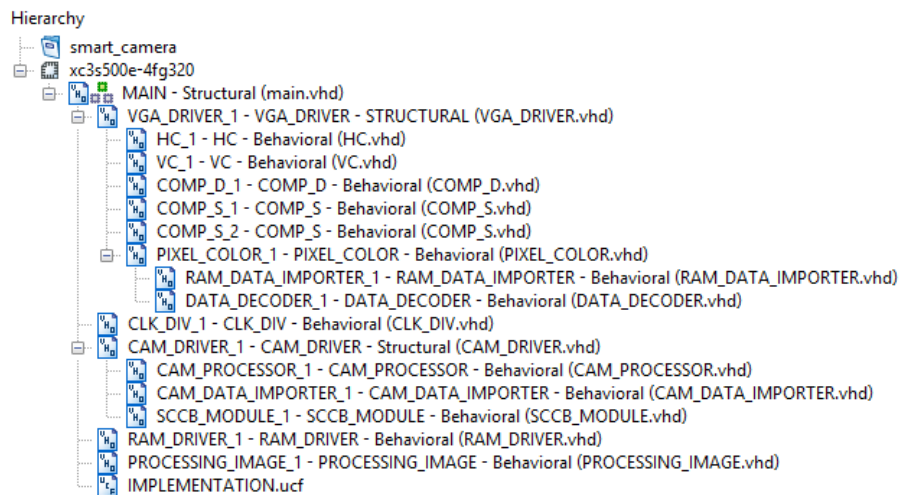


Figura 9. Fitxers VHDL.

Per tal de programar la FPGA, s'ha utilitzat el programa Adept disponible en el web de Digilent. Cal carregar-li l'arxiu *.bit* creat a partir del ISE després de sintetitzar i implementar el disseny. Es pot veure a continuació:

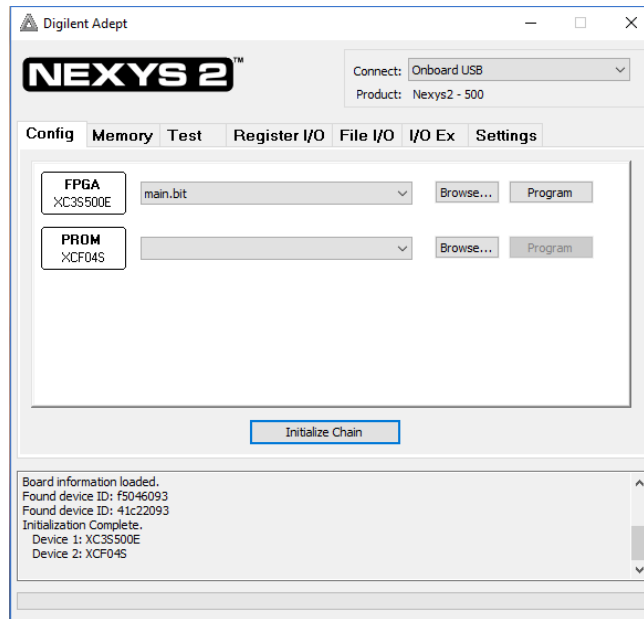


Figura 10. Entorn de programació Adept.

Tot i que el dispositiu està dissenyat per treballar en unes condicions determinades sense haver de modificar o dissenyar nous blocs, existeix la possibilitat de configurar la càmera i la memòria RAM d'una manera diferent a la proposada.

En relació a la configuració de la càmera, es poden modificar dos registres per tal de realitzar proves. Son els registres per a *test pattern* i *mirror and flip*. Cal que el dissenyador entri en el fitxer del bloc CAM PROCESSOR i modifiqui els senyals SCCB_DATA dels dos primers casos, tal i com es mostra en la figura inferior.

```

when SEND_DATA_SCCB =>
  ENABLE_SCCB<='1';
  ESTAT<=ESPERA_SCCB;
  case REGISTRE is
    when 1 => -- MIRROR AND FLIP (PER FER PROBES)
      SUBADDRESS<=X"1E";
      SCCB_DATA<=X"01"; --default value 0x01 // flip 0x10 // mirror 0x20 // mirror and flip 0x30
    when 2 => -- TEST PATTERN (PER FER PROBES)
      SUBADDRESS<=X"71";
      SCCB_DATA<=X"00";-- 0x00 per desactivar-ho // 0x80 per activar-ho
    when 3 => -- OUTPUT FORMAT
      SUBADDRESS<=X"12";
      SCCB_DATA<=X"04";
    when 4 => -- RGB565
      SUBADDRESS<=X"40";
      SCCB_DATA<=X"D0";
    when 5 => -- RGB444 ENABLE
      SUBADDRESS<=X"8C";
      SCCB_DATA<=X"02";
  end case;

```

Figura 11. Captura del codi en VHDL.

Si es vol afegir o treure registres, cal que el dissenyador tingui present que s'ha de modificar el rang del senyal REGISTRES, tot i que en el programa està indicat on cal canviar els valors. Cal dir que en el *datasheet* del

fabricant (disponible en els annexos) hi ha tot el llistat dels registres que es poden modificar per tal de configurar la càmera de manera diferent.

Si es vol configurar el funcionament de la memòria RAM cal tenir present què significa cada bit del registre BCR:

- **Bits 22-20, 17-16, 9 i 7-6:** Reservats. Han d'estar a '0'.
- **Bits 19-18:** Selector del registre a modificar. 00b per RCR i 10b per BCR.
- **Bit 15:** Selector del mode. '0' per mode *burst* i '1' per mode asíncron. Si se selecciona el mode *burst* també es poden escriure dades en mode asíncron.
- **Bits 14-11:** quan es treballa en mode *burst* cal esperar uns cicles de rellotge abans d'accedir a les dades i mitjançant els bits 13-11 es pot decidir quants cicles es vol. Amb el bit 14 es pot triar si el temps d'espera es vol fix ('1') o variable ('0'). Si es tria variable, les dades estaran disponibles després del nombre de cicles triat però s'haurà de controlar el senyal WAIT, ja que aquest indica quan és possible accedir a les dades per motius de refresc. En el cas que indiqui que les dades encara no estan disponibles, s'haurà d'esperar tants cicles com calguin. En canvi, si es tria un temps fix, el fabricant t'assegura que les dades estaran disponibles després del nombre de cicles escollit i no caldrà controlar el senyal WAIT.
- **Bit 10:** indica la polaritat del senyal WAIT. '0' per actiu a nivell baix i '1' per actiu a nivell alt.
- **Bit 8 :** indica quan les dades estan disponibles. Amb un '0' les dades estaran disponibles en el flanc de pujada del rellotge immediatament després que el senyal WAIT s'hagi posat en estat alt. Amb un '1', les dades estaran disponibles un cicle més tard després que el senyal WAIT s'hagi posat en estat alt.
- **Bit 5-4:** Configuren el bus de dades per a diferents entorns per tal de minimitzar el soroll generat. En aquesta aplicació es deixarà l'opció per defecte.
- **Bits 3-0:** mitjançant els bits 2-0 es tria la llargada del *burst*: 4, 8, 16 o 32 *words* o un *burst* continu. Amb el bit 3 s'escull el *wrap*, que indica com és la seqüència d'adreces del *burst*. Amb un '1' segueix una seqüència ordenada ascendent mentre que amb un '0' només recorre un nombre d'adreces finit indicat per la llargada del *burst*. Per exemple en un *burst* de llargada 8 començant per l'adreça 5 seguirà el següent ordre: 5-6-7-0-1-2-3-4.

El valor del registre BCR per defecte és el 0x9D1F, mentre que per a aquesta aplicació se li carrega el 0x5C1A, el qual ve definit per les necessitats que requereix el dispositiu dissenyat. Si es desitja canviar el valor cal accedir al fitxer del bloc RAM DRIVER i canviar el valor del senyal ADDRESS_RAM, tal i com es mostra en la figura següent:

```
when RESET =>
  ADDRESS_RAM<="00010000101110000011010"; --Canviar el valor en cas d'una configuracio diferent
  ESTAT<=CONFIGURE;
```

Figura 12. Captura del codi en VHDL.

Es deixa en mans del dissenyador la nova configuració i com afectarà això en el funcionament general del dispositiu.