

SISTEMA GRÀFIC INTERACTIU PER AL DISSENY SEMI CUSTOM DE CIRCUITS INTEGRATS

* J. A. RUBIO, ** E. TORRES
UNIVERSITAT POLITÈCNICA DE CATALUNYA

Des de l'introducció dels Circuits Integrats als anys 60, les indústries electròniques han experimentat un rapidíssim desenvolupament.

Tant els dissenyadors de les petites indústries com els de les grans companyies electròniques poden, des de fa uns anys, implementar els seus dissenys electrònics sobre circuits integrats gràcies a l'utilització de les metodologies Semi Custom de disseny microelectrònic.

En aquest article es presenta el Sistema Gràfic Interactiu per al Disseny Semi Custom de Circuits Integrats ("SCINGS") desenvolupat a la Universitat Politècnica de Catalunya. Aquest sistema dona al dissenyador la possibilitat de definir dissenys microelectrònics amb tecnologies Gate Array i Standar Cell, seguint un procés de descripció i de digitalització dels diferents nivells de metal·lització, verificació de les regles de disseny i generació dels fitxers HDL (Hardware Description Language) per a la simulació i CIF (Caltech Intermediate Form), per a la fabricació del circuit integrat.

Keywords: CAD; SEMICUSTOM; FULLCUSTOM; GATE ARRAY; STANDARD CELL.

1. INTRODUCCIO.

Des de l'introducció als anys 1960 dels circuits integrats, la indústria electrònica - ha estat visquent un procés d'evolució fortament accelerada. Des del primer disseny - electrònic amb circuit integrat, un senzill oscil·lador fet amb molt pocs transistors, - fins ara, en que els circuits integrats realitzen funcions de computadors amb una complexitat al voltant del milió de transistors, la capacitat dels circuits integrats s'ha estat duplicant pràcticament cada any (fig. 1).

Les tècniques de disseny de circuits integrats, reservades fins als voltants de l'any 1981 als dissenyadors de circuits dels grans fabricants, estan actualment arribant fins als dissenyadors electrònics amb la introducció de les metodologies de disseny SEMICUSTOM. Aquestes metodologies permeten reduir fortament tant el temps com el cost de desenvolupament, fent factible la seva utilització en aplicacions de baix volum. L'acceptació que aquestes metodologies han tingut és deguda en gran part a l'aparició d'una indústria d'eines d'ajut al disseny que ha fet

canviar l'entorn del dissenyador electrònic.

El procés de fabricació de circuits integrats, encara que ha estat evolucionant continuament permetent l'increment de la complexitat dels circuits, ha mantingut a grans línies la mateixa sistemàtica d'elaboració dels circuits durant tot aquest temps.

Per a la fabricació de circuits integrats es parteix de superfícies extremadament planes i planes de Silici. Seguint una seqüència de processos fotolitogràfics, de manera similar a les tècniques de fabricació de circuits impresos, s'aconsegueix modificar el comportament elèctric de la superfície fins a implementar sobre d'ella tots els components necessaris, així com la seva interconnexió.

El fet de que el procés fotolitogràfic s'apliqui a totes les parts funcionalment comuns dels dispositius del circuit (col·lectors, emissors, ...) fa que el nombre de passos necessaris per a fabricar un circuit es redueixi a l'ordre de 7 a 12. Cadasun d'aquests processos ve definit per una fotomàscara, el que fa

- J.A. Rubio Sola* y E. Torres Ferrer** - Universitat Politècnica de Catalunya - Escola Tècnica Superior d'Enginyers Industrials de Barcelona - *Departament d'Enginyeria Electrònica - **Departament de Mètodes Informàtics - Av. Diagonal, 647 - 08028 Barcelona
- Article rebut el setembre de 1986.

que el circuit quedi definit pel conjunt de màsques necessàries per a la seva fabricació.

El disseny d'aquestes màsques són l'objectiu de la fase de disseny i són, com mostra la figura 2, la interfície típica entre l'equip de disseny i l'equip de fabricació. A totes aquestes fases de disseny i fabricació les indústries han estat utilitzant tècniques CAD ("Disseny Assistit per Computador"), essent aquestes indústries promotores del procés d'expansió de les tècniques de disseny assistits per computador.

2. LES TÈCNiques SEMICUSTOM.

El temps i el cost de desenvolupament d'un circuit integrat són normalment elevats, el que ha fet que el disseny de C.I. hagi estat reservat a circuits amb un volum de sortida molt gran, suficient per a amortitzar les despeses de desenvolupament. Aquest és el cas dels circuits electrònics estàndards (memòries, microprocessadors...). El disseny basat en aquests circuits estàndards ha estat durant molt de temps la metodologia de disseny de sistemes electrònics amb baix volum.

Al disseny complet d'un circuit integrat (FULL CUSTOM) el disseny arriba fins a la definició de totes i cadascuna de les màsques de fabricació, diferents evidentment per a cada disseny concret, el que explica la durada i cost del procés de desenvolupament. Les tècniques SEMICUSTOM simplifiquen fortament el procés de disseny al estalviar-li al dissenyador el concretar el grau de descripció del disseny fins al nivell de màscara de fabricació. Així s'aconsegueix (fig. 3) oferint al dissenyador un conjunt de cèl·lules funcionals definides i dissenyades prèviament. D'aquesta manera el disseny finalitza, per part del dissenyador del circuit, quan coneix el tipus, nombre, localització i interconnexió de les cèl·lules necessàries per al seu disseny. Així redueix, per tant, el temps i el cost de disseny, permetent l'aproximació del disseny microelectrònic a una àmplia part dels dissenyadors electrònics.

De fet, dins del concepte de Semicustom hom pot trobar tot un espectre de diferents metodologies depenent de l'extensió del cata-

leg de cèl·lules oferides al dissenyador semicustom. L'extensió d'aquest catàleg pot anar des d'un de molt extens similar al que trobem al disseny amb circuits estàndards com memòries, microprocessadors, etc. (es el cas de les metodologies STANDARD CELL), fins a catàlegs realment reduïts a dues o tres funcions (LOGIC ARRAYS) o, com extrem límit, una única funció (GATE ARRAYS).

Al cas concret dels Lògic i Gate Arrays la disposició de les cèl·lules dins del circuit integrat està també predefinida per part del fabricant. El dissenyador només ha de descriure l'interconnexió entre aquestes cèl·lules. En aquestes tècniques el fabricant té els circuits integrats predifosos fins al nivell últim d'interconnexió o metal·lització, definit pel disseny, la qual cosa redueix encara més el temps i cost de disseny.

A la figura 4 es mostra la situació relativa de les metodologies Semicustom Gate Array i Standard Cell i les Fullcustom en quant a temps de disseny i eficàcia en l'utilització del silici. A la figura 5 es mostra la comparació d'aquestes tècniques des d'un punt de vista econòmic. A l'eix X es presenta el volum de fabricació de circuits i a l'eix Y el cost (avaluant disseny i fabricació) per circuit. Com es veu, i sobre tot al cas de Gate Arrays, el volum de producció necessari per a fer viable el disseny de circuits integrats es redueix fortament, fet que explica l'expansió de les metodologies semicustom.

3. TÈCNiques CAD.

La indústria de fabricació de circuits integrats ha utilitzat sempre eines de verificació dels dissenys basades en computador. Aquestes tècniques, de fet, han estat durant molt de temps reservades, al igual que el disseny en si mateix, als fabricants de circuits integrats de gran demanda.

Les tècniques semicustom que permeten la producció de circuits integrats en un ampli volum d'aplicacions han afavorit també l'expansió de les eines CAD microelectrònic i electrònic.

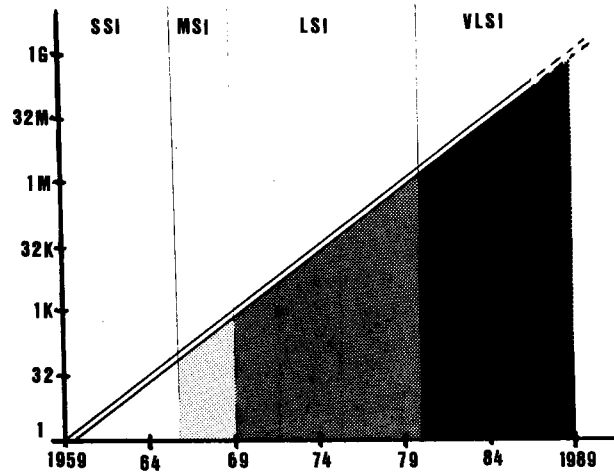


Figura nº 1: La llei de Moore mostra com la capacitat d'integració es duplica cada any, gràcies als avanços de l'electrònica.

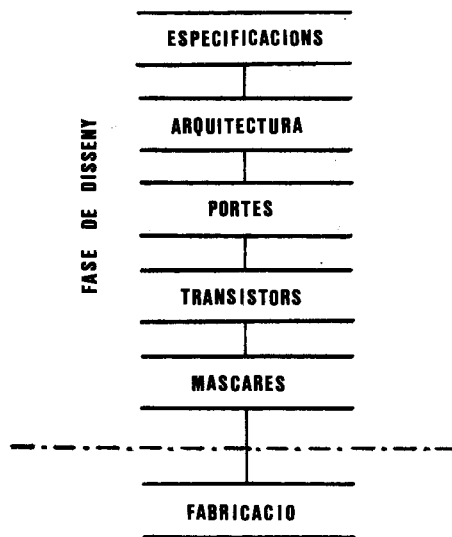


Figura 2: Esquema de procés d'elaboració d'un circuit integrat, des de la fase de disseny fins a la de fabricació.

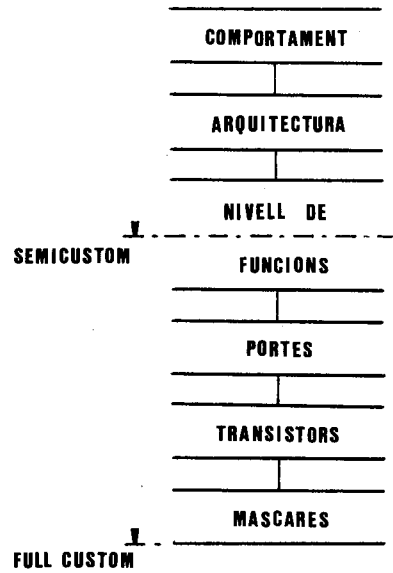


Figura 3: Mentre a les metodologies FULL CUSTOM el dissenyador ha d'arribar fins a nivell de màsqueres, a les SEMICUSTOM ho fa només fins a un nivell funcional.

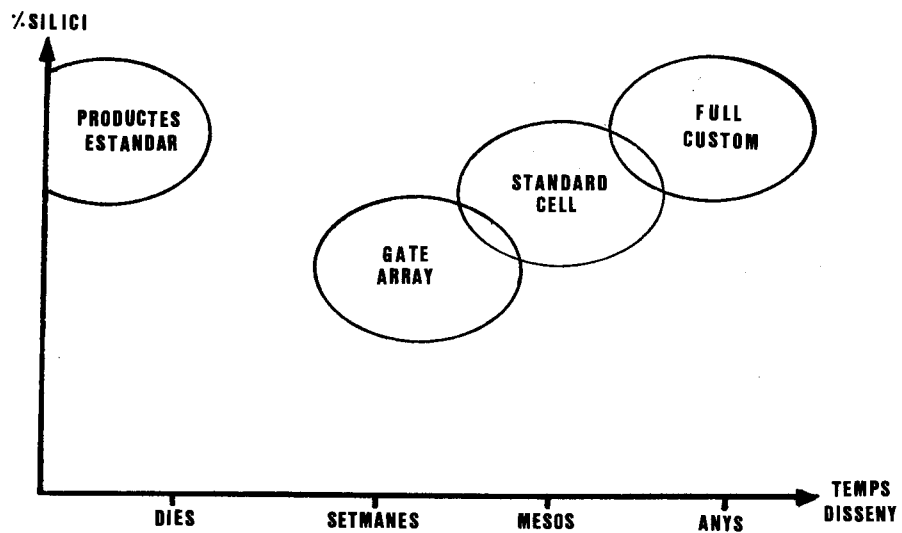


Figura 4: Comparació de l'aprofitament de silici i el temps de disseny de circuits integrats dissenyats segons les diferents metodologies.

Concretament, les eines CAD als dissenys Semicustom estàn orientades a la definició del tipus, localització i interconnexió de cèl.lules així com la verificació del disseny. Així, les eines CAD fonamentals del disseny semicustom són:

- 1.- Eines d'ajut a la localització ('placement') de les cèl.lules utilitzades. Normalment basats en editors gràfics orientats a la localització de les cèl.lules. Molts paquets CAD incorporen eines de -- localització total o parcialment automàtiques.
- 2.- Eines d'ajut a l'interconnexió (routing) de cèl.lules. Normalment basats en editors gràfics orientats al dibuix de pistes d'interconnexió (similar al CAD de circuit impressos). Moltes vegades l'interconnexió es realitza manualment, - encara que per a dissenys complexos (de l'ordre de 1000 ó més portes) són totalment necessaris mètodes automàtics.
- 3.- Verificació de les regles de disseny. - Les regles de disseny són el conjunt de paràmetres que el dibuix d'interconnexions ha de verificar per tal d'evitar situacions crítiques en la fabricació. Aquestes regles depenen de la tecnologia utilitzada.
- 4.- Verificació del comportament lògic, estàtic i/o dinàmic. Bassats en simuladors lògics, temporals o elèctrics. A partir de la descripció segons un llenguatge -- del Hardware del circuit simulen el seu comportament, ajudant a determinar si es correspon amb el desitjat o no. Algunes eines obtenen la descripció a partir de les interconnexions de cèl.lules i la - descripció d'aquestes, la qual cosa ajuda a verificar el procés de dibuix d'interconnexions.

En aquest treball es presenta la descripció del sistema "SCINGS" orientat al disseny Semicustom de circuits integrats, i que ha estat desenvolupat a l'Escola Tècnica Superior d'Enginyers Industrials de Barcelona (ETSIB-Universitat Politècnica de Catalunya). Aquesta eina, basada en un sistema gràfic, permet definir les capes d'interconnexió d'un disseny Semicustom. El sistema gràfic permet --

també descriure la localització de les diverses cèl.lules, la qual cosa dóna a l'eina molta generalitat de tecnologies i fabricants de Lògic i Gate Arrays.

El sistema realitza una verificació automàtica de les regles de disseny, donant com a arxius de sortida un de descripció estàndar del Hardware implementat (fitxer HDL o Hardware Description Language) i un altre de descripció estàndar de les màsques de fabricació (fitxer CIF o Caltech Intermediate Form). El primer dels fitxers permet l'enllaç amb simuladors per tal de verificar la correctesa del disseny i el segon per a enllaçar amb el fabricant de circuits integrats.

4. EL SISTEMA "SCINGS" DE DISSENY SEMI-CUSTOM DE CIRCUITS INTEGRATS.

El sistema "SCINGS" (Semi-Custom Interactive Graphic System" o Sistema Gràfic Interactiu per al Disseny Semi-Custom de Circuits Integrats) intenta ser un sistema de senzilla utilització pero que permeti realitzar allò que pot demanar un dissenyador de C.I. en la fase de digitalització de connexions, comprovació de les regles de disseny i modificació del -- connexionat en funció dels resultats d'aquestes comprovacions.

Si bé ha estat pensat com a un sistema independent, es contempla la possibilitat de incloure'l dins d'un entorn de disseny essent - un pas dins la cadena de disseny d'un C.I.

Amb el sistema SCINGS un dissenyador pot digitalitzar un circuit desenvolupat mitjançant - tècnica GATE ARRAY o STANDARD CELL, pot comprovar si aconpleix les regles de disseny establertes per a la tecnologia en que s'ha desenvolupat, modificar el connexionat fins que s'aconpleixi, i generar dos fitxers estàndar (a part d'un dibuix per plotter). --- Aquests fitxers permeten la fabricació de les màsques dels diferents nivells de metal.lització (fitxer "CIF") o realitzar la comprovació funcional del circuit (fitxer "HDL").

El sistema "SCINGS" ha estat desenvolupat en llenguatge FORTRAN-77 sobre un ordinador VAX 750 amb sistema operatiu VMS. Per a la sortida gràfica s'ha treballat sobre la llibreria estàndar GKS, implementada a la Universitat

Politécnica de Catalunya. Per a la sortida alfanumèrica s'ha treballat sobre la llibreria MPA, desenvolupada al Departament de Mètodes Informàtics de l'ETSEIB, d'aquesta mateixa Universitat.

4.1. DIVISIÓ MODULAR DEL SISTEMA.

Sempre pensant en la comoditat del dissenyador a l'hora de desenvolupar un circuit integrat, l'estructura del sistema SCINGS ha estat dividida en sis mòduls.

Malgrat tractar-se de sis mòduls independents, i com es veura als apartats següents, tot disseny d'un circuit integrat necessita de la participació de tots ells.

La comunicació entre els diferents mòduls es realitzarà mitjançant uns fitxers que permeten el pas de dades d'un a l'altre. Dins de cada disseny intervindran fins a set fitxers, generats pels diferents mòduls (figura 6).

Cada mòdul té una missió específica dins del disseny del circuit i mai no necessita de la utilització paral·lela d'un dels altres mòduls. Això permet al dissenyador aïllar totalment les dificultats que poden sorgir a cadascuna de les fases del disseny.

Dins de la part de disseny d'un circuit que pot realitzar el sistema SCINGS, poden considerar-se tres fases:

- 1.- definició de l'àmbit de disseny del circuit integrat.
- 2.- connexionat del circuit integrat.
- 3.- comunicació amb l'exterior del sistema.

A la primera fase, que pot ser comú a molts dissenys, el dissenyador ha d'especificar al sistema les característiques tecnològiques en les que es realitzarà el circuit. En aquesta fase el dissenyador disposa de dos mòduls de disseny: "DEFRD" i "PLABASE".

A la segona fase, totalment independent per a cada disseny, el dissenyador realitzarà el connexionat del circuit i comprovarà la seva correctesa, tot amb ajuda del propi sistema SCINGS. En aquesta fase el dissenyador dispo-

sa d'un mòdul de disseny: "SCINGS".

A la tercera i darrera fase, també independent per a cada disseny, el dissenyador podrà generar una sèrie de fitxers per a la verificació funcional del disseny i per a la posterior fabricació del circuit, tasques que es realitzaran fora del sistema SCINGS. En aquesta fase el dissenyador disposa de tres mòduls de disseny: "PLOT", "HDL", "CIF".

4.1.1 1A. FASE: DEFINICIÓ DE L'ÀMBIT DE DISSENY DEL CIRCUIT INTEGRAT.

La primera fase en la utilització del sistema SCINGS al disseny d'un circuit integrat és de definir l'àmbit tecnològic en el que es desenvoluparà.

L'àmbit tecnològic ve definit per dos importants elements: el pla de base o Chip, i la tecnologia de fabricació que s'utilitzaran.

El mòdul "DEFRD" permet definir els paràmetres o regles de disseny de la tecnologia de fabricació de circuits integrats sobre la que es pensa desenvolupar el disseny.

La verificació de que en cap connexió es violi la cap d'aquestes regles es realitza automàticament en el mòdul de connexionat.

El mòdul "PALABASE" permet definir el pla de base o Chip original que proporciona el fabricant i sobre el que es realitzarà el connexionat. La definició consisteix en el dibuix a escala dels elements que integren el circuit.

Sobre tot, en el cas del disseny amb Gate Arrays, aquest mòdul és d'una gran importància doncs el connexionat es podrà realitzar sobre el dibuix de les cel·les bàsiques del chip, en el que es pot representar el perfil de les cel·les, els punts de connexió i qualsevol element que el dissenyador consideri útil per a fer més comode i precís el connexionat.

4.1.2. 2A. FASE: CONNEXIONAT DEL CIRCUIT INTEGRAT.

La segona fase en la utilització del sistema SCINGS constitueix el nucli del disseny d'un circuit integrat.

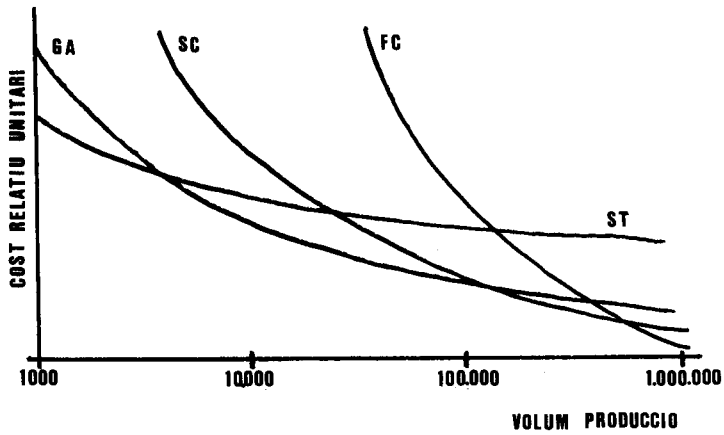


Figura 5: Comparació del cost relatiu unitari en funció del volum de producció de circuits integrats dissenyats segons les diferents metodologies.

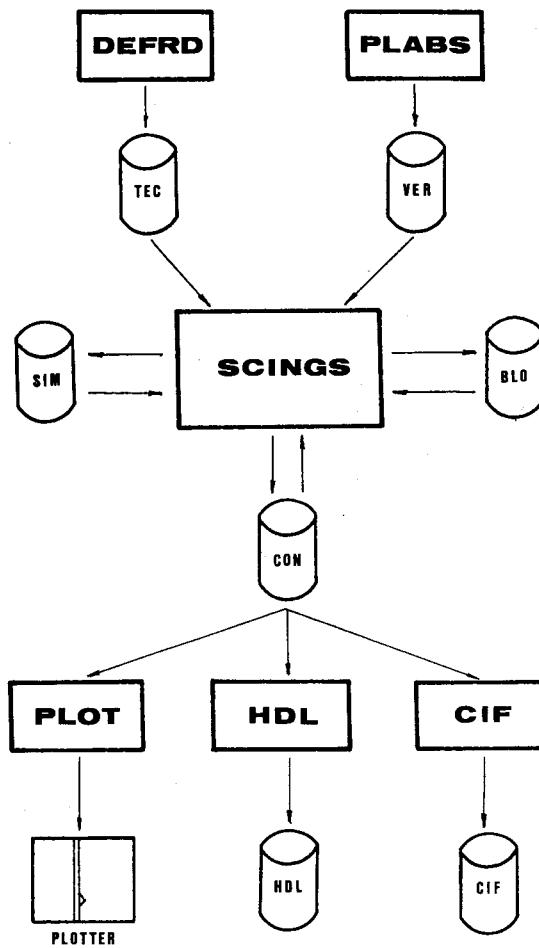


Figura 6: Estructura modular del sistema "SCINGS"

El mòdul "SCINGS" permet la realització del connexionat del circuit. Paral·lèlament al connexionat, el sistema realitza la comprovació de les regles de disseny definides al mòdul "DEFRD".

El mòdul "SCINGS" proporciona una serie d'eines gràfiques com malles de referencia, textos, divisió del circuit en blocs, ZOOMS, etc. que faciliten la feina del dissenyador.

Els elements de que disposa el dissenyador - per a donar forma al circuit són pistes de connexió, textos, símbols i perfeccions. Tot element de connexió es pot situar a un dels cinc nivells de metalització dels que ofereix el sistema.

4.1.3. 3A. FASE: COMUNICACIÓ AMB L'EXTERIOR DEL SISTEMA.

A la tercera i darrera fase del disseny el sistema permet generar una serie de fitxers que faràn possible la verificació funcional del disseny i la seva posterior fabricació real.

El mòdul "PLOT" permet generar un dibuix per plotter del connexionat. El dibuix sobre paper pot ajudar al propi dissenyador en la detecció d'errors de disseny i també pot ser una ajuda per al fabricant de les màsques fotolitogràfiques del circuit integrat.

El mòdul "HDL" genera la descripció estructural del que hi ha al circuit, tots els elements bàsics que el defineixen i les interconnexions entre ells. El fitxer HDL (hardware Description Language) que s'obté té format estandaritzat i, a més de ser útil per al fabricant, permet al dissenyador realitzar comprovacions completes de la correctesa funcional del circuit que ha realitzat, mitjançant altres programes de test existents al mercat.

Així, mentre al mòdul "SCINGS" es realitza la comprovació topològica de la correctesa de les connexions, el fitxer generat pel mòdul "HDL" fa possible la comprovació funcional del circuit.

El mòdul "CIF" genera un fitxer amb la descripció geomètrica estandaritzada de totes

les pistes del circuit. El fabricant de les diferents màsques partira d'aquest fitxer per a aconseguir la fabricació final del circuit integrat sobre silici.

4.2. ELEMENTS GRÀFICS.

La inclusió d'elements gràfics al sistema SCINGS s'ha realitzat en funció de les normes estàndar existents per a la generació -- del fitxer CIF (Caltech Intermediate Form) -- que s'obté com a resultat final del disseny d'un circuit integrat.

El fitxer CIF és el principal document que el dissenyador ha d'entregar al fabricant de circuits integrats. Les dades geomètriques -- contingudes en aquest fitxer son utilitzades directament per a generar les màsques fotogràfiques dels diferents nivells del circuit.

Per a assegurar la validesa del disseny i la transportabilitat dels fitxers CIF generats a partir d'ell, tots els elements gràfics de disseny que s'han incorporat al sistema --- SCINGS contempnen les regles de l'estàndar -- que regeix el contingut d'aquests fitxers.

Els elements gràfics de que disposa el sistema son:

1. BOXES
2. WIRES
3. NIVELLS DE METAL.LITZACIÓ
4. SÍMBOLS
5. TEXTES
6. PERFORACIONS

Els quatre primers corresponen a elements -- estàndars, mentre el cinqué es un element -- gràfic només utilitzat durant la fase de disseny i el sisé és, com es veura, una combinació dels quatre primers.

Als següents apartats es descriuen aquests elements, tant des del punt de vista geomètric com des del punt de vista de disseny -- electrònic.

4.2.1. BOXES.

Des del punt de vista electrònic, una "BOX" és una connexió rectangular sobre el pla. A

més, i com es veu al següent apartat, la "BOX" és l'element bàsic del que es compon una "WIRE" o connexió en general.

Des del punt de vista geomètric, una "BOX" ve definida per la seva llargada, per la seva amplada, pel seu centre i per la seva orientació al pla. La llargada és la dimensió paral·lela a la direcció i l'amplada és la dimensió perpendicular a ella.

4.2.2. WIRES.

Des del punt de vista electrònic, una "WIRE" és una pista o connexió definida per un seguit de punts al pla.

Des del punt de vista geomètric, i per definició, una "WIRE" és una pista d'amplada uniforme al llarg de la poligonal definida per una sèrie de punts al pla. L'acompliment d'aquesta definició teòrica suposa la necessitat de que el perímetre d'una "WIRE" sigui en part poligonal i en part format per arcs de circumferència.

La utilització d'arcs de cercles suposa una certa complexitat en la seva generació i emmagatzemament que va fer en la definició estàndar dels fitxers CIF les "WIRES" no apareixin exactament com diu la seva definició teòrica sino com una aproximació mitjançant "BOXES" rectangulars.

A cadascun dels trams rectes que constitueixen una "WIRE" l'hi correspon una "BOX", que ve definida en funció de les coordenades del tram a que pertany i al següent tram de la "WIRE". L'amplada de cada "BOX" es igual a l'amplada de la "WIRE" i la seva llargada s'ha d'optimitzar per a evitar al màxim solapaments i zones no omplertes entre diferents "BOXES".

Al sistema SCINGS s'ha implementat l'algorisme de descomposició de "WIRES" en "BOXES" de Carver MEAD ("INTRODUCTION TO VLSI SYSTEMS", 1980).

4.2.3. NIVELLS DE METAL·LITZACIÓ.

Tot element gràfic d'un circuit integrat ha d'estar situat a un nivell determinat dins

del circuit. Al cas del disseny semi-custom es parlarà aquí de nivells de metal·lització. Cada nivell de metal·lització correspon a una màscara de fabricació del circuit.

Dins el sistema de disseny SCINGS, a cada nivell de metal·lització l'hi correspon un color. Tots els elements ("BOXES", "WIRES" i TEXTES) que pertanyin a aquell nivell es dibuixaran amb aquest color.

4.2.4. SÍMBOLS.

Els símbols són uns elements orientats a l'emmagatzemament de conjunts d'altres elements gràfics que es repeteixen més d'una vegada a un mateix circuit integrat.

La possibilitat de disposar de símbols, inclús per a més d'un disseny a l'hora, i la facilitat de situar-los qualsevol posició sobre el pla fa d'ells uns elements de gran interès per al disseny de circuits integrats.

A més de la facilitat d'utilització i l'estalvi de temps de disseny, gracies als símbols es possible emmagatzemar grans quantitats d'informació gràfica en molt poca memòria doncs la descripció dels elements que componen un símbol només es guarda una sola vegada, independentment del nombre de vegades que s'utilitzi al circuit.

4.2.5. TEXTES.

L'únic tipus d'element gràfic inclòs al sistema SCINGS i que no correspon a cap dels definits per als fitxers CIF són els textos. Això no significa, en absolut, que els fitxers CIF generats per aquest sistema no siguin estàndars.

Els textos s'han inclòs com a elements gràfics que únicament s'utilitzen durant el desenvolupament del disseny del circuit integrat i no apareixen mai al fitxer CIF que es genera.

El dissenyador pot incloure textos a qualsevol punt del circuit sense que la seva presència perturbí la geometria del connexionat.

4.2.6. PERFORACIONS.

El darrer element gràfic al sistema SCINGS es el de les perforacions. Si vé aquest tipus d'element no apareix a la definició dels fitxers CIF, s'ha considerat molt útil la seva inclusió.

Per perforació s'enten la connexió de diferents elements gràfics ("BOXES", "WIRES", i "SIMBOLS") situats a diferents nivells de metal.lització. Si amb les "WIRES" s'interconnecten elements d'un mateix nivell, amb les perforacions s'aconsegueix fer el mateix però entre diferents nivells.

Les perforacions no escapen, com podria semblar a primera vista, de l'àmbit abarcat --- pels fitxers CIF. A nivell d'aquests fitxers apareix un nou nivell "fictici" de metal.lització que conté les perforacions. De fet, a l'hora de fabricar físicament el circuit integrat, les perforacions estaran dibuixades en una màscara de difusió com les vistes per als nivells de metal.lització.

Des del punt de vista electrònic, i en concret de verificació de regles de disseny, -- una perforació pot generar, a més del rectangle propi de la màscara de perforacions, altres rectangles o "BOXES", generats de forma automàtica pel sistema SCINGS per a garantir la verificació d'una mínima amplada de les pistes connectades al voltant del punt de -- perforació.

4.3. COMPROVACIÓ DE LES REGLES DE DISSENY.

Les regles de disseny que es verifiquen, i que previament el dissenyador ha d'haver definit mitjançant el mòdul "DEFRD", són:

1. Circuits entre pistes del mateix nivell de metal.lització.
2. Gruix mínim de les wires o pistes de connexió.
3. Amplada mínima de les perforacions.
4. Marge lateral mínim a les perforacions.
5. Separació mínima entre pistes del mateix nivell.

6. Distància mínima pista-perforació.

La verificació es realitza de forma automàtica i simultaneament a la realització del connexionat. En el cas de que el dissenyador -- realitzi alguna operació que violi alguna de les regles de disseny, el sistema indica el fet esdevingut i, de forma gràfica, el lloc a on s'ha produït.

5. AMBIT D'APLICACIÓ DEL SISTEMA "SCINGS" - POSSIBILITAT D'AMPLIACIÓ.

L'àmbit d'aplicació del sistema SCINGS es limita al disseny Semicustom de circuits integrats (metodologies Gate-Array i Standard-Cell).

Les línies bàsiques de possibles ampliacions del sistema són dues. La primera en quant a integració d'aquest paquet de programes dins d'un sistema de disseny complet d'un C.I., i la segona en quant a l'extensió del paquet a l'ajuda al disseny FULL-CUSTOM.

5.1. INTEGRACIÓ TOTAL DINS DEL PROCÉS DE DISSENY.

Com s'ha vist fins ara, el sistema SCINGS -- contempla l'ajuda a una part del disseny d'un circuit integrat.

En el seu estat actual, el sistema SCINGS garanteix la continuïtat posterior del disseny però no l'anterior.

Garanteix la posterioritat posterior de' disseny donat que a partir de qualsevol circuit dibuixat amb el sistema es genera el fitxer CIF que permet la fabricació de les màsques.

No garanteix, però, la continuïtat anterior del disseny donat que no hi ha cap programa que, a partir de la descripció electrònica d'un circuit generi la informació necessària per a incorporar-lo a l'estructura de dades del sistema "SCINGS".

Per a que la connexió amb el procés de disseny fos completa caldria desenvolupar o adaptar un software capaç de realitzar el "routing" i el "placement" d'un circuit i que generés dades intel·ligibles per al sistema

"SCINGS".

5.2. DISSENY FULL CUSTOM.

Els avantatges que suposa l'utilització de metodologies SEMICUSTOM per als dissenys no molt complexes de circuits integrats han portat a que el sistema de SCINGS hagi estat desenvolupat orientat al disseny SEMI CUSTOM.

Dins de l'apartat de possibles ampliacions entra l'adaptació del paquet al disseny FULL CUSTOM.

Les característiques geomètriques d'ambdós sistemes de disseny són idèntiques (pistes, símbols,...). Les variacions substancials, en que consistiria l'ampliació girarien al voltant de la relació entre nivells de treball de diferent naturalesa, a diferència de l'actual a on sempre es treballa amb metal·litzacions.

6. IMPLEMENTACIÓ REAL DEL SISTEMA - ESTRUCTURA DE DADES.

Als apartats anteriors s'ha donat una visió del sistema desenvolupat des del punt de -- vista de l'usuari, del dissenyador de circuits integrats.

En aquest capítol es fa un anàlisi del sistema des del punt de vista informàtic. Es fa una descripció de les eines de programació utilitzades en la implementació real -- del sistema que han fet possible incloure -- de forma real en els programes les diferents característiques desitjables per a un sistema CAD com el descrit.

L'estructura de dades que suporta l'emmagatzemament de la informació que es genera en el disseny d'un circuit integrat està basada en set llistes (implementades en un vector) i una taula (implementada en una serie de vectors).

De les set llistes, sis son llistes enllaçades. Per a optimitzar l'estalvi de memòria, totes set estan implementades sobre un únic vector anomenat "DATA".

A les sis llistes enllaçades s'emmagatzema la informació dels elements bàsics que componen un disseny: pistes, canvis de nivell de metal·lització, crides a símbols, textos i perforacions. Hi ha també una llista de -- posicions buides. Tres d'aquestes llistes (les de pistes, textos i canvis de nivell) estan enllaçades entre sí.

A la setena llista, no enllaçada, s'emmagatzemen les pistes, textos i punts de connexió dels diferents símbols del sistema.

A la taula s'emmagatzema la informació general dels símbols definits en el disseny.

6.1. LES SIS LLISTES ENLLAÇADES.

Cadascuna de les sis llistes enllaçades conté la informació dels respectius elements -- que componen un disseny:

Llista n.1: Llista de posicions buides.

Llista n.2: Llista de pistes o connexions ("WIRES").

Llista n.3: Llista de canvis de nivell ("LAYRES").

Llista n.4: Llista de crides a símbol ("CALL SYMBOL").

Llista n.5: Llista de textos.

Llista n.6: Llista de perforacions.

Les sis llistes estan implementades sobre el vector "DATA" de tipus INTEGER. La disposició de totes les llistes en un únic vector respon a la idea de estalviar al màxim l'ocupació de memòria.

L'ocupació total de les sis llistes enllaçades es guarda a la variable "NDATA"; en concret, les llistes ocupen les "NDATA" primeres components del vector "DATA".

Una de les llistes, la de posicions buides, enllaça les components del vector que queden lliures com a conseqüència de l'eliminació d'algun dels elements de les altres llistes. S'ha implementat un sistema de compactació de memòria o "Garbage Collection" que garanteix l'estalvi màxim de memòria.

Per la seva banda, les llistes de connexions i textos estan enllaçades amb la llista de

canvis de nivell de la següent manera:

1. Tot següent de la llista de textos pot ser un text o un canvi de nivell.
2. Tot següent de la llista de pistes pot ser una pista o un canvi de nivell.
3. Tot canvi de nivell té un apuntador al següent text i un apuntador a la següent pista.

Degut a aquest enllaç, el recorregut de la llista de pistes o de textos es fa simultani a un recorregut de la llista de canvis de nivell. Així permet conèixer en cada moment a quin nivell pertany la pista o text que s'està tractant.

Als següents apartats s'analitza el contingut de cadascuna de les sis llistes enllaçades.

6.1.1. LA LLISTA DE POSICIONS BUIDES.- GARBAGE COLLECTION.

La llista de posicions buides enllaça els diferents blocs de memòria no utilitzats per cap de les altres cinc llistes.

Cada element de la llista de posicions buides té 4 camps: "TIPUS", "SEGÜENT" i "LONGITUD".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de (3+"LONGITUD").

El sistema disposa d'una rutina de "GARBAGE COLLECTION" o compactació de memòria que reagrupa totes les llistes en un bloc compacte de memòria, a base de moure les components plenes i ocupar les buides que assenyalen la llista que s'està analitzant.

6.1.2. LA LLISTA DE PISTES O CONNEXIONS ("WIRES").

La llista de pistes, connexions o "WIRES" emmagatzema les dades referents a les pistes del circuit integrat que s'està dissenyant.

Cada element de la llista de connexions té 9 camps: "TIPUS", "SEGÜENT", "LONGITUD", "RECTANGLE ENGLOBANT", "GRUIX" i "COORDENADES DELS VERTEXS".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de (8+"LONGITUD").

A més d'estar enllaçada entre ells, els elements de la llista de pistes estan enllaçats amb la llista de canvis de nivell. Així, el "següent" element apuntat pot pertanyer a la llista de pistes o a la llista de canvis de nivell. Per a distingir un cas de l'altre no cal sino mirar el primer camp de l'element. Si conté un 2 es tracta d'una pista i si conté un 4 un canvi de nivell.

6.1.3. LA LLISTA DE CANVIS DE NIVELL ("LAYERS").

La llista de canvis de nivell o "LAYER SPECIFICATION" emmagatzema les dades referents als canvis de nivell de metal·lització.

L'existència d'un canvi de nivell indica que des d'aquell moment, i fins que no es canvi a un altre, tota connexió es realitza en ell.

Cada element de la llista de canvis de nivell té 4 camps: "TIPUS", "SEGÜENT PISTA", "SEGÜENT TEXTE" i "NIVELL".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de 4.

Com es veu, els elements de la llista de canvis de nivell estan enllaçats entre ells mateixos i també amb els elements de la llista de pistes i els de la llista de textos.

6.1.4. LA LLISTA DE CRIDES A SÍMBOL ("CALL SYMBOL").

La llista de crides a símbol o ("CALL SYMBOL") emmagatzema les dades referents a la utilització de símbols del sistema, no pas dels propis símbols.

El fet d'emmagatzemar únicament un apuntador a la llista de símbols fa que la informació de cadascun d'ells no es repeteixi cada cop que s'utilitza.

Cada element de la llista de canvis de nivell té 3 camps: "TIPUS", "SEGÜENT", "SYMBOL" i

"RECTANGLE ENGLOBANT".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de 7.

6.1.5. LA LLISTA DE TEXTES.

La llista de textos emmagatzema les dades referents als textos que el dissenyador dibuixa sobre el circuit com a ajuda al seu disseny.

Cada element de la llista de connexions té 8 camps: "TIPUS", "SEGÜENT", "LONGITUT", "POSICIÓ", "DIMENSIONS" i "CARÀCTERS".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de (7+"LONGITUT").

A més d'estar enllaçada entre ells, els elements de la llista de textos estan enllaçats amb la llista de canvis de nivell. Així, el "següent" element apuntat pot pertanyer a la llista de textos o a la llista de canvis de nivell. Per a distingir un cas de l'altre no cal sino mirar el primer camp de l'element. Si conté un 5 es tracta d'un text i si conté un 4 conté un canvi de nivell.

4.6.1. LA LLISTA DE PERFORACIONS.

La llista de perforacions emmagatzema les dades les perforacions i a les pistes que queden connectades a conseqüència seva.

Cada element de la llista de canvis de nivell té 8 camps: "TIPUS", "SEGÜENT", "POSICIÓ", "DIMENSIÓ", "NÚMERO PISTES PERFORADES", "AMPLIACIONS PISTES PERFORADES".

Per la seva banda, cada camp de tipus "ampliació del gruix de pista" consta de 4 subcamps: "NIVELL DE LA PISTA", "PISTA", "PUNT DE LA PISTA", "DIMENSIÓ AMPLIACIÓ".

L'ocupació de memòria d'un element d'aquesta llista és, mesurada en components del vector, de (7+5* "número pistes").

6.2. LA TAULA.

La taula conté la informació relativa als símbols definits en el disseny. Els noms dels vectors sobre els que està implementada i el seu contingut són els següents:

SIMBNOM: Nom del símbol

SIMBER : número de vegades que s'utilitza el símbol al circuit.

SIMBPOS: Posició del símbol dins la llista n.7 (llista de símbols).

SIMBLONG: Llargada que ocupa el símbol a la llista de símbols.

SIMBNCON: Nombre de punts de connexió del símbol.

cadascun dels símbols que hi han definits al sistema emmagatzema la seva informació general en aquesta llista. Es perfectament possible que hi hagi un símbol en aquesta taula - que no estigui utilitzat al circuit; en aquest cas, la corresponent component del vector SIMBER valdrà zero.

El camp "símbol" dels elements de la llista de crides a símbols conté el número de símbol, que correspon a la posició que aquest ocupa a la taula.

Les components del vector SIMBPOS assenyalen la posició del vector "DATA" a on hi ha la descripció geomètrica (pistes, textos i punts de connexió) del símbol. Aquesta descripció constitueix un dels elements de la setena llista, no enllaçada, del sistema.

6.3. LA LLISTA NO ENLLAÇADA.

La setena llista de l'estructura de dades del sistema SCINGS és, com ja s'ha dit, una llista no enllaçada. Con les altres sis llistes, està implementada sobre el vector "DATA". En concret, ocupa les "MDATA" darreres components del vector "DATA".

La posició dels elements d'aquesta llista no ve apuntada des dels altres elements, sino des del vector "SIMBPOS" de la Taula descrita a l'apartat anterior.

Cada element de la llista conté la descripció d'un símbol definit al sistema. Donat que un símbol està format per un conjunt de pistes,

textes i canvis de nivell, i per a no trencar amb l'estructura general de les dades, a la descripció d'un símbol hi hauràn tres llistes enllaçades anàlogues a les llistes de de connexions, textos i canvis de nivell vistes abans.

El quart tipus d'element que conté un símbol es el dels punts de connexió. S'entén per punt de connexió un punt, sobre una de les pistes del símbol, en el que es pot fer arribar pistes i realitzar una perforació per a posar-los en contacte. Els punts de connexió s'emmagatzemen al final de les tres llistes de la descripció de símbol.

Cada element d'aquesta llista està constituït per 9 parts: "TIPUS canvi de nivell -- (sempre val 3)", "NIVELL DE METAL.LITZACIÓ INICIAL", "RECTANGLE ENGLOBANT DEL SÍMBOL", les llistes de pistes, textos i canvis de nivell, "NOMBRE DE PUNTS DE CONNEXIÓ", i "COORDENADES DELS PUNTS DE CONNEXIÓ".

7. EXEMPLE D'APLICACIÓ A UN CIRCUIT CONCRET.

Com a exemple d'aplicació del sistema SCINGS es descriura el disseny d'un circuit que realitza part d'un protocol estàndar de comunicació.

Aquest protocol és el "High Level Dada Link Control" (HDLC), utilitzat en sistemes de comunicació per al control de les dades a nivell 2 que s'envien entre diferents components d'una xarxa. El circuit que es vol dissenyar implementa les funcions de detecció de Flag, Idle i Abort i l'eliminació de zero insertat coresponeents a la part de recepció de l'enllaç.

El circuit treballa amb quatre senyals externes, una d'entrada i tres de sortida:

INPUT 1: SIN (Serial Input Data, amb tècnica de "zero-insertion")

OUTPUT 1: SOUT (Serial Output Data, sense inserció de zero, codificat en 2 bits per a indicar si la dada es vàlida o no)

OUTPUT 2: FLAG (Flag Detect, detecció del flag 01111110)

OUTPUT 3: I/A (Idle/Abort, detecció de 7 o més "1").

L'autòmata que defineix els estats en els que ha de funcionar el circuit queda representat per dotze estats, tal com es representa a la figura 7. La taula de veritat del sistema combinacional de l'estructura canònica es la indicada a la taula n.º 1

Després d'aplicar els diagrames de Karnaugh per a la determinació de les expressions que, en funció dels senyals d'entrada ens donen la sortida i l'estat futur, s'arriba a les expressions:

$$\begin{aligned}
 \text{FLAG} &= Q_3 \bar{Q}_1 \bar{Q}_0 \\
 \text{I/A} &= Q_3 \bar{Q}_1 \bar{Q}_0 \\
 D &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_1 \bar{Q}_0 \\
 D &= Q_2 + Q_1 \bar{Q}_3 + Q_0 \bar{Q}_3 \\
 Q &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + D (Q_0 \bar{Q}_3 + Q_3 \bar{Q}_1) \\
 Q &= D (\bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_2 \bar{Q}_1 + Q_2 \bar{Q}_1 \bar{Q}_0) \\
 Q &= D (\bar{Q}_3 \bar{Q}_1 \bar{Q}_0 + Q_1 \bar{Q}_0 + Q_3 \bar{Q}_1) \\
 Q &= Q_1 \bar{Q}_0 + \bar{Q}_0 \bar{Q}_3 \bar{Q}_2 + Q_3 \bar{Q}_0 + D (\bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + \\
 &\quad + \bar{Q}_0 \bar{Q}_3 \bar{Q}_2 + \bar{Q}_3 \bar{Q}_1 \bar{Q}_0) + D \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0
 \end{aligned}$$

La sortida ve donada pels dos senyals FLAG i I/A. La codificació dels estats s'expressa mitjançant Q, Q, Q i Q. El significat de la codificació DI-DO és el següent:

DI	I	DO	
0	1	0	Dada '0' vàlida.
0	1	1	Dada no vàlida.
1	1	0	Dada '1' vàlida.

Donada la reduïda complexitat del circuit -- que es proposa, la implementació del circuit es realitza utilitzant la metodologia Gate Array, descrita als primers apartats.

S'ha escollit com a cèl.lula base una porta AND amb capacitat de negar entrades i sortida que, donada la seva capacitat de funció universal, permet grans possibilitats d'utilització.

La cèl.lula en qüestió té vuit entrades (A, B, C, D, E, F, G i H) i té dues sortides (I i J) definides per les següents expressions:

$$\begin{aligned}
 I &= A \cdot B \cdot C \cdot D \cdot \bar{E} \cdot \bar{F} \cdot \bar{G} \cdot \bar{H} \\
 J &= \bar{I}
 \end{aligned}$$

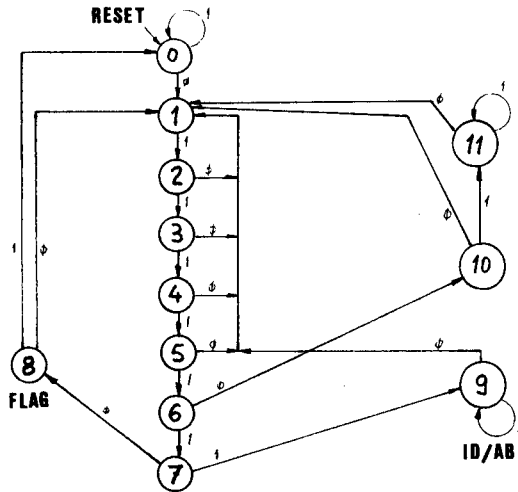


Figura 7: Autòmata representatiu dels estats del circuit dissenyat com a exemple.

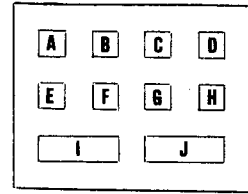


Figura 8: Esquema de la cel.lula bàsica del Gate Array utilitzat.

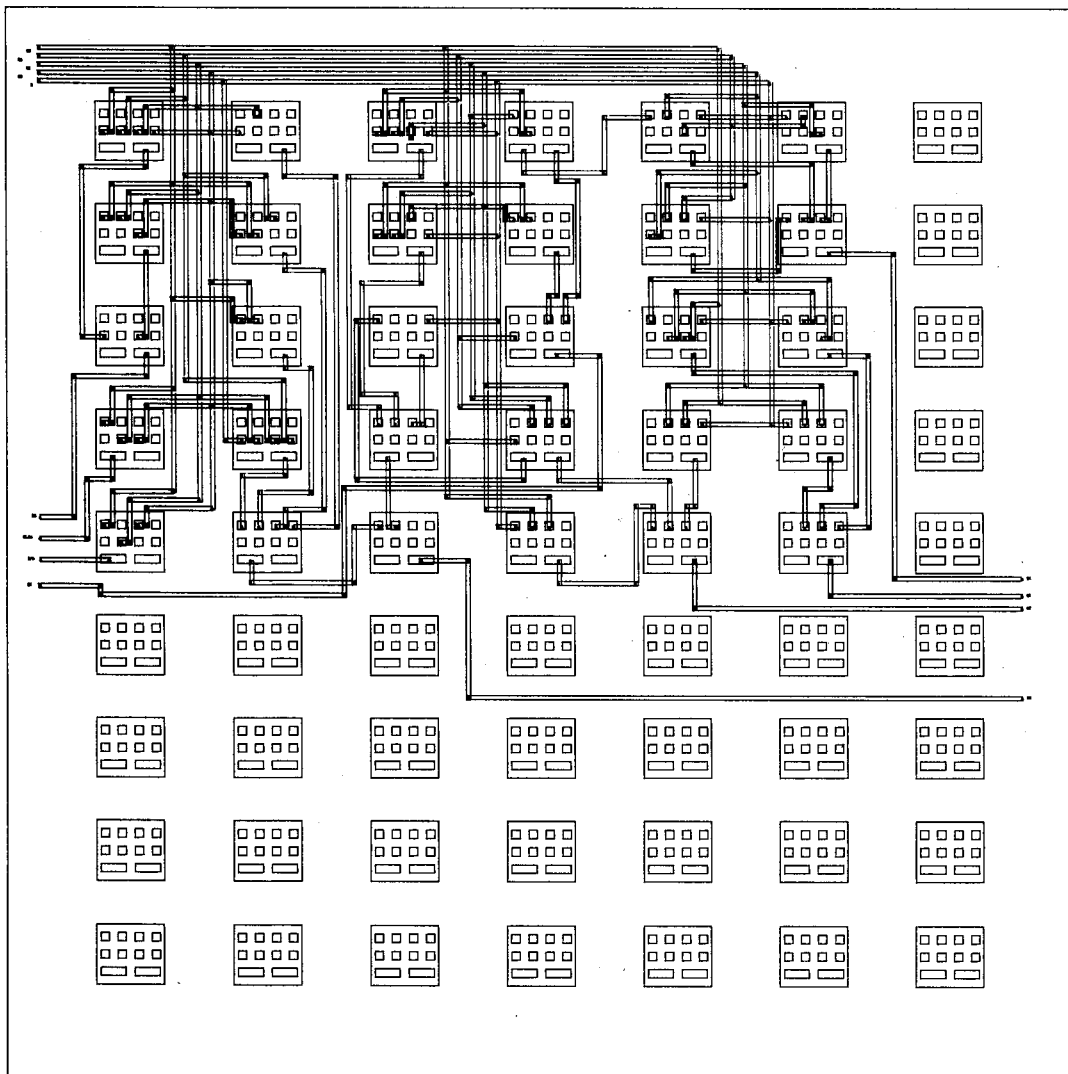


Figura 9: Representació Final del circuit, en sortida gràfica per plotter.

TAULA No 1.

TAULA DE LA VERITAT DEL CIRCUIT

SIN	Estat Actual G ₃ G ₂ G ₁ G ₀	Estat Seguent G ₃ G ₂ G ₁ G ₀	FLAG	SDUT	I/A
0	0 0 0 0	0 0 0 1	0	0 1	0
1	0 0 0 0	0 0 0 0	0	0 1	0
0	0 0 0 1	0 0 0 1	0	0 0	0
1	0 0 0 1	0 0 1 0	0	0 0	0
0	0 0 1 0	0 0 0 1	0	1 0	0
1	0 0 1 0	0 0 1 1	0	1 0	0
0	0 0 1 1	0 0 0 1	0	1 0	0
1	0 0 1 1	0 1 0 0	0	1 0	0
0	0 1 0 0	0 0 0 1	0	1 0	0
1	0 1 0 0	0 1 0 1	0	1 0	0
0	0 1 0 1	0 0 0 1	0	1 0	0
1	0 1 0 1	0 1 1 0	0	1 0	0
0	0 1 1 0	0 0 0 1	0	1 0	0
1	0 1 1 0	0 1 1 1	0	1 0	0
0	0 1 1 1	1 0 0 0	0	1 0	0
1	0 1 1 1	1 0 0 1	0	1 0	0
0	1 0 0 0	0 0 0 1	1	0 0	0
1	1 0 0 0	0 0 0 0	1	0 0	0
0	1 0 0 1	0 0 0 1	0	1 0	1
1	1 0 0 1	1 0 0 1	0	1 0	1
0	1 0 1 0	0 0 0 1	0	0 1	0
1	1 0 1 0	1 0 1 1	0	0 1	0
0	1 0 1 1	0 0 0 1	0	0 1	0
1	1 0 1 1	1 0 1 1	0	0 1	0

La distribució física dels vuit senyals dins la cèl.lula es representa a la figura 8.

La digitalització del circuit utilitzant el sistema SCINGS s'ha realitzat sobre un "Chip" o pla de base Gate Array de 63 cèl.lules bàsiques distribuïdes en 9 files i 7 columnes, de les quals només s'han utilitzat 30. El nombre de nivells de metalització emprats ha estat de dos.

A la figura 9 es presenta l'esquema d'interconnexió de les cèl.lules que implementa el circuit proposat. Aquest circuit està descrit a l'arxiu HDL des del punt de vista lògic i al CIF com a conjunt d'interconnexions.

Com a dada orientativa, la digitalització completa del circuit (després d'haver-se realitzat el "routing" del circuit) ha suposat un temps aproximat d'una hora.

8. CONCLUSIONS.

Les tècniques de disseny microelectrònic semicustom tant de tipus "standard cells" com "gate arrays" redueixen el cost i temps de desenvolupament de circuits integrats al estalviar al dissenyador la necessitat de definir totes les màsques del procés. Al cas de cèl.lules estàndar, les màsques d'aquestes cèl.lules ja estan predefinides pel fabricant i al cas de les matrius de portes només cal definir les màsques de metalització.

Aquestes tècniques han permès que el disseny de circuits integrats arribi fins a aplicacions on el baix volum de producció feia inviable econòmicament l'ús de circuits integrats a mida. Aquest procés ha estat accelerat per l'utilització d'eines CAD orientades al disseny i verificació dels circuits.

En aquest article s'ha presentat un sistema gràfic de disseny de circuits integrats semicustom desenvolupat a l'E.T.S.E.I.B. El sistema permet definir amb total llibertat el circuit base així com el tipus i localització de les cèl.lules utilitzades i les interconnexions entre cèl.lules. El sistema verifica de manera automàtica les regles de disseny i genera com a resultat dos arxius, un CIF (descripció de màsques) per

al fabricant i l'altre anomenat HDL (descripció del Hardware) per a la verificació del disseny.

A l'article es fa una descripció de l'estructura modular del sistema així com la descripció i interrelació dels mòduls utilitzats. S'analitza l'estructura de dades utilitzada per a la implementació del sistema i es descriuen els diferents tipus d'elements gràfics que poden emmagatzemar-se en aquesta E.D.

Finalment, i com a exemple, es presenta el disseny d'un circuit detector de flag i eliminador de zero insertat per al protocol HDLC utilitzant un Gate Array de cèl.lules AND.

9. BIBLIOGRAFIA.

- /1/ C. MEAD, L. CONWAY : "Introduction to VLSI Systems" - Addison-Wesley Publishing Company (1980).
- /2/ N. WIRTH: "What can be do about the unnecessary diversity of notations for syntactic definitions " - Communications of the ACM - (November 1977).
- /3/ W.M. NEWMAN, R.F. SPROULL : "Principles of Interactive computer graphics" Mc Graw Hill - New York (1981).
- /4/ S. MUROGA : "VLSI Systems Design" -Wiley Interscience - New York, (1982).
- /5/ J. BOND : "Design tools pace custom/semi-custom IC development" Computer Design. (March 1985).
- /6/ HARVEY J. HINDIN: "Graphics Standards Finally Start to sort themselves out" - Computer design. (May 1984).