

APLICACION DE SISTEMAS DLL EN LA RECUPERACION DEL SINCRONISMO DE SEÑALES RADAR CON STAGGERING

A.AMBROS, A. AGUASCA, J.M. PLANA.

GRUPO A.M.R., DEPARTAMENTO DE TEORIA DE LA SEÑAL Y COMUNICACIONES

E.T.S. INGENIEROS DE TELECOMUNICACION DE BARCELONA - U.P.C.
Apdo. 30002, 08080 - BARCELONA.

ABSTRACT

In a bistatic radar receiver we need an accurate synchronism with the transmitted signal in order to get the position of targets from the received echoes. Here we have a system based on delay-lock techniques which allows to obtain the synchronism with a radar signal with PRF (Pulse Repetition Frequency) staggering. The synchronism must be acquired during the time interval of the transmitter antenna scan in which the receiver is illuminated, and held in the period where no direct signal is available.

INTRODUCCION

En la voluntad de desarrollar un receptor de radar biestático sin enlace dedicado que utilice como transmisor el radar del aeropuerto de Barcelona se ha desarrollado un sistema recuperador del sincronismo basado en la técnica de Hitchhiking. Esta técnica consiste en utilizar el intervalo de tiempo en que el transmisor ilumina directamente al receptor para sincronizar la señal recibida con una señal idéntica generada en el receptor y para, posteriormente, mantener el sincronismo con una deriva aceptable en ausencia de señal directa del transmisor [4].

CARACTERISTICAS DE LA SEÑAL A SINCRONIZAR

La señal emitida por el radar del aeropuerto de Barcelona posee una envolvente pulsada que presenta staggering de seis frecuencias de repetición de pulsos (PRF's) a fin de alejar la primera velocidad ciega del sistema. El staggering se realiza pulso a pulso, por lo que se dispone de un CPI (Coherent Pulse Interval) con seis pulsos, tal como se indica en la figura 1.

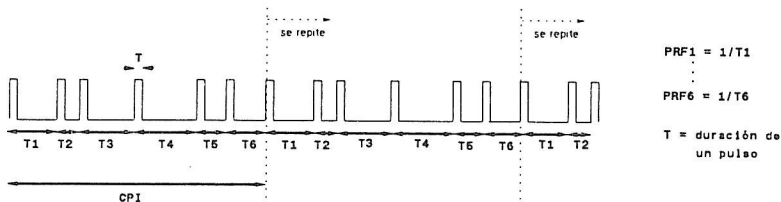


fig.1 Envolvente de la señal emitida

Esta señal sirve como control de un magnetrón que genera en cada pulso la señal de alta frecuencia (2.75 GHz) que es radiada por la antena emisora.

El sistema que se ha diseñado considera como señal de entrada la que aparece en la fig. 1, es decir, supone que en una etapa anterior se ha realizado la oportuna traslación a banda base.

INTRODUCCION A LOS SISTEMAS DLL

DLL (Delay-Lock Loop) son las siglas de un sistema realimentado capaz de recuperar y mantener el alineamiento de dos secuencias de pulsos (dos señales digitales) basándose en la contrastación de la señal a sincronizar con dos realizaciones (una adelantada $T/2$ y otra retrasada $T/2$) de una misma señal generada internamente. Esta contrastación se consigue evaluando la correlación de las señales mediante un subsistema formado por el encadenamiento de un bloque multiplicador y de un bloque integrador. El carácter digital de las señales a comparar permite la utilización de una simple puerta lógica AND como bloque multiplicador.

Los sistemas DLL, especialmente concebidos para sincronizar señales de naturaleza pseudoaleatoria con una ley de formación conocida, requieren dos lazos diferenciados que realicen, respectivamente, la adquisición (o alineamiento "grosso") (fig. 2) y el seguimiento (o alineamiento "fino") (fig. 3) de ambas señales [1][2].

De no ser así, el sistema llegaría fácilmente a una situación de enganche en frecuencia pero no en fase. Esto se concluye tras observar la presencia de varios máximos relativos en la función de autocorrelación de una señal pulsada pseudoaleatoria [1][3].

La fase de adquisición tiene la misión de inhibir la posibilidad de que el sistema pueda estabilizarse en uno de esos máximos relativos de la función de correlación, obligándole a hacerlo en el máximo absoluto, que, por supuesto, se producirá cuando ambas secuencias sean idénticas y estén perfectamente alineadas (enganche en frecuencia y en fase).

Así pues, la fase de adquisición debe inhibir al resto del sistema mientras no se detecte un desalineamiento menor que T (T =duración de un pulso) entre las secuencias, condición que garantizará la presencia del pico de máximo absoluto de la función de correlación.

Parece claro, por tanto, que debido a la no periodicidad impuesta por el staggering en la señal radar que se desea sincronizar (hay periodicidad de CPI pero no hay periodicidad de repetición de pulsos) resulta apropiado el uso de un sistema DLL para este fin.

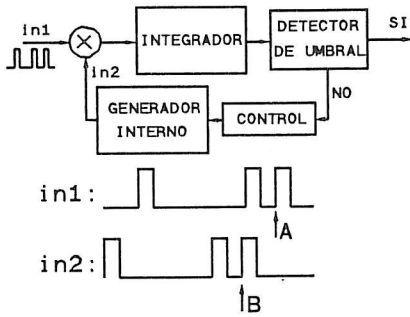


fig.2 Esquema de la fase de adquisición (método de búsqueda serie: se va retardando in2 hasta que $A = B \pm T/2$)

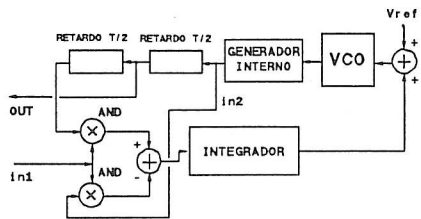


fig.3 Esquema de la fase de seguimiento (se actúa sobre el VCO para el ajuste fino)

SISTEMA DESARROLLADO

En la fig.4 se presenta el esquema global del sistema recuperador de sincronismo desarrollado, en el que se pueden diferenciar las fases de adquisición y de seguimiento ya mencionadas, así como una etapa que realiza la digitalización de la señal de control del VCO (Voltage Controlled Oscillator) a fin de poder mantener esta información en ausencia de señal directa del transmisor.

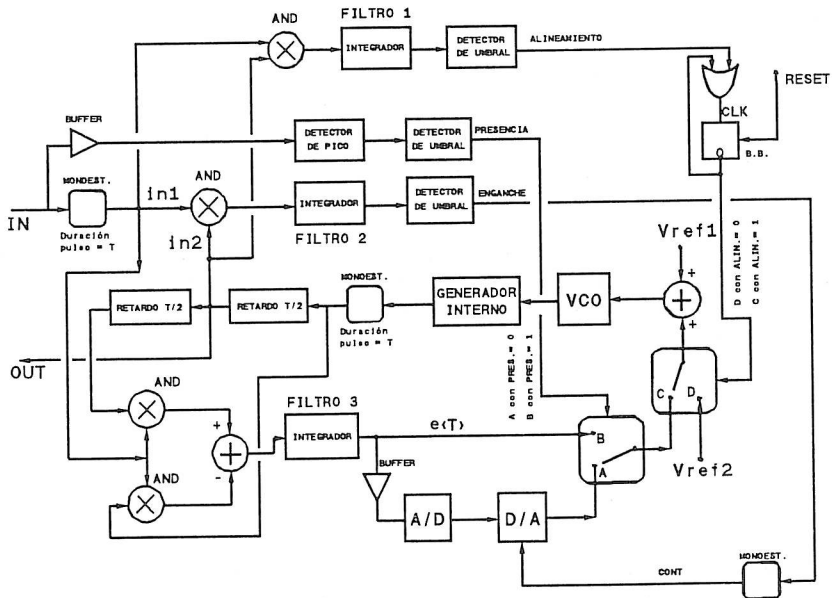


fig.4 Esquema global del recuperador de sincronismo

FUNCIONAMIENTO DEL SISTEMA

Fase de adquisición

Está controlada por la señal de alineamiento. En ausencia de alineamiento se aplica al VCO una tensión fija ($V_{ref1} + V_{ref2}$) que se traduce en una frecuencia de la señal a la salida del VCO ligeramente distinta de la del reloj lejano (reloj del emisor). Esto provoca un progresivo desplazamiento de la secuencia in2 respecto a la in1.

Fase de seguimiento

Una vez concluida la fase de adquisición (ALINEAMIENTO=1) actúa el sistema de ajuste fino. Se compara in1 con dos realizaciones (una adelantada T/2 y otra retardada T/2) de la señal in2, y e(T) (señal de error) se estabiliza en aquel valor que iguala las frecuencias de los dos relojes (de emisor y de receptor).

Fase de digitalización

En ausencia de señal del emisor (in1), la señal e(T), una vez se ha estabilizado en la situación de enganche, debe ser mantenida sin deriva. Para ello resulta insuficiente un bloque sample & hold, puesto que presenta una pérdida inaceptable en el periodo de tiempo en que no se dispone de señal directa del transmisor.

En la fig.7 se muestra la temporización del sistema.

PROBLEMATICA

Para poder asegurar que se detecta el alineamiento se debe garantizar que el desplazamiento de in2 respecto a in1 sea menor que T después de un periodo de scan. Ello determina una máxima diferencia de frecuencias posible entre el reloj del sistema y el reloj lejano y, por tanto, se traduce en una cota mínima e irreducible del tiempo necesario para poder garantizar que el sistema habrá concluido la fase de adquisición.

Así mismo, es crítico el diseño del filtro 3 (fig.4), puesto que existe un compromiso entre el tiempo de estabilización de la señal de error e(T) y el rizado que ésta presenta (debido al carácter pulsado de la señal presente a la entrada del filtro).

Se ha elegido un filtro activo de 2º orden del tipo:

$$H(s) = \frac{as+b}{cs^2+ds}$$

que permite un tiempo de estabilización de e(T) inferior a un CPI con un rizado aceptable, todo ello a costa de aceptar el riesgo de una posible inestabilidad del bucle.

El diagrama de Bode y la respuesta temporal de este filtro ante una señal pulsada se muestran en las figs.5 y 6, respectivamente.

Por lo demás, un valor razonable para la máxima desviación permitida en el mantenimiento de la señal con staggering es el equivalente a una celda de resolución espacial en el último radial escrutado.

Ello condiciona todo el sistema: la sensibilidad del VCO usado, el n° de bits de los conversores A/D y D/A, el máximo rizado permitido en la señal de control e(T), la precisión de las células de retardo T/2 así como el necesario equilibrio de las dos entradas del bloque sumador que antecede al filtro 3.

AGRADECIMIENTOS

Este trabajo ha sido subvencionado por la CICYT, TIC-0481/89.

BIBLIOGRAFIA

- [1] James J. Spilker, Jr., "Digital communications by satellite" Prentice-Hall, chap.18
- [2] Cook, Eilersick, Milstein, Schilling, "Spread-Spectrum Communications" IEEE PRESS, 1983.
- [3] Heinrich Meyr, Gerd Ascheid, "Synchronization in digital communications" Wiley Interscience, 1990.
- [4] Forrest, Schoenberger, "Totally independent bistatic radar receiver with real-time microprocesor scan correction" Advances in radar techniques IEEE Electromagnetic waves, series 20, pp. 140-144.

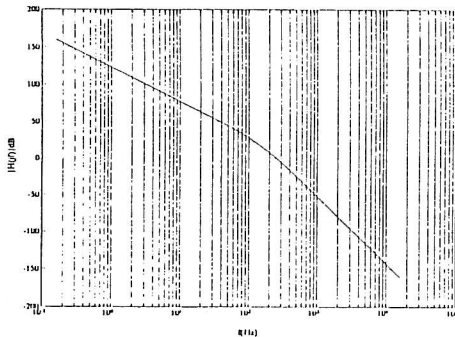


fig. 5 Diagrama de Bode del filtro 3

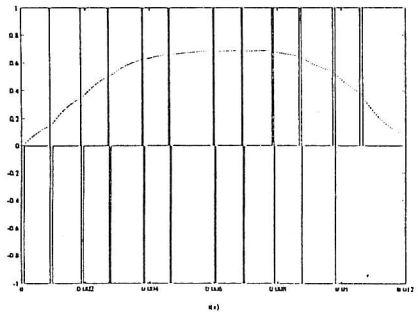


fig. 6 Respuesta temporal del filtro 3 (se indica también la evolución de la señal pulsada de entrada).

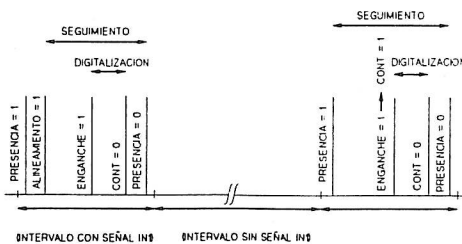


fig. 7 Temporización del sistema

(Cuando la señal de ALINEAMIENTO pasa a valer 1, queda bloqueada en este valor y para desbloquearla se necesita un reset externo).