1. Resumen

Este proyecto final de carrera trata sobre la aplicación de la tecnología de los convertidores multinivel al sector de generación de energía mediante aerogeneración para la conexión directa a la red eléctrica.

El objetivo principal en su realización es la implementación experimental de un conjunto emulador de un sistema de Aerogeneración y etapas de conversión de energía para su conexión a red, con la flexibilidad suficiente para que permita modificar una serie de parámetros de funcionamiento dando lugar a un amplio abanico de pruebas experimentales adecuadas para el estudio y mejora de esta tecnología.

La tarea se ha desarrollado sobre un convertidor de tres niveles comercial existente en los laboratorios fruto de anteriores proyectos.

Este proyecto puede desglosarse en varias partes. Inicialmente se ha realizado un reajuste general del hardware existente. Para ello se ha tenido que diseñar una placa de interconexión adecuada para las comunicaciones que se van a usar entre los subsistemas que componen el proyecto: una placa de procesado de señales gobernada por un PowerPC, un dispositivo lógico programable (FPGA) y dos convertidores multinivel (*Neutral – Point Clamped,* aunque solo se haga uso de uno a lo largo de este proyecto). Seguidamente, se ha llevado a cabo un trabajo de distribución del hardware dentro de un armario añadiendo hardware accesorio necesario (fuentes de alimentación) y cableado del sistema siempre teniendo en cuenta tanto la reducción de posibles interferencias electromagnéticas como la ergonomía. Después se ha añadido una bancada de motores controlada por un dispositivo comercial, realizando las conexiones necesarias para su acople al sistema. Finalmente, se ha desarrollado una programación particular para cada subsistema contenido en el proyecto (dSPACE, UP2 y Simovert) con la intención de generar y procesar una modulación *Nearest Three Virtual Space Vectors Pulse Width Modulation* (NTVSV PWM).

El punto final del proyecto ha sido la comprobación experimental de todo el conjunto en funcionamiento, desde la generación de una tensión alterna trifásica a frecuencia variable por parte de la bancada de motores hasta su conversión en un tensión alterna trifásica controlada a 50 Hz.

2. Sumario

1. RESUMEN 1

2. SUMARIO 2

3. GLOSARIO 7

4. PREFACIO 9

4.1. Origen del proyecto 9
4.2. Motivación 9
4.3. Requerimientos previos 9

5. ESTADO DEL ARTE 11

5.1. Aerogeneración 11
5.2. Convertidores de potencia 13
5.3. Conclusiones 14

6. INTRODUCCIÓN 15

6.1. Objetivos del proyecto 15
6.2. Alcance del proyecto 15

7. CONVERTIDOR CC/CA DE 3 NIVELES 17

7.1. Topología 17
7.2. Modulación SVM 19

8. DESCRIPCIÓN DEL SISTEMA 21

8.1. Comparativa sistema real – emulador 21
8.2. Conjunto 22
8.3. Equipo SIMOVERT 24
8.3.1. Hardware 24
8.3.2. Software 25
8.4. Bancada de Motores 25
8.5. dSPACE 27
8.5.1. Hardware 28
8.5.2. Software 29
8.6. UP2 de Altera 29
8.6.1. Hardware 30
8.6.2. Software 30
8.7. Armario 30

8.8. Convertidor SEMIKRON 31
8.8.1. Hardware 32
8.8.2. Software 32
8.9. Placa de interconexión 32
8.9.1. Circuito digital 33
8.9.2. Circuito analógico. 36
8.9.3. Diseño del layout 39

9. PROGRAMACIÓN DE CONTROL 41
9.1. Programación en Matlab – Simulink 41
9.1.1. Especificaciones 41
9.1.2. Solución adoptada 41
9.2. Programación en Max Plus II Baseline 44
9.2.1. Especificaciones 45
9.2.2. Solución adoptada 45

10. RESULTADOS EXPERIMENTALES 49
10.1. Requerimientos experimentales 49
10.1.1. Parámetros de funcionamiento 49
10.1.2. Bobinas después del motor. 50
10.1.3. Causas de la descompensación del bus de continua 51
10.2. Lazo abierto 51
10.2.1. Alimentación: Fuente CC – Carga: RL 52
10.2.2. Alimentación: Fuente CC – Carga: No lineal 54
10.2.3. Alimentación: Emulador eólico – Carga: RL. 56
10.2.4. Alimentación: Red eléctrica – Carga: RL 57
10.3. Lazo cerrado 59
10.3.1. Alimentación: Fuente CC – Carga: RL 59
10.3.2. Alimentación: Emulador eólico – Carga: RL 60

11. CONCLUSIONES 61

12. BIBLIOGRAFÍA 63
12.1. Referencias bibliográficas 63
12.2. Bibliografía complementaria 63

VOLUMEN II

ANEXO A. PROGRAMACIÓN DEL PPC 5
A.1. Algoritmos 5
A.2. Especificaciones 5
A.3. Programación en Matlab – Simulink 6
A.3.1. Esquema general 7
A.3.2. Control On – Off 7
A.3.3. Modulador 9
A.3.4. Mesures 10
A.4. Lazo de realimentación 11
A.4.1. Bloque Control 12
A.4.2. Bloque Transformación de Park 13
A.5. Programación en código C 14
A.5.1. Moduladordsp.c 14

ANEXO B. PROGRAMACIÓN FPGA 21
B.1. Algoritmo con Max Plues II Baseline 21
B.2. Especificaciones 21
B.3. Diseño 26
B.3.1. Div_freq 28
B.3.2. Sel_duties_blank 30
B.3.3. Synchro 34
B.3.4. Distr_sim 38
B.3.5. PWM 39
B.3.6. Blanks 41
B.3.7. On_Off 44
B.4. Código VHDL 45
B.4.1. Bloque Div_freq 45
B.4.2. Bloque Distr_sim 47
B.4.3. Bloque Pwm 48
B.4.4. Bloque Blanking 50
B.4.5. Bloque On_Off 51
B.4.6. Bloque Mem_freq_blank 52
B.4.7. Bloque Bit_a_vector 52
B.4.7. Bloque Multiplx 53
B.5. Simulación bloque div_freq 45

ANEXO C. PROGRAMACIÓN EQUIPO SIMOVERT 55

C.1. Conexión PC – Simovert 55
C.1.1. Adecuación puerto serie (Windows 98 SE) 55
C.2. Configuración Drivemonitor 56
C.3. Configuración Masterdrive 57
C.4. Control del sistema 63
C.5. Funciones tecnológicas 63
C.5.1. Liberación Gratuita por 500 horas 63
C.5.2. Liberación completa 64

ANEXO D. EQUIPO MASTERDRIVE 65
D.1. Hardware 65
D.1.1. Inversor 65
D.1.2. Rectificador 66
D.1.3. Filtro EMC 66
D.1.4. Panel de mando 67
D.1.5. Encoder (Tarjeta SMB) 67
D.2. Software 68
D.1.1. DriveMonitor 68

ANEXO E. PROTOCOLOS DE ARRANQUE Y PARADA 69
E.1. Arranque del equipo Simovert 69
E.2. Paro del equipo Simovert 70
E.3. Arranque de la bancada 70
E.4. Paro de la bancada 71

ANEXO F. ASIGNACIÓN SEÑALES - PINS 73
F.1. Señales en uso 73
F.2. Señales sin uso 75

ANEXO G. ESTUDIO ECONÓMICO 79
G.1. Coste de diseño 79
G.2. Coste de materiales 80
G.3. Coste de amortización de equipos 81
G.3.1. Hardware 81
G.3.2. Software 82
G.4. Costes varios 82
G.5. Coste total del Proyecto 83

ANEXO H. FOTOGRAFÍAS FUENTE Y CARGAS 85

ANEXO I. HOJAS DE CARACTERÍSTICAS DE LOS COMPONENTES 89

I.1. Fuente alimentación para la placa digital, NLP65 del fabricante Artesyn 89

I.2. Fuente alimentación para la placa analógica, S25 del fabricante Mean Well 89

I.3. Circuito buffer TTL a MOS SN74LS07 89

I.4. Circuito regulador de tensión 15 a 5 V LM7805C 89

I.5. Amplificador operacional (bloque de 4) KF347 89

I.6. Driver SKHI 10/12 para IGBT del fabricante Semikron 89

I.7 Conjunto IGBT – Diodo SKM 100 del fabricante Semikron 89

I.8. Sensor de corriente LA 2005-S/SP1 del fabricante LEM 89

I.9. Sensor de tension VS-500B del fabricante ABB 89

I.10. Motores de inducción 89

I.11. Servomotores 89

ANEXO J. SOPORTE INFORMÁTICO 141

3. Glosario

- ADC: “Analog – digital converter”, conversor analógico – digital.
- Back – to – Back: Topología de dos convertidores en serie compartiendo el bus de continua.
- CA: Corriente alterna.
- CAN: Bus de datos en serie desarrollado por Bosch para su uso en el automóvil.
- CC: Corriente continua.
- CMOS: “Complementary metal oxide semiconductor”, semiconductor de metal – óxido.
- DAC: “Digital – Analog converter”, conversor digital – analógico.
- DSP: “Digital signal processor”, procesador de señales digitales.
- d_{ap}, d_{an}, d_{bp}, d_{bn}, d_{cp}, d_{cn}: Funciones duty-ratio.
- EMC: “Electromagnetic compatibility”, compatibilidad electromagnética.
- FFT: “Fast Fourier Transform”, transformada rápida de Fourier.
- FPGA: “Full – programable gate array”, matriz de puertas totalmente programables.
- f_{CTRL}: Frecuencia de control del sistema.
- GREP: Grup de Recerca en Electrònica de Potència.
- I/O: “Input/Output”, entrada/salida.
- IGBT: “Insulated gate bipolar transistor”, transistor bipolar de puerta aislada.
- I_a, I_b, I_c: Corrientes de las fases a, b y c.
- JTAG: “Joint test action group”, Grupo de acción de pruebas conjuntas.
- NPC: “Neutral-point clamped”, punto neutro fijo.
- NTVSV: “Nearest Three Virtual Space Vectors”, Modulación de los tres vectores espaciales virtuales mas cercanos.

- PLD: “Programmable logic device”, dispositivo lógico programable.
- PPC: “Power PC”, arquitectura de procesador tipo RISC.
- PWM: “Pulse width modulation”, modulación de ancho de pulso.
- RISC: “Reduced Instruction Set Computer”, computadora con conjunto de instrucciones reducido.
- RS – 232: Estándar de comunicaciones.
- RS – 422: Estándar de comunicaciones.
- SRAM: “Static Random Access Memory”, memoria de acceso aleatorio estática.
- SVM: “Space vector modulation”, modulación por vector de espacio.
- S_{xy}: Funciones de conmutación de los transistores del convertidor.
- TTL: “Transistor – Transistor Logic”, Lógica Transistor a Transistor.
- THD: “Total harmonic distorsion”, distorsión armónica total.
- UP2: “University program 2”, Programa universitario con placa tipo 2.
- VHDL: “Very High Speed Integrated Circuit Hardware Description Language”, lenguaje de descripción de hardware para circuitos integrados de muy alta velocidad.
- V_{ab}, V_{bc}, V_{ca}: Tensiones compuestas en el lado trifásico.
- V_P, V_N: Tensiones del bus de continua entre puntos P y O, N y O.

4. Prefacio

4.1. Origen del proyecto

El proyecto que se presenta a continuación, se encuentra situado en el ámbito de la investigación sobre los convertidores multinivel (específicamente de tres niveles en este caso), una línea de trabajo del departamento de Ingeniería Electrónica, concretamente por el GREP ("Grup de Recerca en Electrònica de Potència"). En la actualidad, el desarrollo principal de las investigaciones están orientadas las aplicaciones basadas en energías renovables. Las dos vertientes en las que se esta llevando a cabo la investigación son: el aprovechamiento de energía solar fotovoltaica mediante conexión directa a la red, y la generación eléctrica a partir de energía eólica.

Este proyecto, es un desarrollo de los diferentes aspectos ya llevados a cabo en el departamento, para agrupar todos los subsistemas implementados, y ser capaces de realizar una verificación experimental de todo un sistema simulador de creación de energía mediante aerogeneradores y su posterior recuperación y adaptación a la red eléctrica mediante un sistema de convertidores back – to – back de tres niveles.

4.2. Motivación

La base de desarrollo de este proyecto, viene determinada por el tipo de tecnología usada hasta ahora en este tipo de aplicaciones (convertidores de dos niveles), la cual presenta una serie de limitaciones que se pueden mejorar con la aplicación de este nuevo tipo de convertidores, tales como pueden ser el aumento de potencia, la reducción de la distorsión armónica y mejorar la respuesta dinámica.

4.3. Requerimientos previos

El presente proyecto, supone una continuación del proyecto *Verificació experimental d'una nova estratègia SVM* [1], donde se soluciona parte del subsistema de recuperación de energía. También forma parte de los trabajos desarrollados por Sergi Busquets Monge en relación a la modulación de convertidores multinivel [2] y al lazo de realimentación de control del conversor CC/CA para mantener equilibrada la tensión del punto neutro.

5. ESTADO DEL ARTE

5.1. Aerogeneración

En el escenario actual de desarrollo hacia una sociedad más sostenible, la generación de energía mediante aerogeneración ha madurado lo suficiente como para llegar al punto de estar lista para ser aceptada como una tecnología de generación alternativa equiparable al resto de fuentes existentes por varias causas, aporta unos beneficios medioambientales por su carácter limpio en cuanto a productos residuales en su proceso de generación, es un recurso renovable y es posible aplicarla a un coste suficientemente competitivo para que sea viable.

Globalmente, existe un anteproyecto de carácter mundial con la intención de alcanzar un nivel de producción total de un 12% mediante este tipo de tecnología hacia el 2020. De hecho, es la fuente de energía que más ha crecido mundialmente a lo largo de los últimos años, con un crecimiento medio anual de un 40%. En las dos últimas décadas, se ha pasado de turbinas de 20 kW hasta unos 3 MW actuales, con unos prototipos en desarrollo para un futuro inmediato que pueden alcanzar los 5 MW (fig. 5.1 [3]).

Para poder continuar con este gran desarrollo y cumplir con las expectativas creadas, es necesario el desarrollo de nuevas y mejores soluciones particulares que permitan llevar a cabo estas pretensiones.

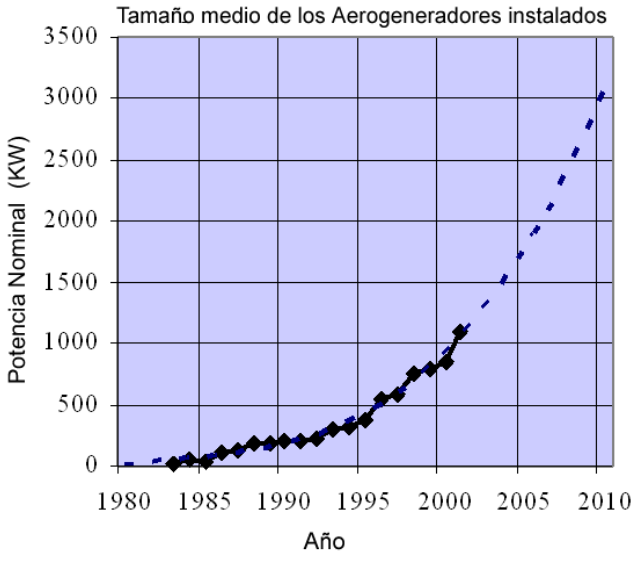


Fig. 5.1 Crecimiento medio de la potencia de los aerogeneradores instalados

A causa de la tecnología de conversión más extendida actualmente, aparecen problemas que introducen una serie de limitaciones para el futuro desarrollo.

En primer lugar se plantea el aumento de la potencia. Debido al tipo de convertidor usado (dos niveles. fig. 5.2) y a su estructura formada por dos transistores en serie que deben aguantar toda la tensión existente en el bus de continua, las características físicas de los componentes usados la limitan, lo que lleva a un aumento de la corriente que debe circular por ellos. Esto tiene varios efectos negativos sobre la electrónica, como puede ser el alta la tensión de bloqueo que deben soportar los transistores, el aumento de las pérdidas de energía, la reducción de la vida de los componentes, etc. Mediante el uso de nuevos y mejores componentes (nuevos materiales y mejores tecnologías de fabricación), este modelo de desarrollo se puede mantener en funcionamiento, aunque de manera muy ajustada, ya que la evolución de los sistemas eólicos supera en capacidad a las mejoras necesarias en la electrónica usada.

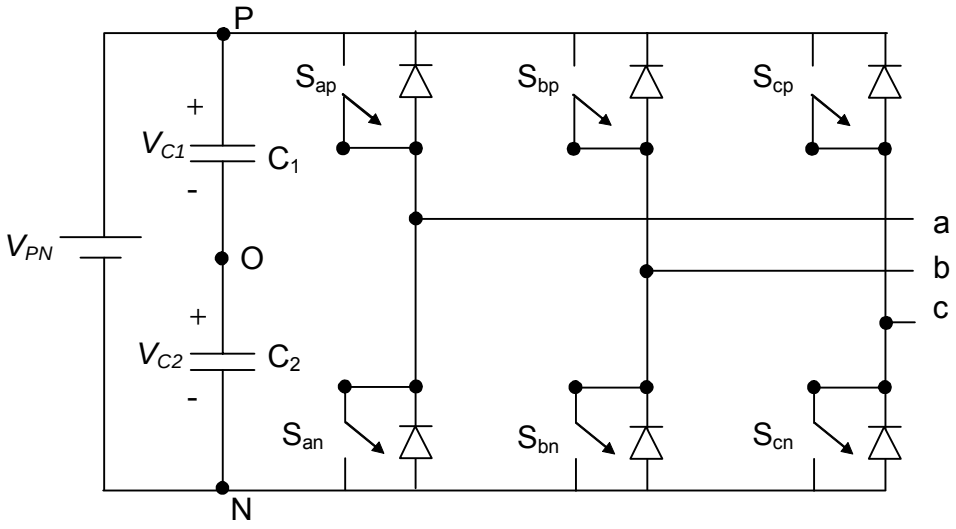


Fig. 5.2 Modelo de convertidor de 2 niveles.

La solución en la que se está trabajando es el cambio de topología de convertidor de dos niveles por otras que nos ofrezcan mejores posibilidades. Este es el caso de los convertidores multinivel, una generalización de la anterior mediante los que se puede llegar a aumentar la tensión del bus de continua hasta el nivel deseado variando el número de niveles aplicados. Principalmente, se está estudiando la estructura de tres niveles ya que es la estructura básica para entender la tecnología multinivel porque nos introduce los cambios básicos de control que son necesarios.

Otro problema que aparece, es la adaptabilidad de los generadores a las variaciones continuas en la fuente (el viento), ya que a causa de los controles de respuesta dinámica lenta, no se pueden asegurar como una fuente fiable y continua, uno de los objetivos de las

compañías eléctricas, que desean usar los parques eólicos como un soporte para la red eléctrica, sobretodo en casos de fallos importantes en ella [4].

La consecuencia más directa de este objetivo, es la necesidad de aumentar la flexibilidad y adaptabilidad de los aerogeneradores a las variaciones continuas que pueden aparecer tanto en la fuente como en la red. Esto, se puede conseguir mediante nuevos métodos de modulación que sean capaces de realizar un control adaptativo más preciso y eficaz.

5.2. Convertidores de potencia

Uno de los campos más fructíferos en cuanto a artículos sobre electrónica en el presente, es precisamente este, el de los convertidores de potencia, debido principalmente a la necesidad de una evolución en las topologías y en los nuevos campos de aplicación de este tipo de sistemas.

El nuevo desarrollo se centra en nuevas topologías de convertidores multinivel y en los múltiples controles posibles que se pueden llevar a cabo, posibilitando desarrollos no asequibles anteriormente a causa del uso de convertidores básicos de dos niveles.

Las ventajas más claras que se obtienen del su uso son,

- Permite duplicar la tensión del bus, usando los mismos transistores, con la consiguiente reducción de corriente por el convertidor (manteniendo la potencia).

- A igualdad de tensión de bus, reducción de la tensión existente entre bornes de los transistores con la consecuente reducción su tamaño. Esto viene causado por el incremento de transistores existentes en el convertidor, con lo que se puede dividir la tensión del bus de continua en más partes. Mediante este efecto, se pueden dividir en dos las posibilidades que aparecen, en primer lugar, es posible mantener la potencia de las instalaciones ya existentes reduciendo los tamaños de los componentes usados, con lo que se consigue una reducción de costes, como alternativa, tenemos la posibilidad de aumentar las potencias desarrolladas mediante el uso de los transistores más evolucionados, ya que los requerimientos individuales se pueden mantener mejorando los resultados obtenidos, de esta manera, mediante un pequeño incremento de coste (mayor número de transistores), se puede conseguir una mayor producción, disminuyendo así los costes de la energía producida, por lo que en general se produce una mejora de cara al usuario.

- Los modelos de control aplicables posibilitan una generación más eficiente de energía eléctrica, con lo que se consigue una mejora en el rendimiento global del sistema, y por otra parte, se obtiene una reducción importante del contenido armónico (THD) a bajas frecuencias, mejorando la calidad del suministro. Esto contribuye en dos factores importantes, por un lado tenemos la reducción de los filtros necesarios para la conexión a la red eléctrica del sistema con lo que se reducen significativamente los costes y se mejora la respuesta dinámica hacía los cambios de la red, por otro lado tenemos el impacto negativo que tienen los armónicos sobre todo tipo de componentes conectados, hay que comentar respecto este punto que la legislación vigente, obliga a que la energía eléctrica suministrada a la red cumpla un estándar como el IEC-61000-3-4 (Niveles de compatibilidad en plantas industriales para perturbaciones conducidas de baja frecuencia), que sitúa una distorsión armónica total por fase de un 20% para equipos de mas de 75 A por fase, aunque este nivel está siendo revisado y se espera un mayor endurecimiento para el futuro, por lo que se deben preparar los sistemas. Una posible guía a seguir, pueden ser las recomendaciones hechas en el IEEE-519-1992 [5] con un THD máximo de un 15%, particularmente enfocado para convertidores conmutados conectados a línea.

5.3. Conclusiones

A pesar de ser los convertidores multinivel y la aerogeneración dos campos ampliamente estudiados, el hecho es que cada uno se ha desarrollado por su lado por lo que es posible encontrar numerosos artículos sobre una infinitud de particularidades, sin embargo en el momento en que se busca información sobre la aplicación conjunta de estos sistemas, nos damos cuenta del amplio nicho de información existente. Por lo tanto, se ha considerado un camino muy propicio a desarrollar con la intención de abrir nuevos caminos al desarrollo de la electrónica.

6. Introducción

6.1. Objetivos del proyecto

Los principales objetivos que se quieren conseguir en este proyecto son:

- Rediseño de la plataforma experimental del convertidor de 3 niveles existente para:
    - Aumentar la velocidad de proceso mediante la instalación de un nuevo sistema de control DSP y la optimización de los algoritmos de la FPGA.
    - Rediseño de la interfaz hardware entre el sistema de control DSP – FPGA y el convertidor de 3 niveles.
    - Diseño de una plataforma experimental de un sistema back – to – back trifásico de tres niveles.
- Implementación experimental de un sistema emulador de un generador.
- Diseño de un sistema completo de recuperación de energía eólica mediante el sistema unión de los dos puntos anteriores.
- Verificación experimental de algoritmos de modulación desarrollados en el departamento.

6.2. Alcance del proyecto

En primer lugar, se van a realizar una serie de modificaciones en software y hardware desarrollado en el proyecto *Verificació experimental d'una nova estratègia SVM*, para adaptarse al nuevo hardware disponible en el PC de control, consiguiendo así mejorar las capacidades de comunicación (reducción de tiempos de cálculo y transmisión) para poder cerrar el lazo de realimentación necesario para el correcto control del sistema. En segundo lugar, se hará un estudio de funcionamiento del equipo necesario para el desarrollo de la simulación de un aerogenerador tanto en el apartado de hardware como de software necesario. En tercer lugar, se va realizar el desarrollo de la interfaz que va a unir los dos sistemas, generador y recuperador de energía. Finalmente, se van a llevar a cabo una serie de pruebas experimentales con el fin de comprobar el correcto funcionamiento del sistema global.

7. Convertidor CC/CA de 3 niveles

En este apartado, se pretende llevar a cabo una breve introducción a los convertidores de tres niveles NPC (Neutral – Point Clamped) y al tipo de modulación que se va a usar para el desarrollo de este proyecto con la finalidad de facilitar su comprensión.

7.1. Topología

La topología usada en el proyecto para el convertidor de tres niveles, es conocida como Neutral – Point Clamped, una de las más importantes en la actualidad para uso general, y en la que se está llevando a cabo un gran trabajo de desarrollo.

En la figura 7.1, se puede ver el modelo simplificado equivalente del convertidor con conmutadores, facilitando así la comprensión del funcionamiento y en la figura 7.2 puede verse el circuito del convertidor. Está formado por tres ramas, una por fase, con la posibilidad de conectar cada una de ellas a 3 puntos de tensión, P, O y N (Positivo, Neutro y Negativo).

El punto O, está conectado al bus de continua entre los dos condensadores C_1 y C_2, y si mantienen su tensión constante e igual en el tiempo, la tensión del punto queda fijada a la mitad de la tensión de los puntos P y N, consiguiendo así un nivel más de tensión al que se puede acceder.

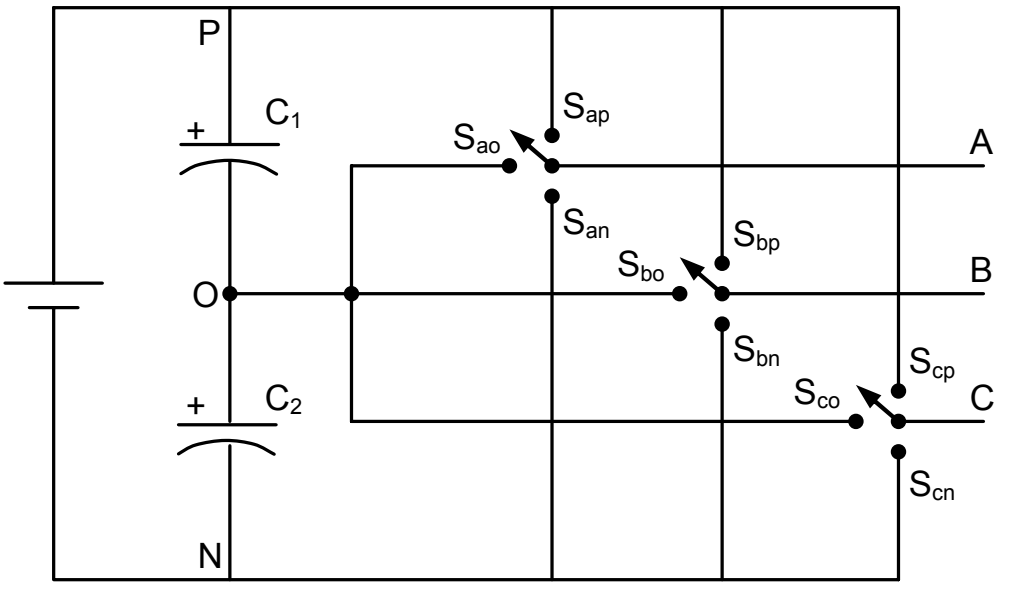


Fig. 7.1 Modelo equivalente en conmutadores del convertidor de 3 niveles.

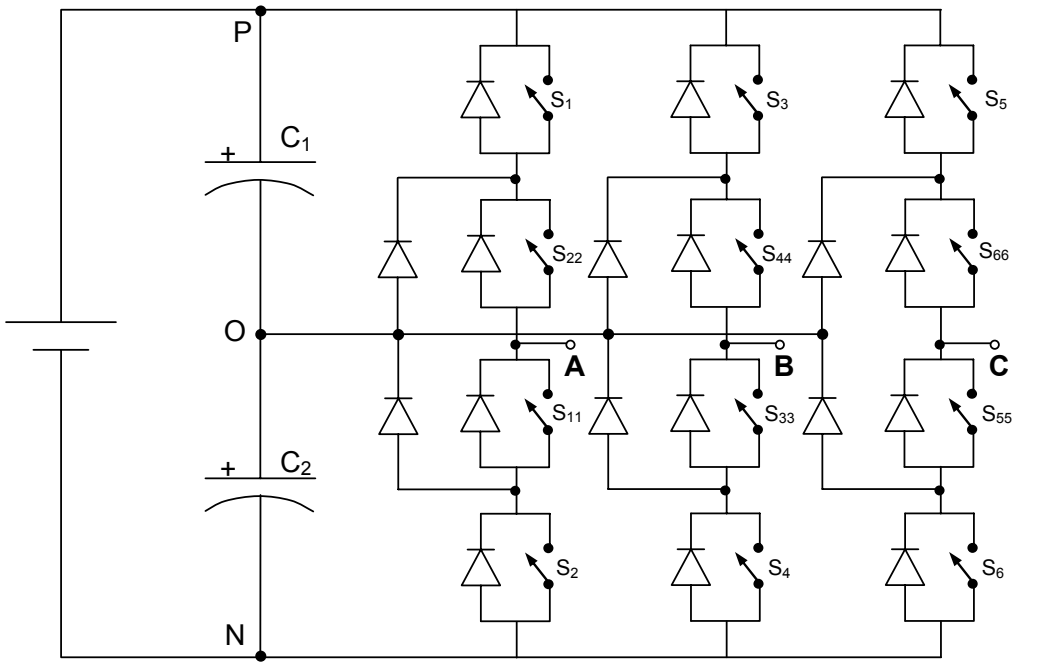


Fig. 7.2 Circuito de un convertidor de tres niveles NPC

Para una fase, las posibilidades en tensión de salida posibles, pueden verse en la siguiente figura, comparándola con las posibles tensiones en un convertidor de dos niveles y la tensión ideal de salida.

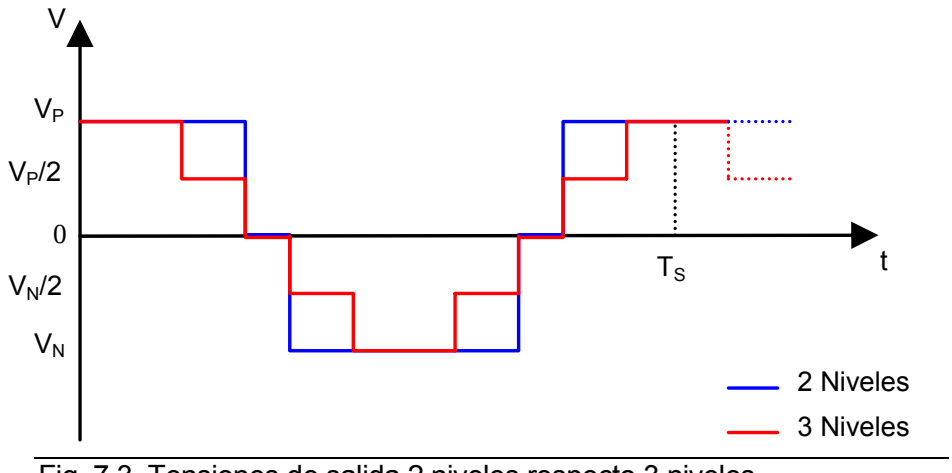


Fig. 7.3 Tensiones de salida 2 niveles respecto 3 niveles.

Para determinar el número de estados a los que puede acceder el convertidor, se tienen que definir las funciones de conmutación S_{xy} y sus restricciones para un correcto funcionamiento.

Analíticamente, se puede describir con la siguiente ecuación:

$$Sxy = \begin{cases} 1, \text{si la fase x esta conectada al punto y} \\ 0, \text{en caso contrario} \end{cases} \qquad \text{(Ec. 7.1)}$$

$$x \in \{a, b, c\}$$
$$y \in \{p, o, n\}$$

La primera restricción (ec. 7.2) asegura que la misma fase no se conecte a dos puntos de tensión simultáneamente, evitando un cortocircuito y la segunda (ec. 7.3) asegura que todas las fases se mantengan conectadas en algún punto de tensión en todo momento.

$$Sxp + Sxo + Sxn \leq 1 \qquad \text{(Ec. 7.2)}$$

$$Sxp + Sxo + Sxn > 0 \qquad \text{(Ec. 7.3)}$$

La solución de este sistema, lleva a la ecuación 7.4, que juntamente con la restricción de tres fases de la ecuación 7.1 determina el número real de estados posibles. En este caso, teniendo en cuenta tres ramas de tensión (una por fase) y los tres posibles valores de tensión de entrada (P, O y N), el número de estados disponibles es de 3^3.

$$Sxp + Sxo + Sxn = 1 \qquad \text{(Ec. 7.4)}$$

7.2. Modulación SVM

La creación de los duty-ratios se va a llevar a cabo mediante una modulación basada en la teoría del Space Vector Modulación, mediante el cual, la representación de los 27 estados posibles de conmutación del convertidor pueden verse en la figura 7.4.

Esta técnica, se va a aplicar sobre un vector de módulo variable (externamente mediante software) que se comporta como el vector de tensión de una señal monofásica a 50 Hz. Mediante la comparación de este vector con el diagrama anterior, será posible elegir los vectores necesarios para la creación de las señales de conmutación de los 12 interruptores de salida.

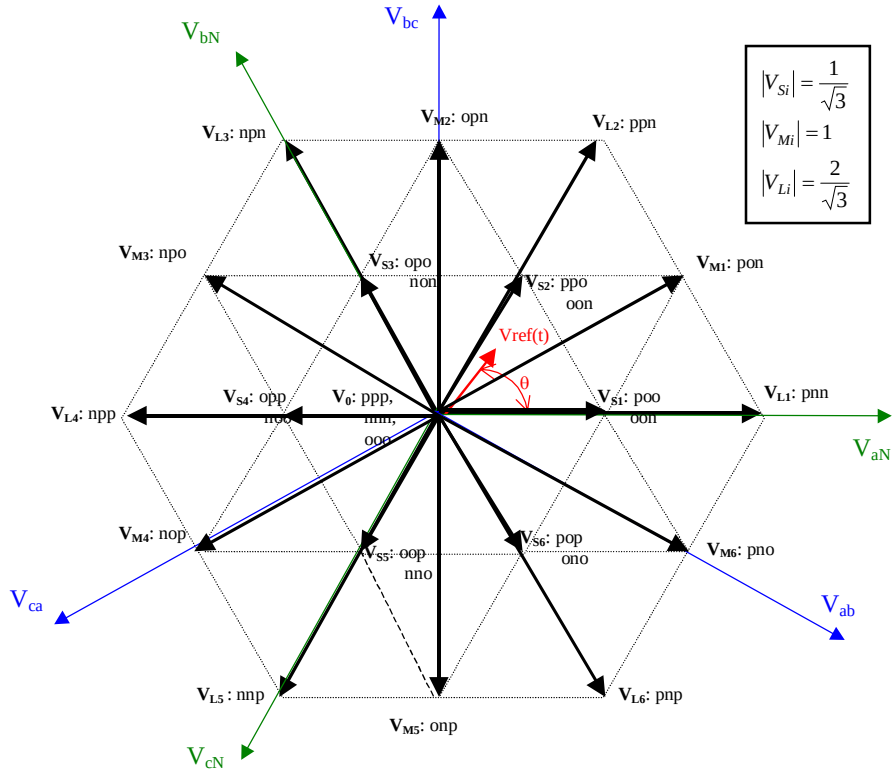


Fig. 7.4 Diagrama SVM en un convertidor de tres niveles.

Este proceso, se va a llevar a cabo en cada periodo de conmutación, que es el equivalente a un ángulo determinado en el diagrama SVM. De esta manera, vamos a discretizar el diagrama en función de la frecuencia de conmutación del sistema, ya que será el que nos determine el ángulo recorrido por el vector (Fig. 7.5) consiguiendo una mayor exactitud y resolución como mayor frecuencia de conmutación se aplique.

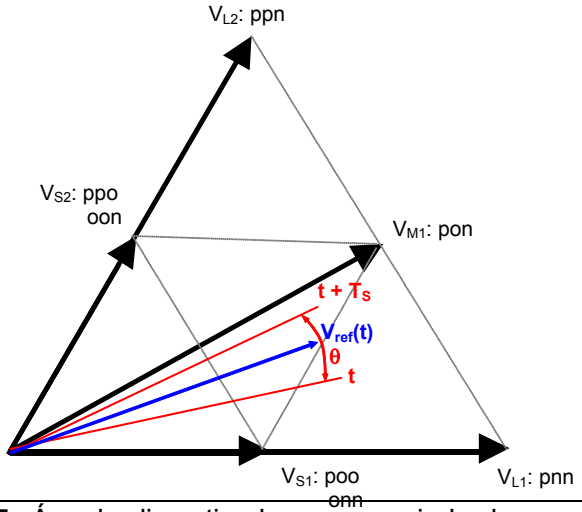


Fig. 7.5 Ángulo discretizado en un periodo de conmutación en el 1er sextante del diagrama SVM.

8. Descripción del sistema

8.1. Comparativa sistema real – emulador

Tal como se enuncia en el título del proyecto, la intención es la de desarrollar un prototipo experimental de un grupo aerogenerador, incluyendo todas sus partes, desde la generación hasta su conexión a la red eléctrica, intentado emular con el mayor realismo posible todas las posibilidades y reacciones de funcionamiento.

A continuación, se puede ver una comparación en paralelo de los dos esquemas del sistema, el modelo ideal del que se parte y el modelo al que se ha llegado.

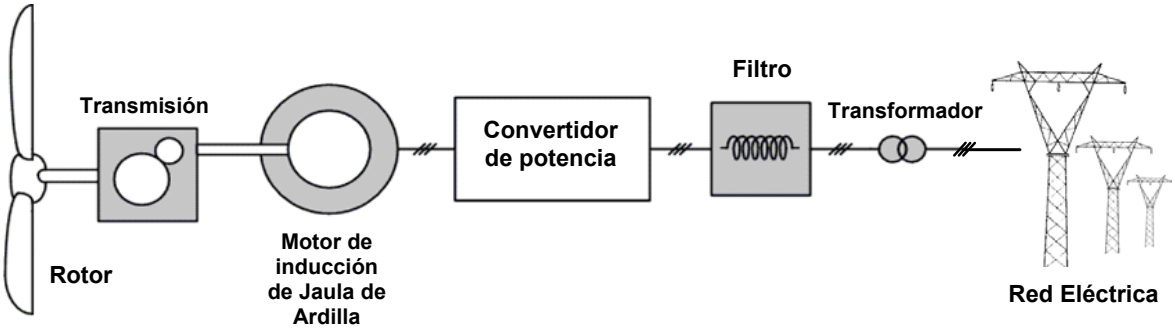


Fig. 8.1 Esquema de un generador eólico conectado a red.

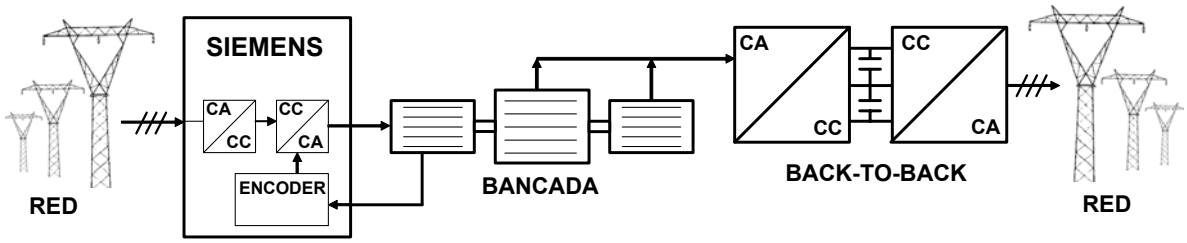


Fig. 8.2 Esquema del sistema emulador de un generador eólico conectado a red.

En primer lugar se encuentra la parte generadora. En el sistema real, viene determinada por tres componentes, el viento que impulsa las palas, las palas y el rotor del aerogenerador. Hay que tener en cuenta a la hora de hacer la simulación el funcionamiento real del sistema, o sea, la variación constante que se produce en la dirección y velocidad del viento (la dirección afecta directamente a la velocidad de giro de las palas, ya que deben adaptar su disposición física constantemente). Para llevar a cabo esto, se usa un equipo de control de motores Siemens y un motor impulsor. El equipo Siemens (analizado más en detalle en el anexos C y D), permite programar desde un PC una curva de funcionamiento, mediante la

cual es posible simular razonablemente una variación de viento, que es realmente el punto de interés, el motor generador, sirve de nexo con el motor generador, para la transmisión del movimiento creado, este motor controlado mediante el dispositivo Siemens, producirá un giro a velocidad o par constante según se le indique en la programación.

En segundo lugar, se tiene el motor generador, que se ha elegido en función del tipo de motor más usado actualmente en la generación eólica (motores de inducción), mediante el que se creará una corriente alterna adecuada para el funcionamiento del convertidor. Hay que decir que en la bancada se han incluido dos motores de generación de potencias diferentes para poder ampliar el rango de posibles funcionamientos, consiguiendo así un análisis mas detallado de la respuesta del sistema. Se puede añadir como hecho puntual, que al existir siempre un motor en la bancada al que se arrastrará, se va a añadir una inercia mayor a la bancada, detalle que se puede interpretar como el arrastre que producen los trenes de engranajes y las palas existentes en los aerogeneradores.

Finalmente se encuentra convertidor CC/CA – CA/CC, el punto más importante de este proyecto, el cual se va a simular mediante un convertidor back – to – back de tres niveles trifásico desarrollado en el laboratorio y mediante el uso de técnicas de modulación avanzadas del tipo Space Vector Modulation (SVM). En este apartado será donde se lleve a cabo el desarrollo más importante, ya que se trata de demostrar experimentalmente los beneficios planteados teóricamente que se obtienen del uso de este tipo de tecnología frente a la implementada en la actualidad.

8.2. Conjunto

El sistema experimental necesario para llevar a cabo el proyecto, consta de una gran cantidad de partes físicas que se han de interconectar entre ellas, y en su mayor parte, se han tenido que modificar en este proyecto.

En este apartado, se pretende hacer una descripción general del sistema completo en el que se basa el proyecto, realizando una breve introducción en cada subsistema que lo conforma y las interrelaciones existentes entre ellos.

En la siguiente figura, se puede ver el esquema de todo el sistema y las relaciones existentes entre subsistemas.

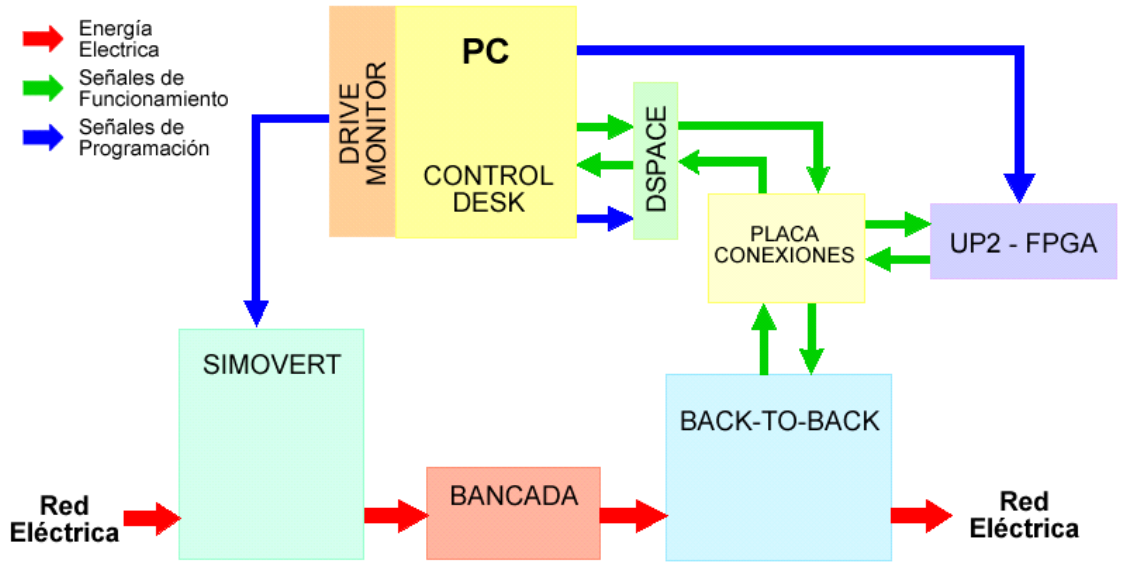


Fig. 8.3 Esquema general del sistema y relaciones entre subsistemas.

El centro de control del sistema va a ser un PC, desde el que mediante el software adecuado se va a encargar de llevar a cabo las programaciones de las diferentes partes. Además, a través de él se va a poder interaccionar en tiempo real con el banco de pruebas para ajustar algunos parámetros y para visualizar una serie de señales generadas en el convertidor facilitando así el trabajo de experimentación.

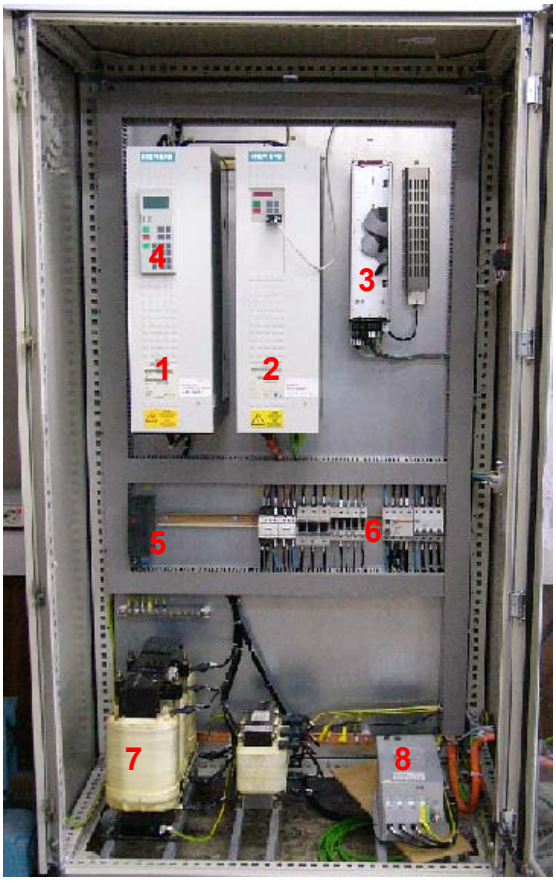
Fig. 8.4 Sistema completo.

8.3. Equipo SIMOVERT

Este equipo desarrollado por Siemens es un grupo rectificador-inversor programables tanto desde PC como sobre los convertidores mismos, mediante el que se puede definir el funcionamiento de un servomotor.

8.3.1. Hardware

Se basa en un rectificador trifásico en puente completo de tiristores de hasta 37 kW potencia de salida, un inversor trifásico de IGBTs de potencia regulable entre 2,2 kW y 37 kW, un auto transformador, un filtro de interferencias electromagnéticas, una placa codificadora para el encoder, un panel de mando para el control y visualización directa del estado de funcionamiento, una conexión RS – 232 para la conexión a un PC de control y los elementos de seguridad necesarios (magneto térmicos, diferencial y fusibles).



1 – Rectificador.

2 – Inversor.

3 – Variador DANFOS

4 – Panel de mando.

5 – Fuente de alimentación (24 V).

6 – Elementos de seguridad.

7 – Autotransformador.

8 – Filtro EMC.

Fig. 8.5 Equipo Simens Simovert masterdrive MC.

8.3.2. Software

SIMOVIS DRIVE MONITOR: A través de este software, es posible definir todos los parámetros necesarios para la obtención de una respuesta deseada por parte del motor que se quiere controlar. La conexión con el equipo, se hace mediante una conexión RS – 232, y permite ver en tiempo real toda una serie de características del funcionamiento del motor.

Lo que permite hacer este software es el control de velocidad o par variable en el tiempo, simulando de esta manera el funcionamiento de un aerogenerador.

En el Anexo D, pueden verse mas detalladamente las características del hardware, y en el soporte informático se han incluido tanto los datasheets de los componentes como de la programación.

8.4. Bancada de Motores

Este sistema, será el encargado de realizar físicamente la simulación de un aerogenerador, mediante un grupo motor impulsor-generador montados sobre una bancada. Esta bancada (Fig. 8.6), va a estar constituida por tres motores en línea con uno de ellos intercambiable.

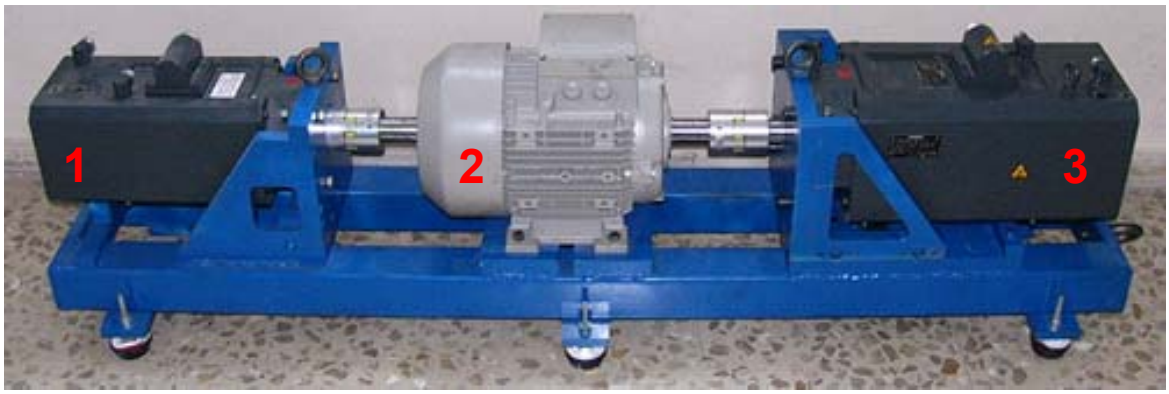


Fig. 8.6 Bancada de motores.

En primer lugar *(1)*, vamos a tener un servomotor controlado de 9,4 kW de potencia y velocidad nominal de giro de 4500 rpm, en segundo lugar *(2)*, se tiene un motor de jaula de ardilla de 7,5 kW y velocidad nominal de giro de 2930 rpm, y en tercer lugar, vamos a tener la posibilidad de elegir entre dos motores, un motor de jaula de ardilla de 1,1 kW (Fig.8.7) y velocidad nominal de giro de 1415 rpm o un servomotor controlado de 9,3 kW *(3)* y velocidad nominal de giro de 1500 rpm. La estructura de motores escogida, ha sido definida con la

intención de crear un sistema lo más completo y flexible posible para aumentar el rango posible de pruebas experimentales.

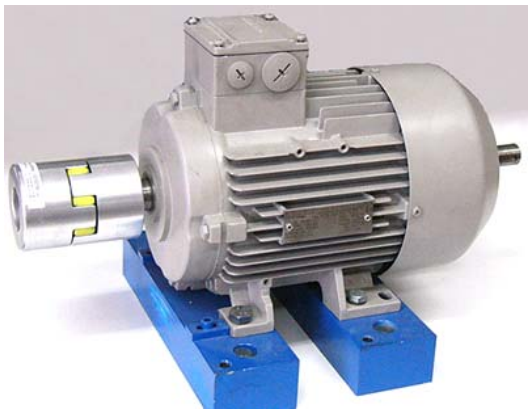


Fig. 8.7 Motor de inducción de 1,1 kW.

Las características técnicas y dimensionales de los motores se han incluido en el Anexo I.

Para su funcionamiento, van a existir dos posibilidades, la primera será el control de uno de los servomotores mediante el *SIEMENS Simovert* programable mediante PC, en el otro caso, va a ser el control de los motores de jaula de ardilla mediante un variador de frecuencia *DANFOS*, aunque en el presente proyecto, únicamente se va a usar la primera opción.

La bancada está constituida por una base de tubo cuadrado de 60 mm de lado. Sobre esta base, están colocados una serie de soportes hechos a medida para cada uno de los motores para conseguir un alto grado de alineación. Para el intercambio de los motores, se ha optado por hacer estas bases intercambiables. Finalmente, se le van a añadir una serie de lapas antivibratorias para evitar al máximo las vibraciones producidas por el funcionamiento, estas lapas además, van a llevar un sistema de regulación de altura para poder ajustar correctamente la horizontalidad de la base con la consiguiente disminución de movimientos posibles.

La unión entre motores, se va a llevar a cabo mediante una serie de acoplamientos elásticos. Este tipo de acoplamiento, permite absorber eventuales desalineamientos relativos de los ejes de los motores sustancialmente mayor a los acoplamientos rígidos sin una pérdida significativa de rendimiento, y provocando un menor efecto negativo sobre los componentes mecánicos de los motores.

Las características básicas de los acoplamientos ROBA – ES 940 (Fig. 8.8) usados son:

Dureza Shore: 92 Sh A.

Temperaturas admisibles: - Temperatura estable de – 40 ºC hasta + 90 ºC

- Temperatura máxima temporal de -50 ºC hasta + 120 ºC

Tamaño	Par (Tornillo de presión)	Par (Tornillo de Apriete)	Medida de Distancia
28 mm	25 N·m	6 N·m	20 mm

Fig. 8.8 Acoplamiento elástico ROBA – ES.

Para ver sus características técnicas completas ver soporte informático.

8.5. dSPACE

La placa dSPACE, es un circuito impreso controlado por un PowerPC (PPC) que se va a integrar en el propio PC y que se va a convertir en el núcleo de cálculo del sistema, ya que será la encargada del control general del funcionamiento del convertidor back – to – back.

Este componente, se puede subdividir en dos grandes bloques, el hardware, que consiste en el circuito impreso, los conectores para las entradas y salidas tanto desde el PC hacia la placa como desde la placa al exterior, en segundo lugar encontramos el software, mediante el cual se programará la respuesta del PPC (MATLAB – SIMULINK), se compilará la programación resultante (REAL-TIME WORKSHOP), y se visualizarán los resultados deseados (CONTROL DESK).

8.5.1. Hardware

La placa con la que se trabajará es la DS1103 (ver soporte informático para especificaciones técnicas), la cual está basada en el procesador PowerPC 604e como *DSP Master*, y el procesador TMS320F240 DSP de Texas Instruments como *DSP Esclavo*.

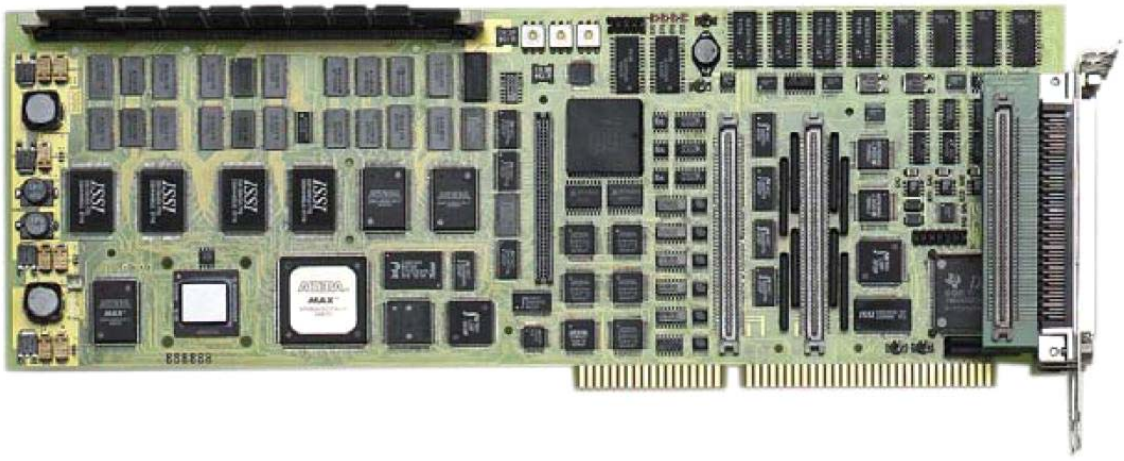


Fig. 8.9 Placa dSPACE 1103.

Como periféricos de comunicación, esta tarjeta dispone de:

- 16 entradas ADC multiplexadas + 4 entradas ADC directas.
- 8 salidas DAC.
- 6 entradas de encoder.
- 32 bits *(DSP Master)* + 18 bits (*DSP Esclavo*) de entrada/salida digital.
- Modulador PWM trifásico + 3 moduladores PWM individuales.
- Comunicación serie (RS – 232 o RS – 422) y bus CAN.
- 4 interrupciones hardware de usuario.

Para el proyecto desarrollado, únicamente se van a usar las entradas ADC, las 32 entradas/salidas digitales del PPC y 3 interrupciones de usuario, aunque hay que decir que el resto de conexiones se han tenido en cuenta a la hora del diseño de la placa de conexiones, para posibilitar su uso en un futuro por parte de otros proyectos relacionados.

8.5.2. Software

El software que se ha usado para la programación de la dSPACE y su control en tiempo real se puede separar en tres grandes bloques donde cada uno tiene un papel específico.

MATLAB – SIMULINK: Mediante este software de programación de alto nivel basado en diagramas de bloques, es posible la generación de complejos programas de manera sencilla, a la par que nos permite una rápida depuración de errores gracias a un buen sistema de avisos. Por otro lado, se aporta la posibilidad de simular previamente el comportamiento de la programación con lo que se puede ajustar el sistema de bloques para el comportamiento deseado sin perder excesivo tiempo en pruebas experimentales. Por último, hay que añadir que la placa dSPACE añade una serie de bloques al entorno SIMULINK que facilitan enormemente la tarea de uso y comunicación de la placa.

REAL-TIME WORKSHOP: Compilador que es capaz de traducir la programación implementada en SIMULINK a un código C adecuado para la configuración de la placa dSPACE. Desde un menú de SIMULINK es posible acceder a todas las opciones de configuración de este compilador necesarias para obtener el resultado deseado. En este proyecto únicamente se han tenido que ajustar las prioridades entre las líneas de interrupción que se han usado y los parámetros de tiempo de ejecución.

CONTROL DESK: Es el encargado de monitorizar los datos procesados por la dSPACE y una serie de señales transmitidas desde los sensores existentes en el convertidor. Esto se lleva a cabo dentro de un entorno gráfico muy sencillo para el usuario en el que a través de instrumentos virtuales, se pueden enlazar con cualquiera de las variables existentes en el modelo de SIMULINK.

8.6. UP2 de Altera

La placa UP2 es un circuito impreso incluido en el paquete de desarrollo del programa universitario de Altera que integra una PLD y una FPGA programables mediante JTAG, que se encargara del post-procesado de las señales recibidas de la placa dSPACE y adecuación para su uso en los drivers del convertidor.

8.6.1. Hardware

Esta placa incluye dos dispositivos programables (la EPM7128S de la familia MAX y la EPF10K70 de la familia FLEX10K) comandados por un **reloj/oscilador de 25,175MHz**. De entre ambos dispositivos, escogemos la de la familia FLEX10K, más potente y con más puestas lógicas. La **EPF10K70** está basada en tecnología SRAM, tiene un encapsulado de 240 pins y contiene 70.000 puertas típicas, 3.744 elementos lógicos (LEs) y 9 bloques de *arrays* programables (EABs).

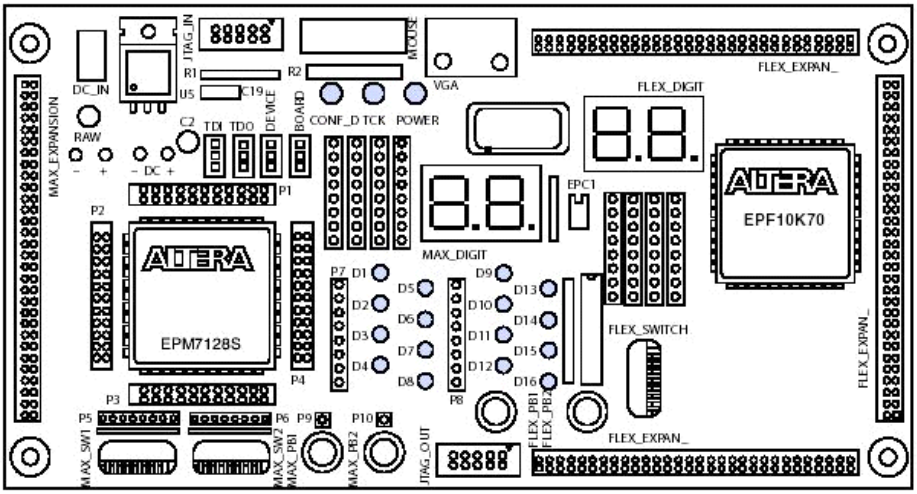


Fig. 8.10 Placa UP2 de Altera.

8.6.2. Software

MAX PLUS II BASELINE: Mediante este software de programación, es posible generar complejos diseños basados en la modularización de las funciones que debe llevara a cabo siguiendo un esquema parecido a la implementación de un esquema lógico de puertas. Así mismo, tiene la capacidad de implementar bloques en código VHDL, un lenguaje de programación de descripción de hardware.

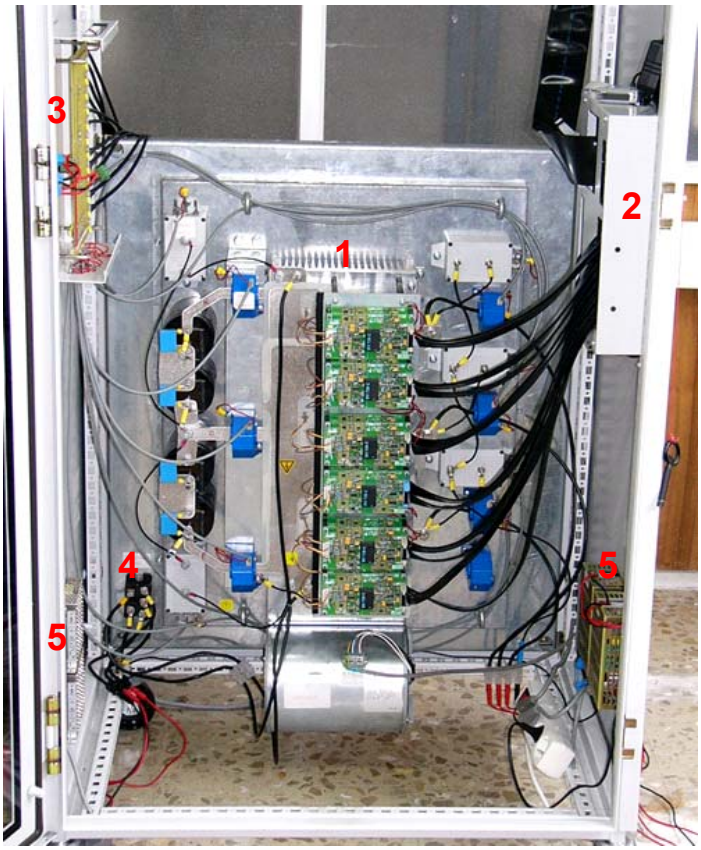
8.7. Armario

Para el montaje de una gran parte del hardware, se ha dispuesto de un armario metálico con capacidad para albergar dos convertidores, con lo que se puede montar el back – to – back en él. Para el montaje, ha sido necesaria una distribución adecuada de los componentes para facilitar el acceso a los diferentes puntos de medida que sean necesarios y minimizar

interferencias electromagnéticas (EMC), dentro de lo que también se incluye el apantallamiento de diferentes partes.

La toma a tierra de todos los componentes se ha realizado a través del armario, el cual finalmente va conectado a la tierra del edificio a través de un enchufe estándar.

En la siguiente imagen, puede verse la distribución de los componentes.



1. Convertidor.
2. Placa digital.
3. Placas analógicas.
4. Rectificador de diodos.
5. Fuentes de alimentación.

Fig. 8.11 Armario del convertidor.

8.8. Convertidor SEMIKRON

El subsistema del convertidor es el punto central del proyecto, ya que es propiamente la solución que se quiere desarrollar teniendo en cuenta las consideraciones hechas en el apartado 5.

Es el encargado de transformar el fluido eléctrico que recibe en forma de corriente continua a una tensión variable en un fluido eléctrico en fase con la red eléctrica y con una amplitud constante e igual a la de la red.

8.8.1. Hardware

El equipo principal usado es un inversor trifásico de tres niveles formado por 12 IGBTs controlados por sus correspondientes drivers. Como equipos accesorios para las pruebas experimentales, se puede añadir un rectificador no controlado a la entrada del bus de continua, mediante el que se van a hacer las pruebas de conexión a entradas de corriente alterna.

Hay que mencionar, que se han dispuesto todos los componentes dentro de un armario de forma que está todo preparado para la inclusión de otro convertidor de tres niveles igual al anterior, pero con función de rectificación, con lo que se conformaría el back – to – back final que se busca con este proyecto.

8.8.2. Software

Para el funcionamiento del convertidor, no existe ningún software específico, sino que el conjunto de hardware y software usados (UP2 de Altera, dSPACE y placa de interconexión), tienen el objetivo de formar su sistema de control.

8.9. Placa de interconexión

El nexo de unión de los distintos hardware de control usados se lleva a cabo mediante un circuito impreso diseñado y montado en el laboratorio, el cual es una actualización de un circuito ya usado en proyectos anteriores.

Las soluciones que se adoptan, se basan en una serie de especificaciones planteadas que permiten la correcta comunicación entre elementos, y añaden todas las capacidades posibles.

- Posibilidad de conectar dos convertidores simultáneamente.
- Ampliación de capacidades para placa dSPACE DS1103 respecto el hardware anterior.

Lo que implica el primer punto, es un aumento significativo del tamaño de la placa y un aumento en la cantidad y complejidad de las pistas necesarias para la implementación en circuito impreso. En base a esto, se ha llegado a la conclusión de que es necesaria la separación en varias placas de lo que anteriormente era una única placa.

Por otra parte, debido al uso de una nueva placa dSPACE, se ha tenido que hacer un rediseño de los conectores necesario para la inclusión de las nuevas características

disponibles, lo cual, ha llevado a plantear una separación diferente de las placas a la más evidente de una placa de conexiones por convertidor.

La separación escogida, ha sido la de desarrollar una placa de conexiones para la parte de señal (digital), la cual nos servirá de interfaz de conexión entre la dSPACE, la placa de Altera y los drivers, y dos placas para la parte analógica (una por convertidor, para reducir el espacio usado). De esta manera, además, se contribuye a la reducción de interferencias que puedan influenciar al sistema.

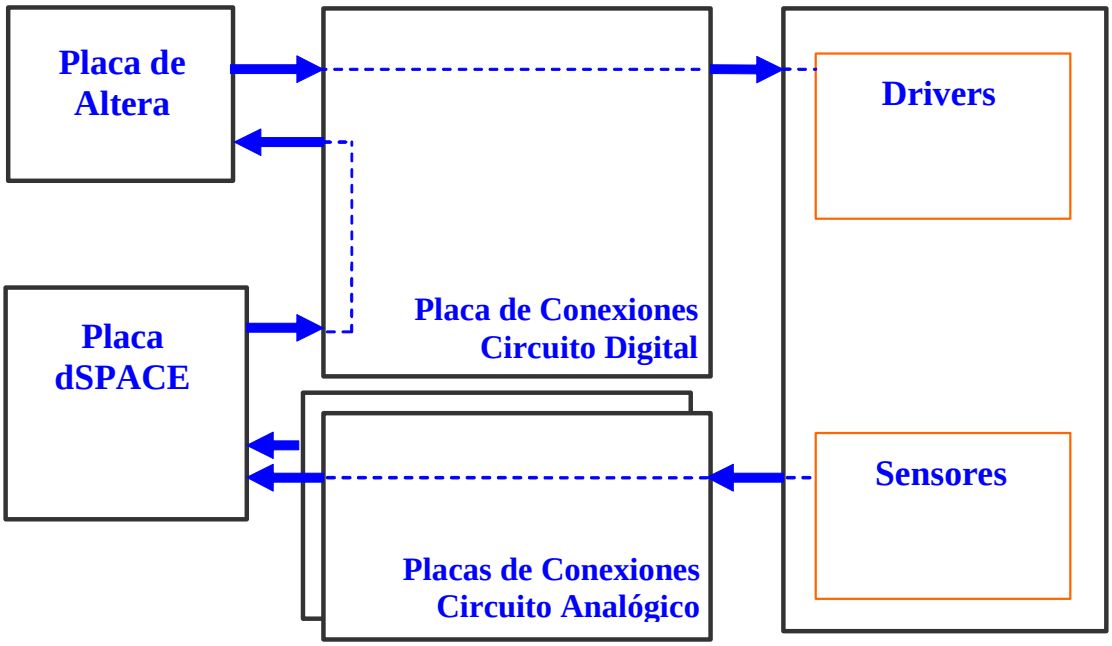


Fig. 8.12 Esquema de conexiones entre los componentes del sistema.

8.9.1. Circuito digital

Tal como se puede ver en el esquema anterior, existe una división dentro de este circuito, que se basa en circuitos alimentados a 5 V con lógica TTL, y los circuitos alimentados a 15 V con lógica CMOS. En lugar de usar dos fuentes de alimentación diferentes para cada lógica, la solución adoptada es la inclusión de un sencillo circuito regulador, que va a transformar la entrada de 15 V a 5 V con el que alimentar esos puntos.

Las siguientes figuras corresponden al esquema del circuito digital a 5 V.

La figura 8.13 corresponde a los conectores dSUB – 37 y al conector FLEX_EXPAN_C.

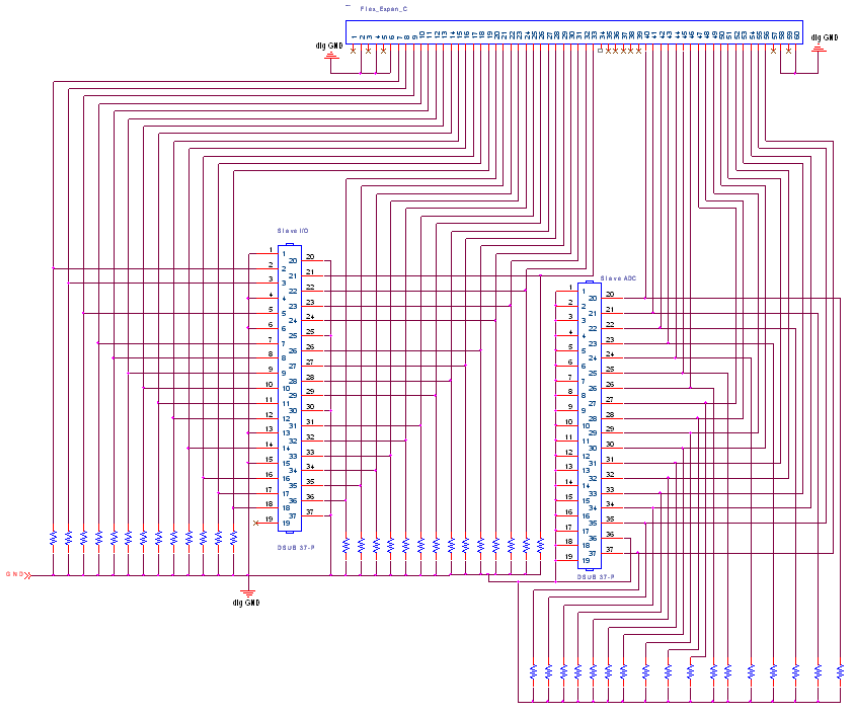


Fig. 8.13 Primera parte del esquema del circuito alimentado a 5 V.

La figura 8.14 corresponde a los conectores dSUB – 50 y dSUB – 9 junto con el conector FLEX_EXPAN_A.

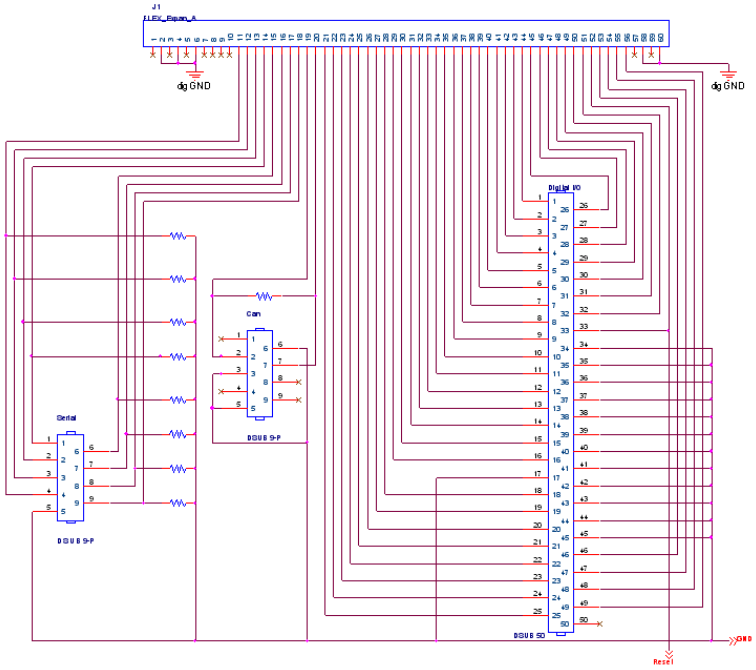


Fig. 8.14 Segunda parte del esquema del circuito alimentado a 5 V.

La figura 8.15 corresponde al circuito regulador de tensión.

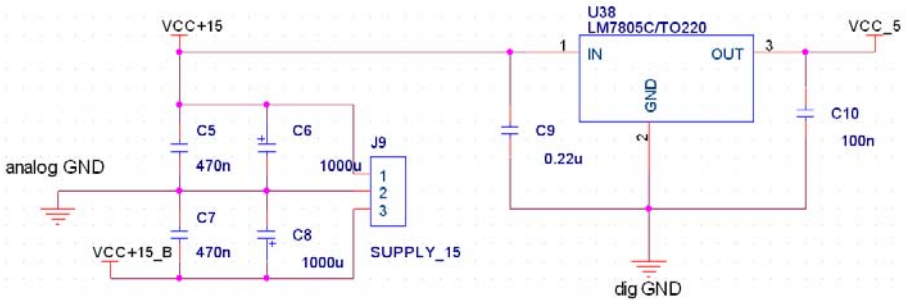


Fig. 8.15 Circuito regulador de 15 V a 5 V.

En estos esquemas, se pueden ver los diferentes conectores que comunican la placa de conexiones con la placa dSPACE:

- *dSUB – 50*: Corresponde a la comunicación digital I/O con el PPC, y será mediante el cual se transmitirán las señales de información d_{ap}, d_{bp}, d_{cp}, d_{an}, d_{bn}, d_{cn}, y las señales de control, reset, encendido, tipo de lógica usada (positiva o negativa), frecuencia de conmutación, blanking time y información que se está mandando.

- *dSUB – 37 (Slave I/O)*: Comunicación I/O digital con el Esclavo (DSP).

- *dSUB – 37 (Slave ADC):* Comunicación PWM con el Esclavo (DSP).

- *dSUB – 9 (Serial):* Comunicación serie (RS – 232 o RS – 422).

- *dSUB – 9 (Can):* Bus CAN.

Los conectores dSUB – 9 y dSUB – 37 no son necesarios para el funcionamiento del sistema montado, ya que las capacidades que disponibles mediante la conexión digital del Master son suficientes para cumplir las especificaciones.

La conexión entre la placa de conexiones y la placa UP2 de Altera, se va realizar mediante tres cables planos apantallados conectados a través de los conectores FLEX_EXPAN que se encuentran situados en ambas placas. La distribución de los pines respecto las señales necesarias que se ha realizado viene detallada en el Anexo F.

El resto de conectores, se han implementado físicamente con la intención de tener un desarrollo abierto a un futuro donde se necesiten nuevas funcionalidades del sistema, aunque en el momento actual, no se usan para ningún propósito.

La siguiente figura 8.16, corresponde al esquema del circuito digital a 15 V.

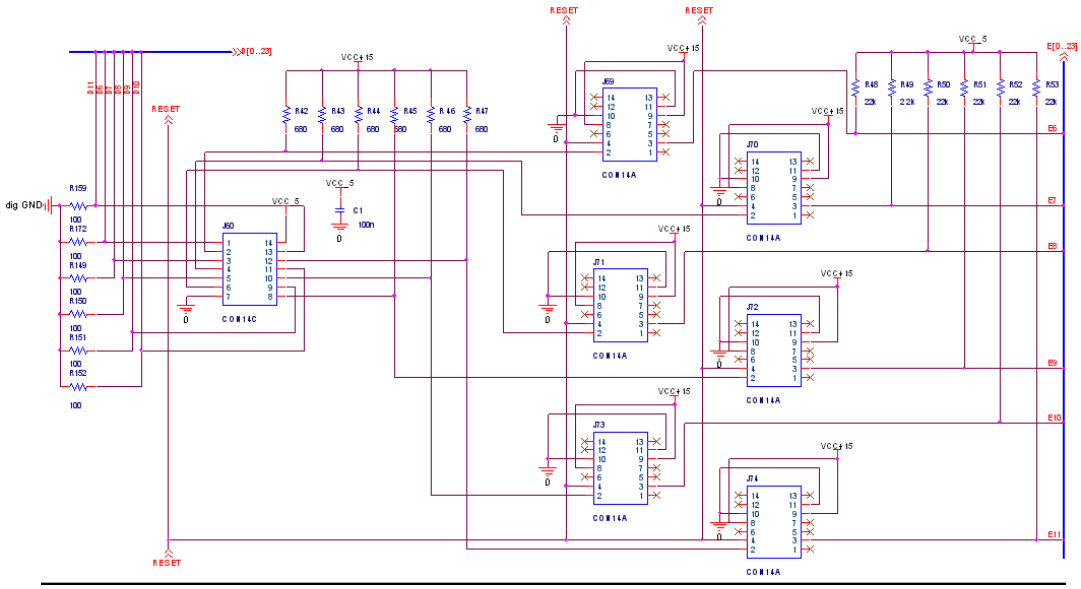


Fig. 8.16 Esquema del circuito alimentado a 15 V.

8.9.2. Circuito analógico.

El circuito analógico (fig 8.17), se encargará del acondicionamiento de las señales adquiridas mediante los sensores de tensión y corriente para su uso en la placa dSPACE.

Éste circuito, se puede descomponer en tres fases, donde cada una de ellas, tiene una función independiente.

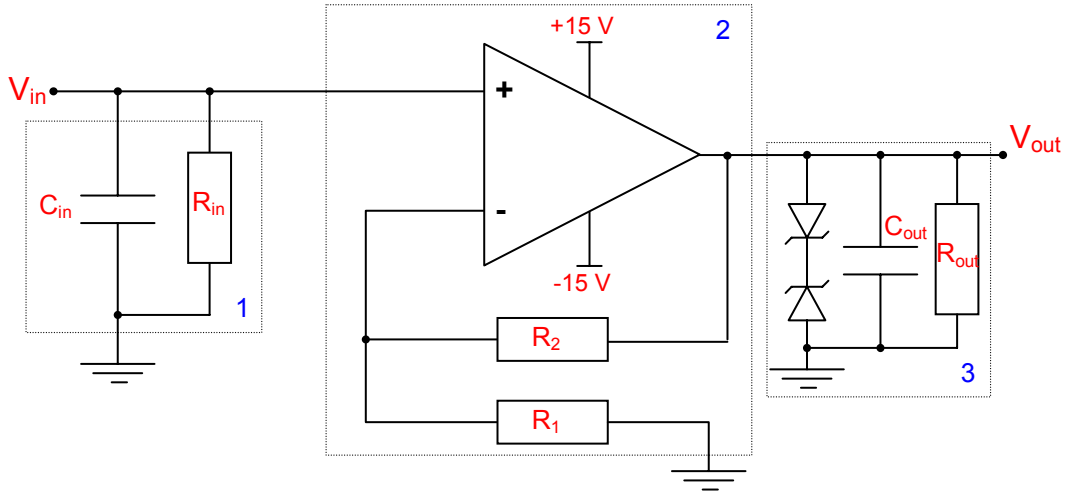


Fig. 8.17 Esquema circuito analógico

La fase de entrada, esta compuesta por un circuito RC (Fig. 8.17 – 1), que va a tener dos funciones. La primera función es la de transformar la señal de corriente que se recibe de los sensores a una señal de tensión.

Los sensores del convertidor, mandan un corriente proporcional a la tensión o intensidad que miden, siendo de 50 mA para 500 V en los de tensión y 50 mA para 100 A para los de corriente.

$$V_{IN} = R_{IN} \cdot i_{IN} \qquad \text{(Ec. 8.1)}$$

Antes de la fase de amplificación (fig. 8.17 – 2), se quiere obtener un rango de tensión [0..9 V] por lo que escogiendo un límite superior de 600 V de tensión de entrada del convertidor, se obtiene (ec. 8.1) una resistencia R_{in} = 150 Ω.

$$P = V_{IN} \cdot i_{IN} = 9 \cdot 0{,}06 = 0{,}54\,W \qquad \text{(Ec. 8.2)}$$

Otra característica importante es el uso de resistencias de 1 W de potencia en lugar de las típicas de ¼ W, a causa de la potencia necesaria que va a disipar (ec. 8.2).

$$R_{IN} \cdot C_{IN} = \frac{1}{2 \cdot \pi \cdot f} \qquad \text{(Ec. 8.3)}$$

Finalmente, este circuito RC, nos actúa de filtro pasa-bajo, para al mínimo las interferencias que se puedan haber producido durante la transmisión de las señales desde los sensores. Teniendo en cuenta la resistencia de entrada escogida, y escogiendo un valor de capacidad normalizado C_{IN} = 680 nF, mediante la ecuación 8.3, obtenemos un valor de frecuencia de corte de f = 1560 Hz.

$$V_{OUT} = \frac{R_1 + R_2}{R_1} \cdot V_{IN} \qquad \text{(Ec. 8.4)}$$

La segunda fase (Fig. 8.17 – 2), es un circuito basado en un amplificador operacional en configuración no inversora, mediante el cual, escogiendo adecuadamente las resistencias, se puede ajustar el nivel de tensión de las señales al rango adecuado para su tratamiento en

la placa dSPACE (ec. 8.4). Para compactar el diseño, se ha optado por el uso del circuito integrado KF347, que incluye 4 amplificadores operacionales.

Teniendo en cuenta los valores admisibles por las entradas ADC de la placa dSPACE [-10..+10], y el rango obtenido antes de la etapa de amplificación se pueden obtener las resistencias necesarias en el circuito.

Se han escogido unos valores de R_1 = 1 kΩ y R_2 = 10 kΩ.

Por último, existe una fase final (Fig. 8.17 – 3) que corresponde a un circuito de seguridad compuesto por dos diodos zener enfrentados que van a limitar el nivel de tensión en caso de que se exceda el nivel máximo permisible (10 V), en paralelo con un filtro RC de salida con el que se consigue evitar cualquier posible acople de las señales que se envían hacía la dSPACE.

Se debe tener en cuenta a la hora de hacer el cálculo la impedancia de entrada de las líneas ADC [6] y la de salida del amplificador. Así, eligiendo una resistencia R_{OUT} = 1 kΩ para evitar pérdidas por disipación se obtiene una resistencia de salida equivalente ≈ 200 Ω y con una frecuencia de corte igual a la de entrada del circuito se obtiene con la ecuación 8.3 una capacidad C_{OUT} = 510 nF, por lo que al escoger el valor normalizado más cercano C_{OUT} = 470 nF, se obtiene finalmente una frecuencia de corte del filtro f = 1690 Hz.

El circuito se puede ver en la siguiente figura.

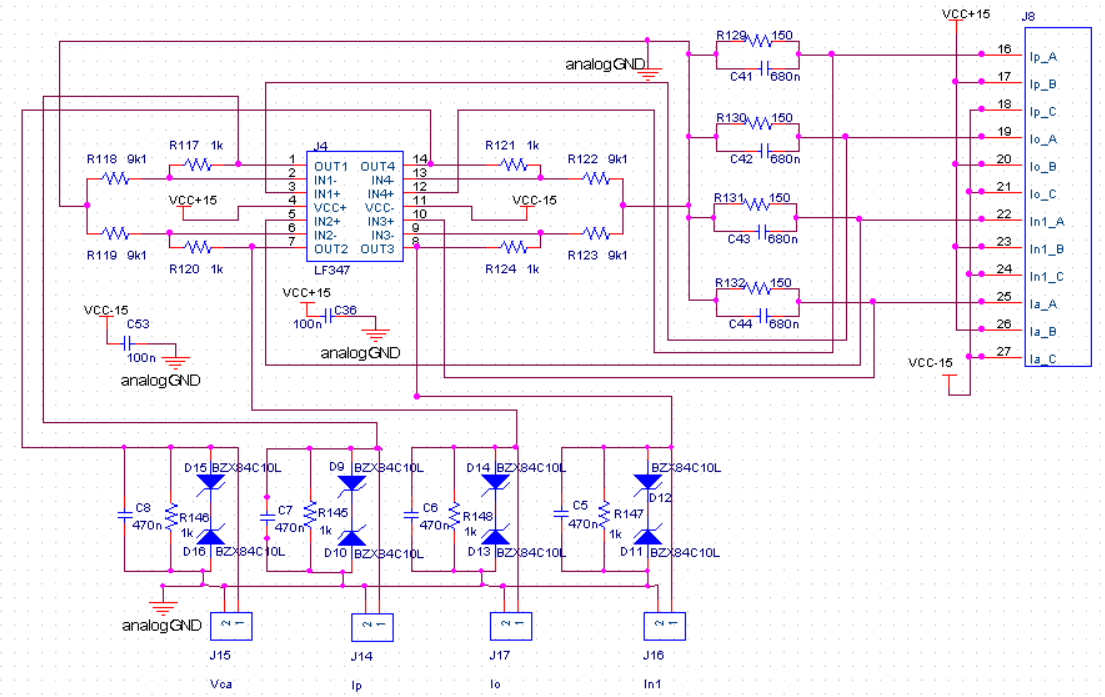


Fig. 8.18 Circuito analógico para un circuito LF347.

El último punto importante que se puede destacar del diseño del circuito integrado analógico es la separación en dos placas diferentes de las conexiones analógicas dedicadas a los dos conversores. La razón principal, es la reducción de espacio, ya que el desarrollo de una placa con 24 conexiones analógicas, hubiese supuesto una necesidad alta de espacio, por eso, lo que se ha hecho, ha sido la separación en dos placas, una por convertidor, que se situarán en planos paralelos.

8.9.3. Diseño del layout

Para la realización del layout de los circuitos impresos, se ha optado por desarrollar mediante el paquete de diseño de circuitos impresos, Microsim PCBoards dada su sencillez de utilización. Las placas se han llevado a cabo mediante un diseño a doble cara con vías pasantes metalizadas, para conectar ambos lados. Esta tecnología, ha sido escogida por varios factores:

- Número de líneas a conectar. El aumento de líneas, aumenta la complejidad para el desarrollo en una cara de todo el circuito impreso, y las necesidades de espacio.

- Facilidad de diseño.

- Tamaño del circuito impreso. El tipo de componentes que se van a usar (conectores de gran tamaño), limitan el tamaño mínimo de la superficie que se va a usar, y la necesidad de espacio suficiente para su correcta conexión.

- Económica. La fabricación a dos caras, es mucho más barata que la tecnología multicapa (con más de dos capas).

A parte, como característica adicional, se va a añadir una máscara antisoldante al circuito, para facilitar así el proceso de soldar los componentes.

Dentro del soporte informático, que han incluido los archivos necesarios para la fabricación de la placa.

En la siguiente página se pueden encontrar las figuras 8.19 y 8.20 del layout final de ambas placas.

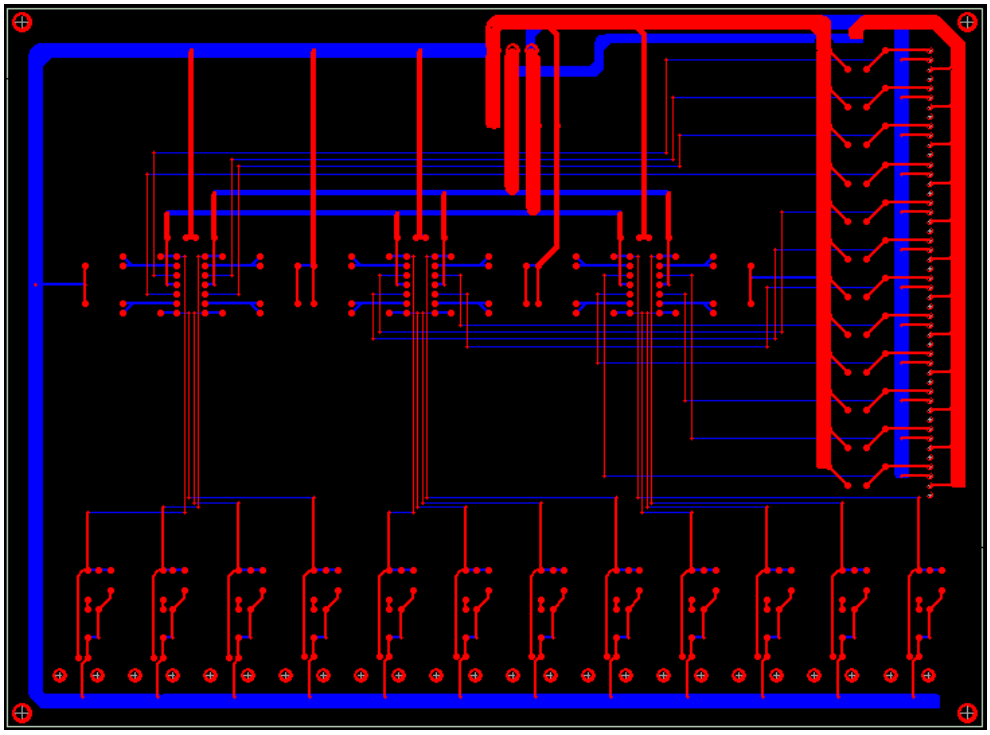


Fig. 8.19 Layout de la placa analógica.

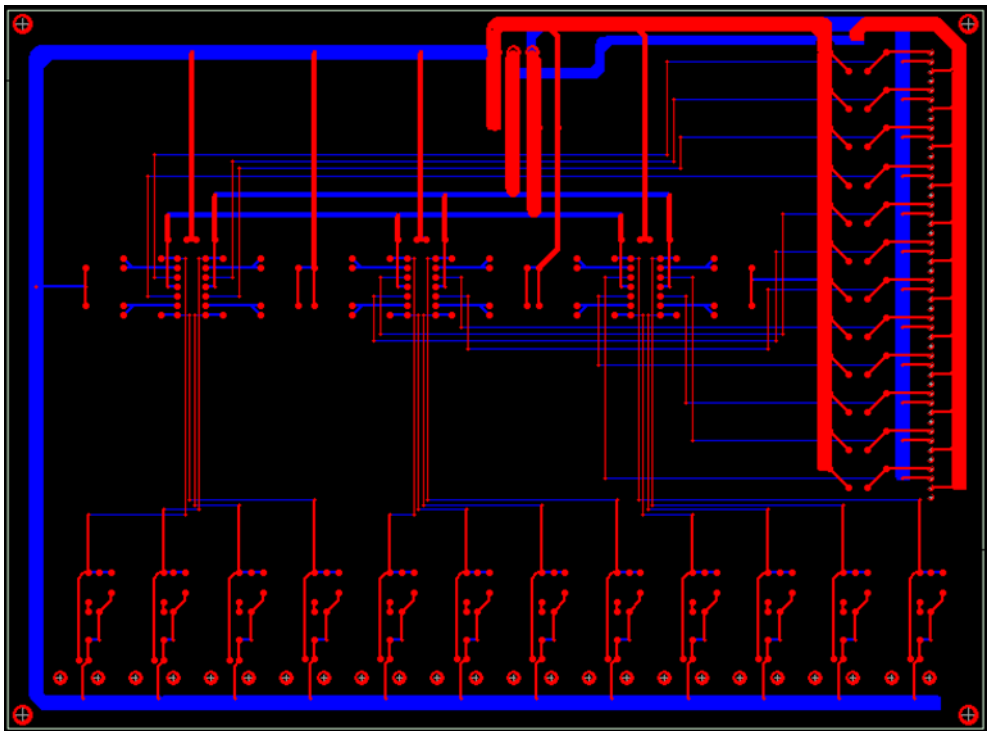


Fig. 8.20 Layout de la placa analógica.

9. Programación de control

Este apartado está destinado a realizar una descripción general de toda la programación desarrollada en el proyecto, separándose en dos partes según el software necesario para su implementación.

9.1. Programación en Matlab – Simulink

La programación de la placa dSPACE se desarrolla en SIMULINK, un entorno gráfico de programación del paquete matemático MATLAB. Este entorno, se basa en la interacción de una serie de bloques predefinidos que actúan como funciones. Por lo tanto, lo único que debe hacerse, es seleccionar los bloques necesarios y relacionarlos entre ellos para obtener la respuesta deseada.

9.1.1. Especificaciones

- Minimización tiempos de envío de los duty-ratios desde la dSPACE hacia la placa UP2 de Altera.
- Sincronización funcionamiento dSPACE – UP2.
- Simplificación para la modificación de parámetros del sistema de cara al usuario.
- Reconfigurabilidad del blanking time y frecuencia de la modulación PWM.
- Habilitar escalabilidad del número de duties a enviar.
- Optimización del código para reducción de tiempo necesario para su ejecución.
- Generalización de la programación para facilitar el uso de otras modulaciones.

9.1.2. Solución adoptada

Al plantear las especificaciones deseadas para el sistema, se descubren las limitaciones existentes por el uso de los bloques prediseñados debido al modo en que se ejecutan. En primer caso, se produce un envío escalonado bit a bit de la información tanto en el Master como en el Esclavo, que nos introduce un tiempo excesivo de envío, las cuales, no permiten alcanzar los requerimientos planteados. Por eso, se debe encontrar otro sistema con un mayor potencial, que nos permita solucionar el problema.

La posibilidad que se nos ofrece es el uso de un tipo de bloques especiales llamados S – Function, los cuales son la representación gráfica de una programación desarrollada en código C externa. Este tipo de bloques, por lo tanto, nos permiten una mayor flexibilidad a la hora de programar el sistema, ya que se puede acceder a un nivel más básico del uso de la placa dSPACE.

Programando directamente sobre código C, es posible la sincronización de una serie de bits; Por una parte se consigue el envío sincronizado de los 32 bits del Master, y en relación al esclavo, se consigue una sincronización por grupos de bits, según su estructura hardware de comunicaciones.

Inicialmente, se planta la posibilidad de hacer un envío de los 6 duties necesarios de una vez, por lo que se necesitan 48 bits de entrada/salida disponibles, que se puedan mandar de forma sincronizada o, que haya un tiempo mínimo de envío de la información. Mediante una serie de experimentos, se puede ver que el envío de esa cantidad de bits, si se quiere mandar por los bits de entrada/salida de Master + Esclavo, se hace de forma escalonada según el siguiente esquema:

- t = 0 µs; 32 bits del Master sincronizados.

- t = 8 µs; 4 bits (1er grupo) del Slave sincronizados.

- t = 14 µs; 7 bits (2^{o} grupo) del Slave sincronizados.

- t = 20 µs; 7 bits (3er grupo) del Slave sincronizados.

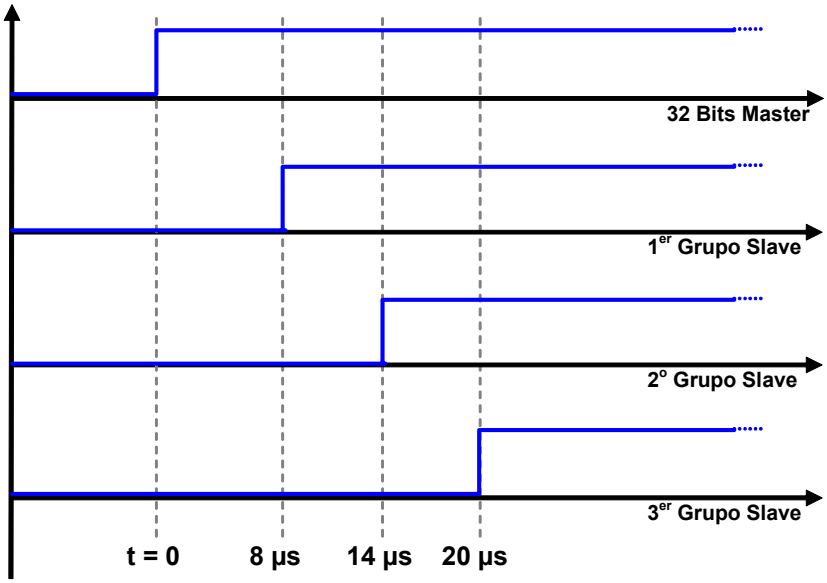


Fig. 9.1 Tiempos de envío dSPACE bits Master y Slave simultáneamente.

Aquí, se puede ver por lo tanto que existe un gran intervalo de tiempo para el envío de toda la información necesaria.

Como segunda opción, se planta el envío de ráfagas sucesivas de bits por parte del Master. Como se necesitan 48 bits, es necesaria una serie de 2 ráfagas. Esto, implica el envío de 64 bits. Mediante experimentación, se puede ver que la capacidad de envío por ráfagas, consume mucho menos tiempo que el envío de los bits a través de Master + Slave, ya que es posible enviar información cada 8 µs.

Llegados a este punto, queda claro que el mejor sistema para enviar la información, es el uso de ráfagas.

Por otro lado, a causa de este sistema de gestión de la información aparece otro punto a resolver, la distribución de la información necesaria para el funcionamiento en las dos ráfagas de 32 bits disponibles.

Las dos posibilidades que se plantean son:

- Envío 4 bytes + 2 bytes, con 16 bits libres en la segunda ráfaga.

- Envío 3 bytes + 3 bytes, con 8 bits libres en cada ráfaga.

Para la interacción con el sistema, es necesario el uso de información adicional (encendido, reset, lógica positiva – negativa, frecuencia de conmutación, blanking time y número de ráfaga enviada), la cual, con anterioridad, se mandaba a través del Esclavo o directamente desde la placa de conexiones mediante micro-interruptores, dejando el Master solo para el envío de duties. Con la posibilidad de mandar ahora esta información por el Master, se ve que para que el funcionamiento sea el correcto, la información debe ser transmitida en cada ciclo de reloj, por lo que es más factible el uso del envío de 3 duties por ráfaga.

Por otro lado, si no fuese necesario mandar la información en cada ciclo de reloj, aparecería el hecho de que se requiere una programación un poco más compleja para el correcto uso de la información de entrada, en función de la ráfaga en que nos situemos, que conduciría a un aumento de % de uso de la FPGA, el cual se intenta reducir al mínimo.

Por último, hay que decir que se ha optado por desarrollar en código C la mayor parte de la programación ya que aporta ventajas respecto el uso de bloques predefinidos. Se reducen los tiempos de interacción entre bloques, y se simplifica significativamente el tratamiento de la información.

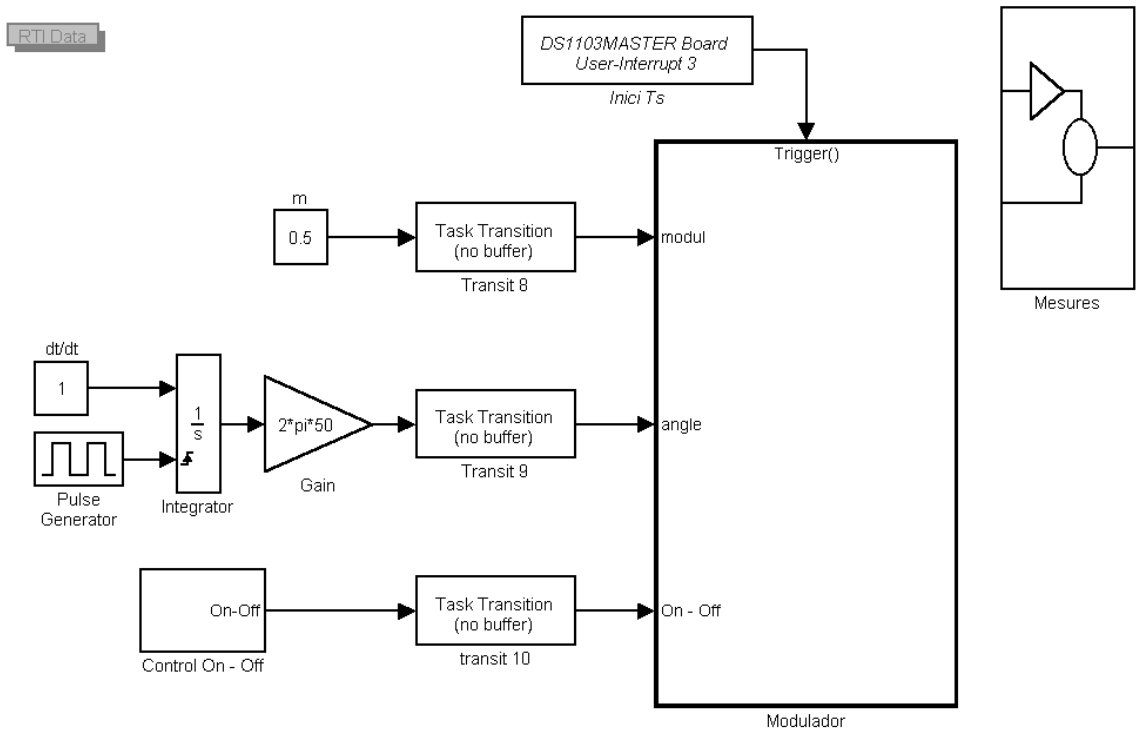


Fig. 9.2 Esquema general en lazo abierto de la programación en Simulink.

En la figura anterior, puede verse el modelo que se ha programado finalmente para el control en lazo abierto, donde se pueden distinguir las diferentes partes que lo integran.

Por un lado está el control de encendido y apagado del convertidor en el que se integran las señales de error posibles (Control On – Off). Está el bloque 'Modulador', encargado del cálculo y envío de los duties en función de las entradas 'modul' y 'angle' en cada periodo de conmutación, así como de las señales de control. Finalmente el bloque 'Mesures' es el encargado de agrupar la adquisición de las medidas de los sensores del convertidor.

Para ver más ampliamente la programación desarrollada, ver Anexo A.

9.2. Programación en Max Plus II Baseline

La programación de la placa UP2 de Altera se ha desarrollado en Max Plus II Baseline, un entorno gráfico de descripción de hardware. Este entorno está basado en la separación en bloques de las diferentes funciones necesarias y la interconexión entre ellas mediante una serie de líneas que transmiten las señales adecuadas.

9.2.1. Especificaciones

- Minimización del código necesario.
- Simplificación de las operaciones necesarias para el procesado de la información.
- Minimización tiempos de recepción y memorizado de los duty-ratios.
- Sincronización funcionamiento UP2 – dSPACE.
- Simplificación para la modificación de parámetros del sistema de cara al usuario.

9.2.2. Solución adoptada

En primer lugar se ha planteado la sincronización entre placas. Debido al tipo de procesado de la información que debe llevarse a cabo y a los tiempos en los que se desarrolla (dSPACE calcula la información rápidamente al inicio del periodo y luego espera y la FPGA debe distribuir la información durante todo el periodo), se ha elegido como reloj del sistema el reloj interno de la UP2 de 25,125 MHz, mediante el que a partir de divisiones, podremos llevar a cabo las tareas a las frecuencias deseadas.

La recepción de la información en un principio se planteó de manera totalmente síncrona, con lo que se debía generar todo un protocolo de comunicación entre placas a través de líneas de interrupción. Este método, finalmente queda descartado a causa de la necesidad de recepción de alguna información de manera asíncrona, ya que los eventos producidos entre puntos de sincronización no pueden ser tratados de manera adecuada, perdiendo así toda la funcionalidad deseada.

Por ello, se ha optado por el envío de la información con unos bits de control indicando el contenido que se está transmitiendo, y mediante la espera de unos tiempos adecuados para la completa estabilización de las señales, se adquieren para su procesado posterior (Fig 9.3).

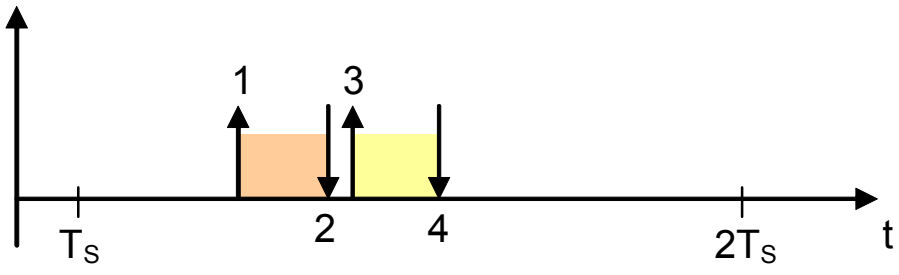


Fig. 9.3 Recepción y adquisición de los datos en la FPGA

1. Envío primera ráfaga desde la dSPACE hacía la FPGA.

1 – 2, 3 – 4. Tiempo de espera programado en la FPGA para la correcta estabilización de las señales en las líneas de entrada (5 µs).

2, 4. Adquisición de la información recibida por parte de la FPGA.

1 – 3. Tiempo de espera programado en la dSPACE para el envío de la segunda ráfaga hacia la FPGA (12 µs).

3. Envío segunda ráfaga.

El esquema general de funcionamiento de la FPGA, es el siguiente

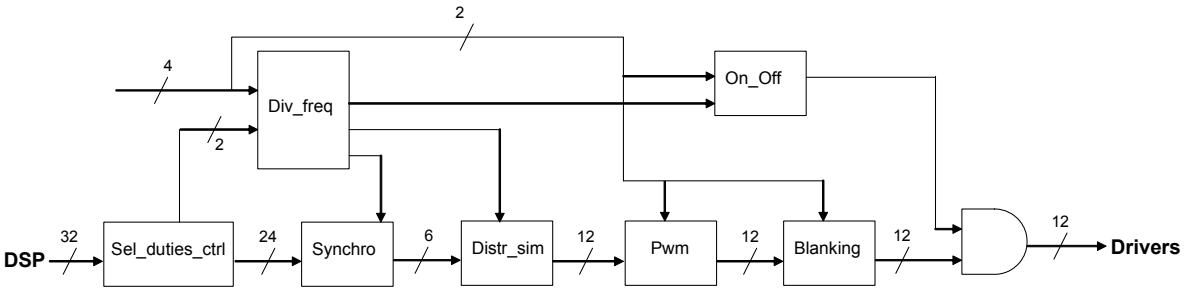


Fig. 9.4 Esquema general de la programación de la FPGA.

- **Div_freq:** Se encarga de generar, a partir del reloj principal de la placa de 25,175 MHz, el reloj para el cálculo del control en dSPACE (f_{CTRL}), un contador 510 veces más rápido que el anterior, encargado de distribuir los *duties* a lo largo de un periodo de conmutación en la FPGA (comp_510), la señal necesaria para la memorización de la información entrante (lect_raf_out) y la señal de cálculo de parámetros para la distribución de los duties (calcula).

- **Sel_duties_ctrl:** Se encarga de seleccionar entre la información entrante. Si el estado es OFF, coge la frecuencia y el blanking time para el sistema, y si el estado es ON, recibe los duty-ratios, guardando en memoria la última frecuencia y el blanking time que entraba en el estado OFF.

- **Synchro:** Formado por 64 registros tipo DQ, captura los valores de las 32 salidas digitales de dSPACE en función de la señal lect_raf. Los 24 bits/ráfaga se agrupan en 3 palabras de 8 bytes cada una.

- **Distr_sim:** Mediante los 6 duty-ratios de entrada se obtienen los parámetros necesarios para la distribución simétrica de los 9 duties a lo largo del periodo de conmutación.

- **PWM:** A patir del contador 'comp_510' distribuye los duty-ratios en señales de conmutación de los transistores (S1..S66). La conmutación de los interruptores es simétrica en cada fase, es decir, si durante el primer semiperiodo se conecta primero a P, luego a O y finalmente a N, en el siguiente semiperiodo reempieza por N, luego O y finalmente P, respetando la secuencia continua PON-NOP-PON-…

- **Blanks:** Incluye 12 sub-bloques que retrasan los flancos de subida de cada señal de conmutación el tiempo programado como blanking time, el cual, es configurable por software en tiempo real.

- **On_Off:** A partir de la señal de encendido y del reset, permite al sistema dar una salida hacia los drivers mediante una serie de puertas AND y su señal de salida, retrasada un tiempo suficiente para la estabilización de las señales de entrada.

Todos los bloques tienen habilitada una señal de **RESET**.

10. Resultados experimentales

En este apartado se van a presentar una serie de pruebas experimentales del sistema en diversas condiciones, tanto de alimentación como de carga y usando una modulación NTVSV PWM (Nearest Three Virtual Space Vectors) tanto en lazo abierto (fig.9.2) como en lazo cerrado (Anexo A, apartado A.4).

De esta manera, se puede evaluar y comparar el comportamiento del sistema en un amplio abanico de situaciones de funcionamiento posibles.

10.1. Requerimientos experimentales

10.1.1. Parámetros de funcionamiento

Los parámetros que se van a usar para el funcionamiento y adquisición de los datos son los siguientes.

- Frecuencia de conmutación de los transistores f_{CTRL} = 5 kHz.
- Blanking time = 1 µs.
- Módulo del vector de referencia para lazo abierto m = 0,75.
- Para lazo cerrado K_I = 0,4 K_P = 0,004.

Los tiempos de envío entre ráfagas desde la dSPACE son 12 µs, y los tiempos de adquisición de la información por parte de la FPGA una vez recibida la ráfaga es de 5 µs.

Las alimentaciones del sistema disponibles son:

- Fuente de alimentación CC de 1 kW de potencia, con tensión máxima de salida en vacío de 200 V.
- Fuente de alimentación AC.
- Conexión a red.
- Emulador de aerogeneración.

Las cargas de alterna que se van a usar son:

- Grupo de bobinas de 10 mH por fase y una carga resistiva de 16,5 Ω entre fase y neutro.
- Grupo de bobinas de 10 mH por fase y una carga resistiva de 34 Ω entre fase y neutro.
- Carga no lineal formada por un rectificador de diodos en puente completo y dos condensador en paralelo de 1 mF cada uno.
- Conexión a red.

La tensión de alimentación a la que se van a realizar las pruebas en lazo abierto es de V_{PO} = 180 V (tensión del bus de continua) a causa de las limitaciones de potencia y tensión asequibles mediante la fuente de continua, por lo que se ha escogido dejar un margen de seguridad suficiente para evitar problemas y permitiendo la comparación directa entre experimentos.

Para las pruebas en lazo cerrado, se va ha seleccionado un transitorio de tensión de consigna de 65 V a 85 V (La tensión de consigna indica la tensión fase – neutro que se quiere obtener a la salida del convertidor), con la intención de que las pruebas fuesen lo mas parecidas en cuanto a potencia tratada por el convertidor.

10.1.2. Bobinas después del motor.

En la conexión realizada de la bancada de motores al rectificador trifásico aparecen una serie de picos de corriente en cada fase a causa del cambio de estado de no – conducción a conducción, lo que lleva a que se produzcan unos picos de par equivalentes en el motor, influyendo negativamente en su funcionamiento y acelerando su desgaste mecánico. Para reducir este efecto, se ha optado por añadir un filtro L entre la salida del motor generador y la entrada del rectificador.

En las siguientes figuras, puede verse el efecto de este filtro de entrada a baja potencia, contribuyendo al alistamiento de la señal de corriente requerida.

El efecto de este filtro es más acusado como mayor es la potencia que se está transmitiendo, por lo que el efecto deseado será adecuado a las potencias de trabajo usadas en los experimentos.

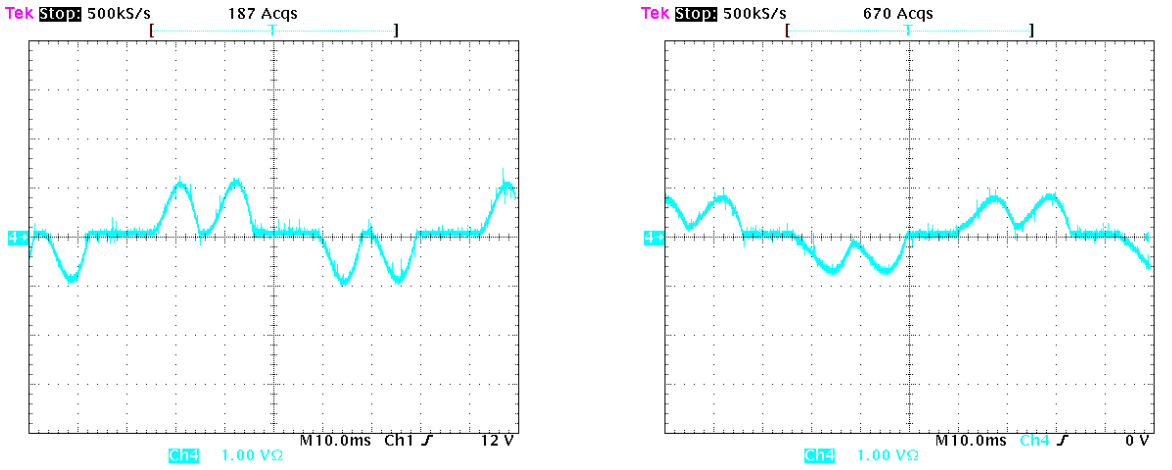


Fig. 10.1 I_a (*1 A/div*) a la salida del servomotor antes y después de la adición de un filtro L.

10.1.3. Causas de la descompensación del bus de continua

Tal como se pueden ver en los siguientes experimentos realizados en lazo abierto, se produce un desequilibrio en el bus de continua significativo. La causa de este desequilibrio ha resultado ser un mal funcionamiento de la carga resistiva de 16,5 Ω usada, en la que aparece una corriente de fuga hacia el neutro por parte de de alguna fase.

Por ello, en los experimentos en lazo cerrado, se ha realizado un cambio de carga con el fin de obtener unos resultados que se correspondan más fielmente con el comportamiento de la modulación y la programación de los componentes usada.

10.2. Lazo abierto

Las pruebas realizadas en lazo abierto tienen como finalidad la presentación de la respuesta estática del sistema frente a un amplio abanico de situaciones de funcionamiento, aumentando progresivamente las exigencias requeridas.

Para ello se presentan como resultados experimentales una serie de parámetros de funcionamiento del convertidor que se han considerado más adecuados para la visualización del funcionamiento así como para una comparación adecuada.

10.2.1. Alimentación: Fuente CC – Carga: RL

La primera prueba experimental se basa en una fuente de continua estable conectada directamente al bus de continua del convertidor, y con una carga RL que absorbe la potencia de manera estable.

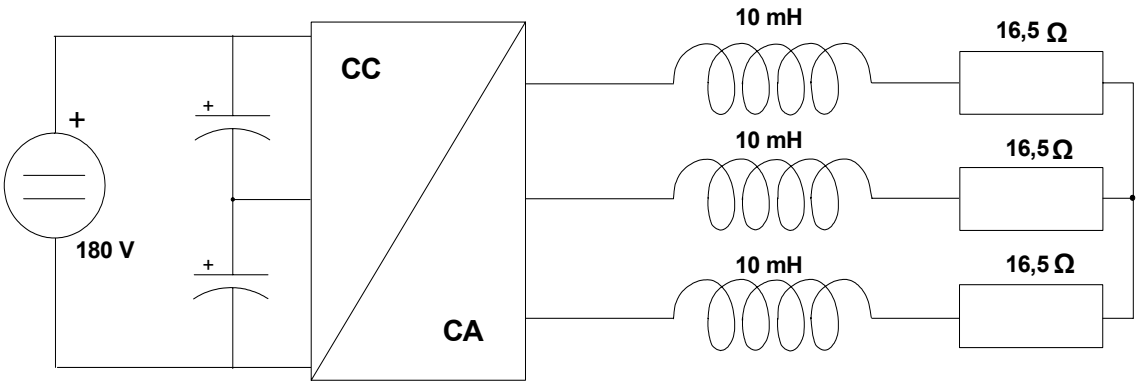


Fig. 10.2 Circuito del montaje experimental.

En la imagen de la izquierda puede verse claramente el funcionamiento de los transistores, que conectan a los distintos puntos de tensión posibles, generando la señal sinusoidal deseada.

En la imagen de la derecha pueden verse las tensiones ya filtradas, con el aspecto final. Puede verse que las señales están correctamente distribuidas en el tiempo (desfasadas 120º entre fases), así como el mantenimiento de una amplitud constante e igual en las tres fases.

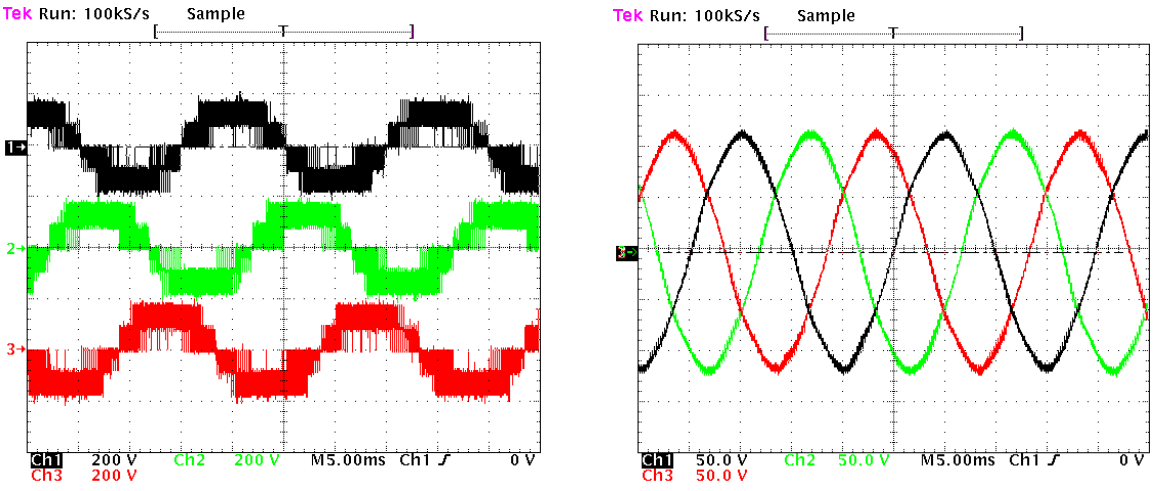


Fig. 10.3 V_{ab} (*Ch1)*, V_{bc} (*Ch2)*, V_{ca} (*Ch3)*, antes y después del filtro L de salida.

En la imagen de la izquierda puede verse la tensión V_{ab} que se obtiene en la salida de los transistores así como el contenido armónico de la señal, que da un máximo a una frecuencia de 10 kHz, el doble de la frecuencia de conmutación. En la imagen de la derecha pueden verse las mismas señales una vez pasado el filtro, donde se puede apreciar que el contenido armónico ha desaparecido casi en su totalidad.

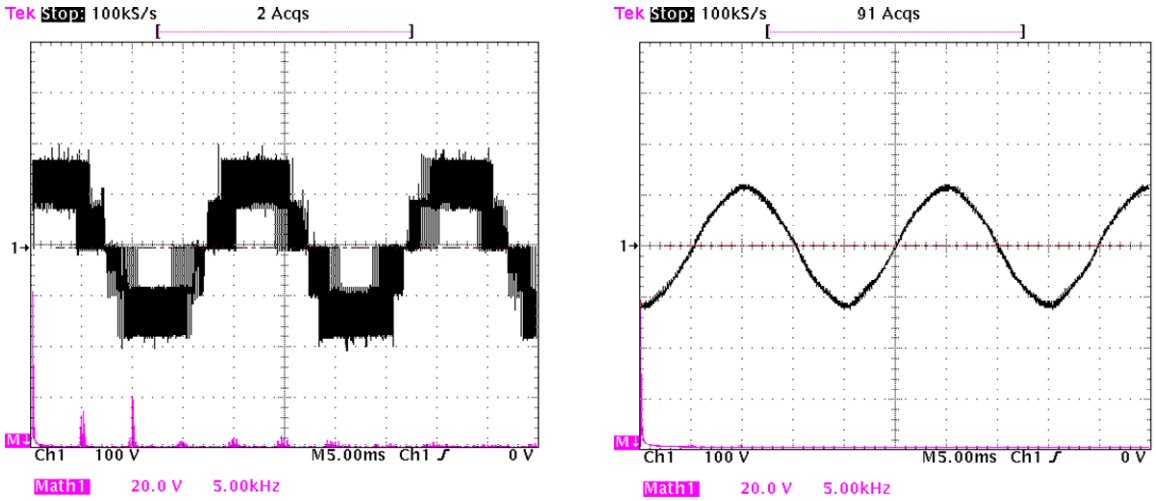


Fig. 10.4 V_{ab} (*Ch1*) i FFT(V_{ab}) antes y después del filtro L.

En las siguientes figuras puede verse el estado del bus de continua en los dos estados posibles, sistema apagado y en funcionamiento. Puede verse que el bus se mantiene estable a lo largo del tiempo, aunque aparece un pequeño desequilibrio de hasta 6 V en funcionamiento del convertidor.

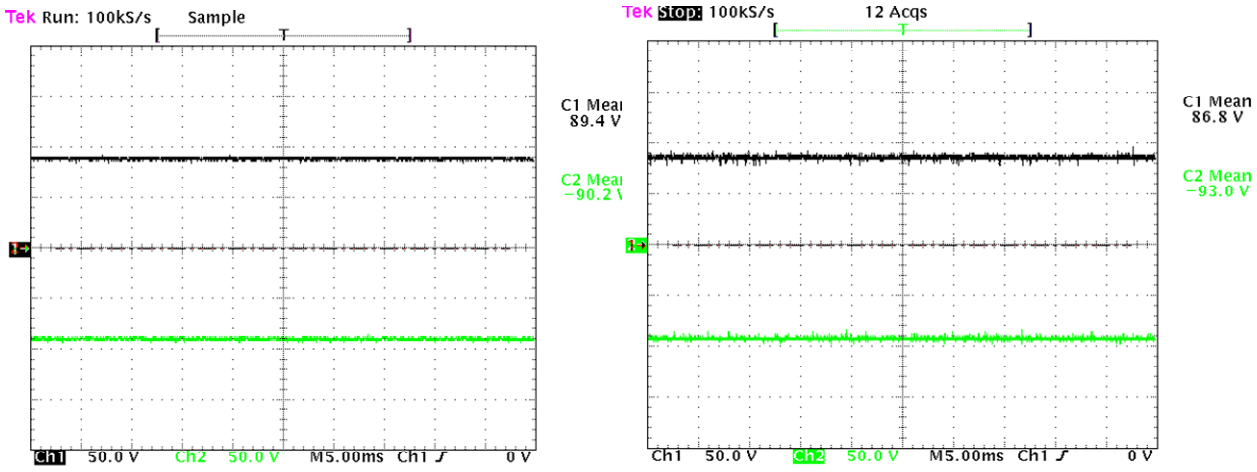


Fig. 10.5 V_{PO} (*Ch1*) i V_{NO} (*Ch2*) con el sistema apagado y encendido.

En la imagen pueden verse las corrientes de salida del convertidor una vez filtradas. Puede verse que están equilibradas y correctamente repartidas en el tiempo.

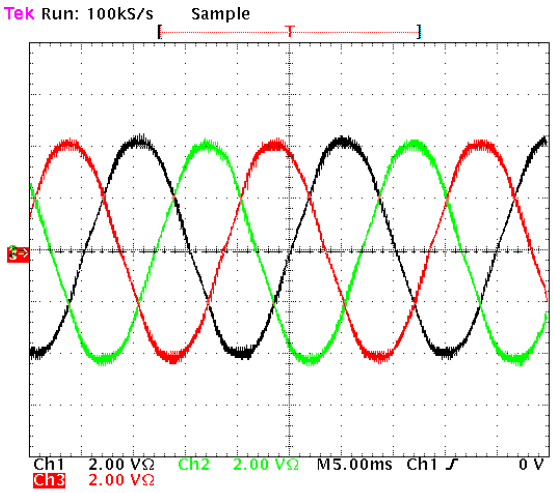


Fig. 10.6 I_a (*Ch1*), I_b (*Ch2*), I_c (*Ch3*) después del filtro L (*2 A/div*).

10.2.2. Alimentación: Fuente CC – Carga: No lineal

La segunda prueba experimental incluye una fuente continua estable conectada directamente al bus de continua del convertidor, y con una carga no lineal formada por un rectificador de diodos no controlados, una carga capacitiva y una resistencia.

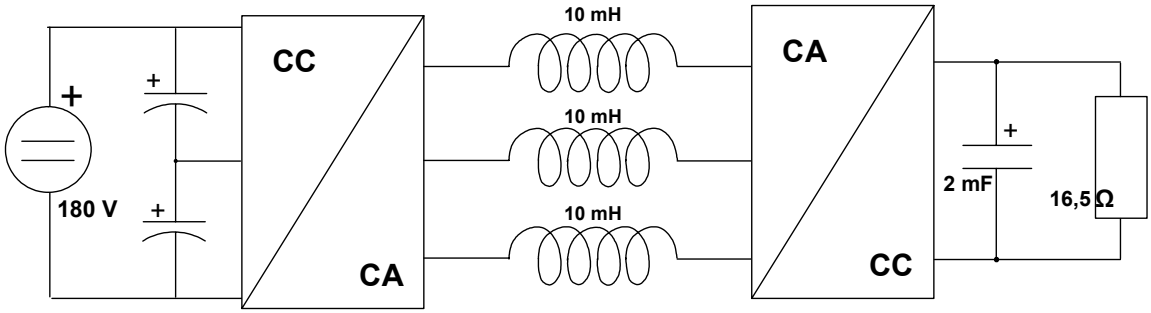


Fig. 10.7 Circuito del montaje experimental.

En la figura de la izquierda se han incluido varias señales características de la prueba, en el canal 1 (negro), puede verse la tensión del bus de continua V_{on}, en el canal 2 y 3 (verde y rojo) pueden verse las tensiones de salida V_{ab} y V_{bc}, y en el canal 4 (azul) puede verse la corriente de salida del convertidor I_a (*2 A/div*).

En la figura de la derecha, puede verse el bus de continua del convertidor, que se mantiene estable aunque un poco desequilibrado (algo mas que en la prueba anterior), llegando hasta 8 V.

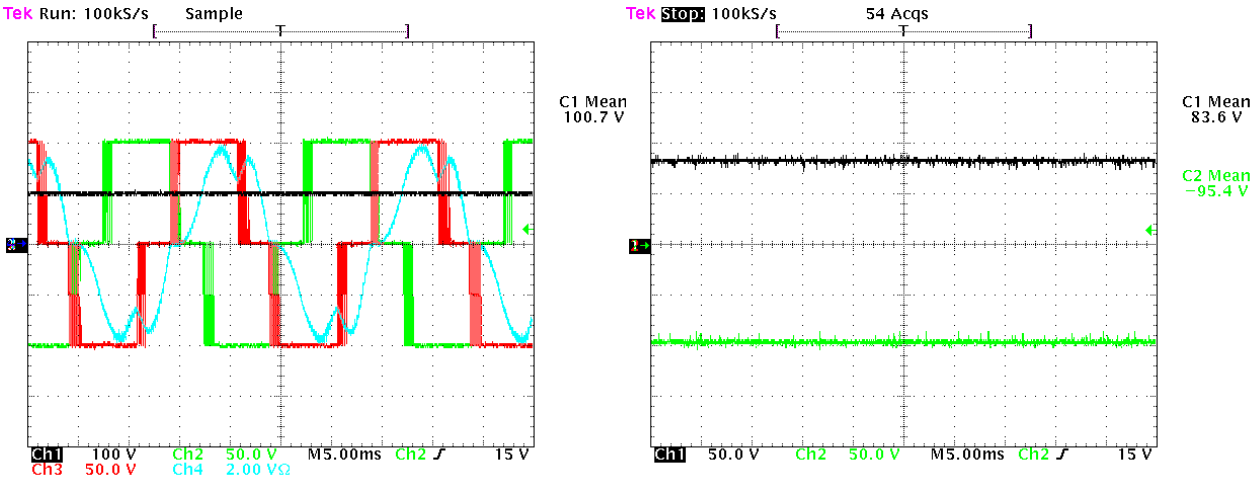


Fig. 10.8 V_{ON}, V_{ab}, V_{bc}, I_a y V_{PO} (*Ch1*) i V_{NO} (*Ch2*) con el sistema encendido.

En la figura de la izquierda pueden verse las tensiones de fase de salida del convertidor y en la de la izquierda las corrientes de fase.

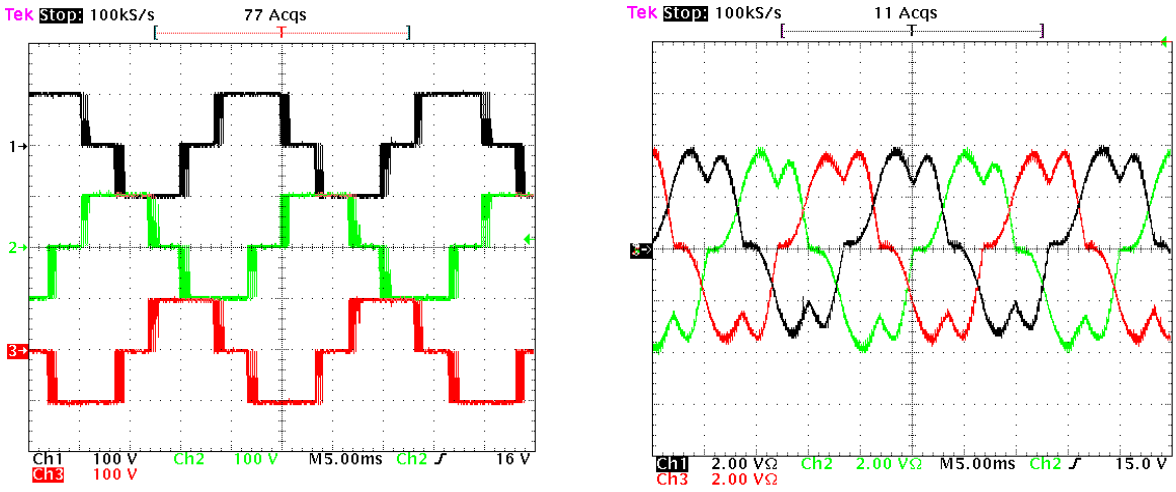


Fig. 10.9 V_{ab} (*Ch1*), V_{bc} (*Ch2*), V_{ca} (*Ch3*) y I_a (*Ch1*), I_b (*Ch2*), I_c (*Ch3*), *2 A/div*.

10.2.3. Alimentación: Emulador eólico – Carga: RL.

La tercera prueba experimental ya incluye la parte generadora en alterna y está formada por la bancada de motores controlada que alimenta el inversor multinivel mediante un rectificador de diodos no controlados. Como carga se ha usado una carga RL.

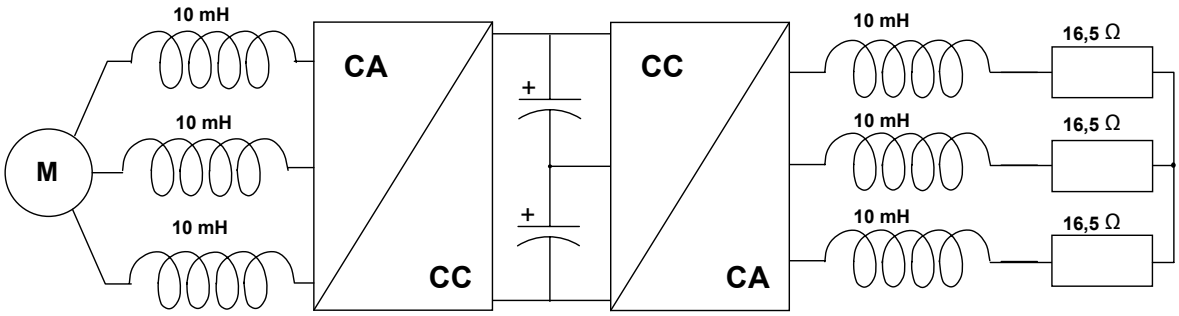


Fig. 10.10 Circuito del montaje experimental.

En la figura de la izquierda pueden verse las corrientes de fase de entrada suministradas por el motor y en la de la derecha pueden verse las corrientes de fase que suministra el inversor hacia la carga.

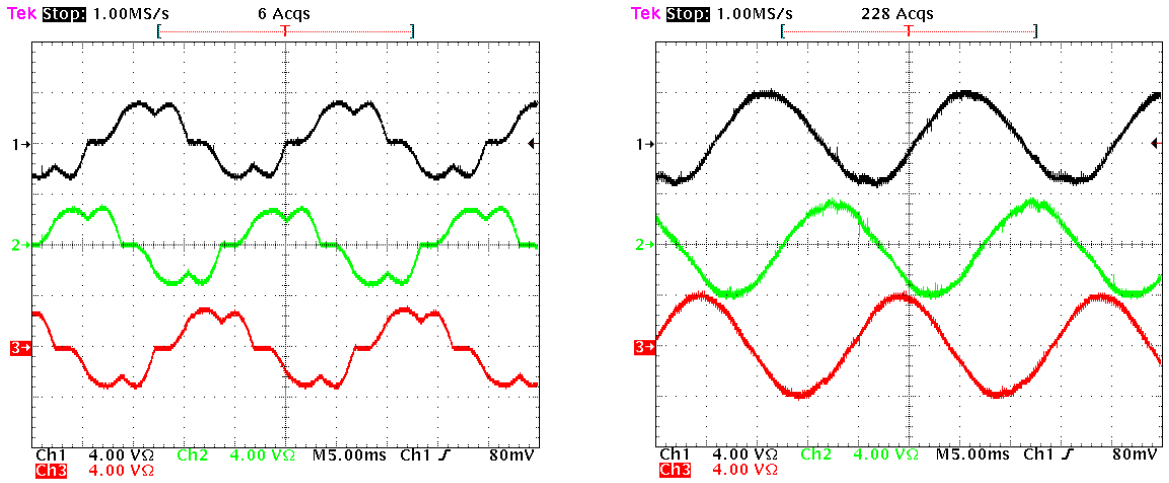


Fig. 10.11 I_a (*Ch1*), I_b (*Ch2*), I_c (*Ch3*) de entrada y salida al sistema (*4 A/div*).

En la figura de la izquierda puede verse el bus de continua del inversor que se mantiene estable, aunque con un pequeño desequilibrio de unos 7 V (similar a los experimentos anteriores).

En la figura de la derecha pueden verse las tensiones de fase que se obtienen en el inversor a su salida.

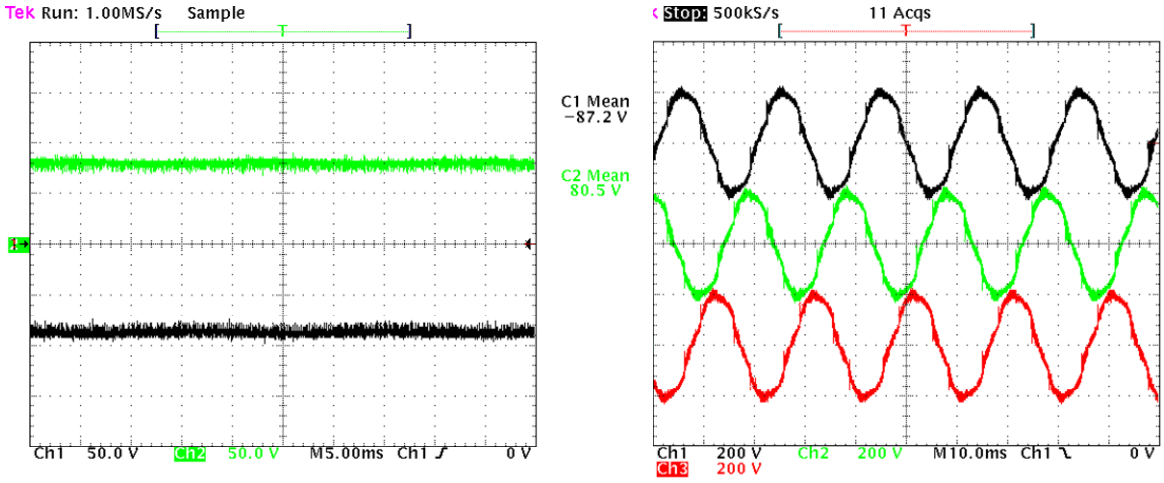


Fig. 10.12 V_{PO} (*Ch1*), V_{NO} (*Ch2*) y V_{ab} (*Ch1*), V_{bc} (*Ch2*), V_{ca} (*Ch3*) en la entrada antes del filtro L.

10.2.4. Alimentación: Red eléctrica – Carga: RL

La última prueba en lazo abierto realizada tiene como parte generadora la red eléctrica (no controlada), conectada al inversor mediante un rectificador de diodos no controlados, y una carga RL para absorber la potencia generada.

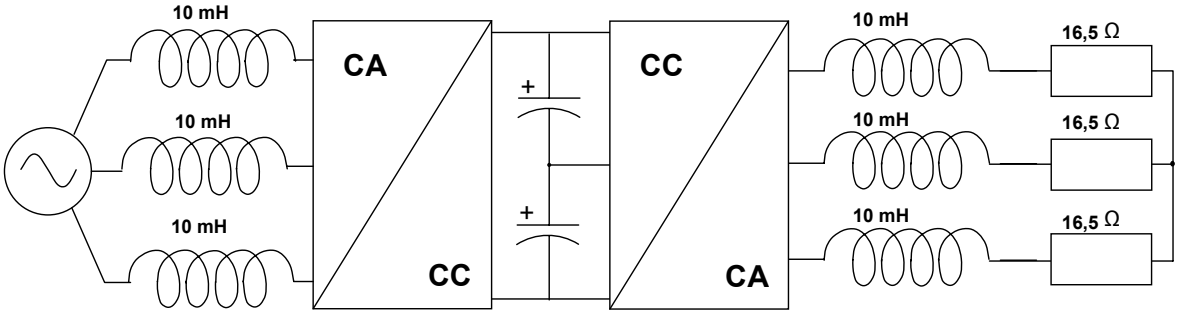


Fig. 10.13 Circuito del montaje experimental.

En las siguientes imágenes pueden verse las corrientes de fase que se obtienen en la entrada del convertidor (izquierda) y a su salida (derecha). Puede verse que la salida de mantiene estable y con una amplitud constante.

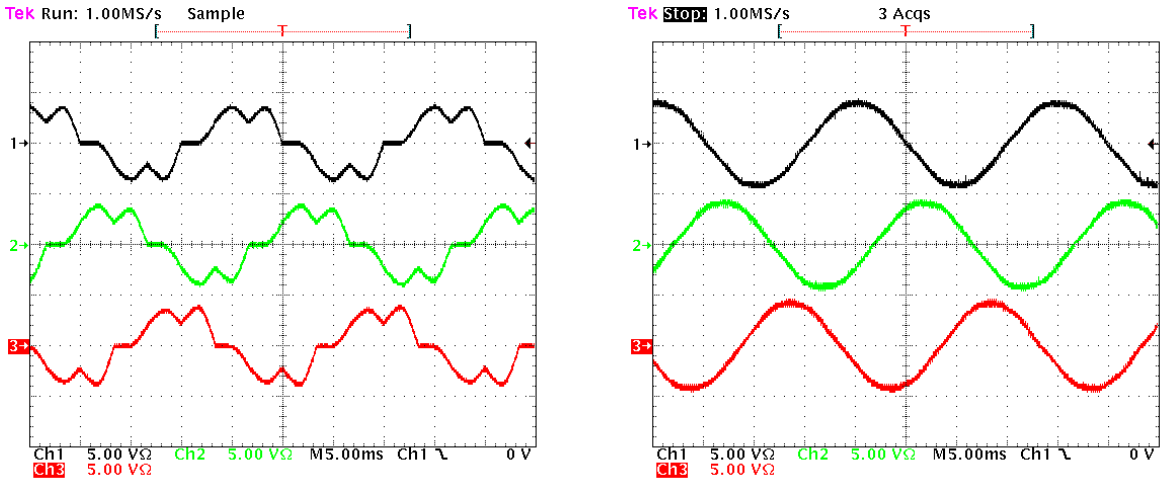


Fig. 10.14 I_a (*Ch1*), I_b (*Ch2*), I_c (*Ch3*) de entrada y salida al sistema (*5 A/div*).

En la figura de la izquierda puede verse el bus de continua del convertidor que mantiene un pequeño desequilibrio de 11 V constante en el tiempo, y en la figura de la derecha pueden verse las tensiones de alimentación del sistema.

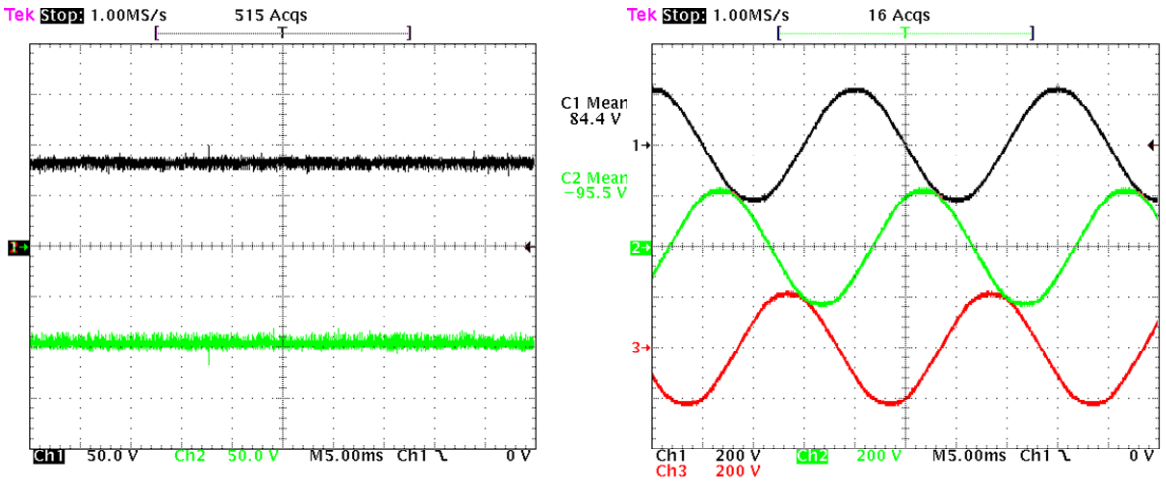


Fig. 10.15 V_{PO} (*Ch1*), V_{NO} (*Ch2*) y V_{ab} (*Ch1*), V_{bc} (*Ch2*), V_{ca} (*Ch3*) en la entrada, antes del filtro L.

10.3. Lazo cerrado

Las pruebas realizadas en lazo cerrado tienen como finalidad la presentación de la respuesta dinámica del sistema, una vez probado su correcto funcionamiento en lazo abierto.

Para ello, se ha llevado a cabo un transitorio de tensión de funcionamiento con la intención de demostrar la fiabilidad de la respuesta ante los cambios así como realizar una primera medida experimental de los tiempos de respuesta que pueden esperarse.

El tiempo de respuesta indicado es el necesario para que la salida del sistema llegue hasta un valor de consigna comprendido entre el 95 % y el 100 %.

10.3.1. Alimentación: Fuente CC – Carga: RL

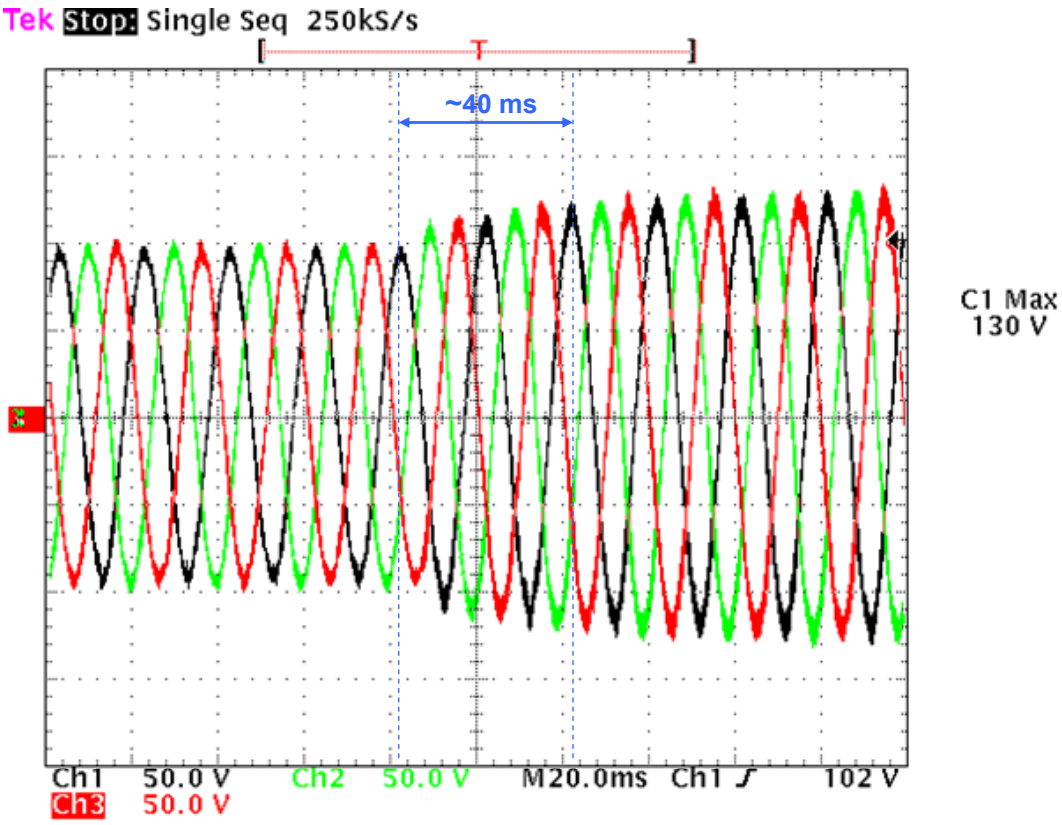


Fig. 10.16 Transitorio V_{ab}, V_{bc}, V_{ca} en la salida después del filtro L.

10.3.2. Alimentación: Emulador eólico – Carga: RL

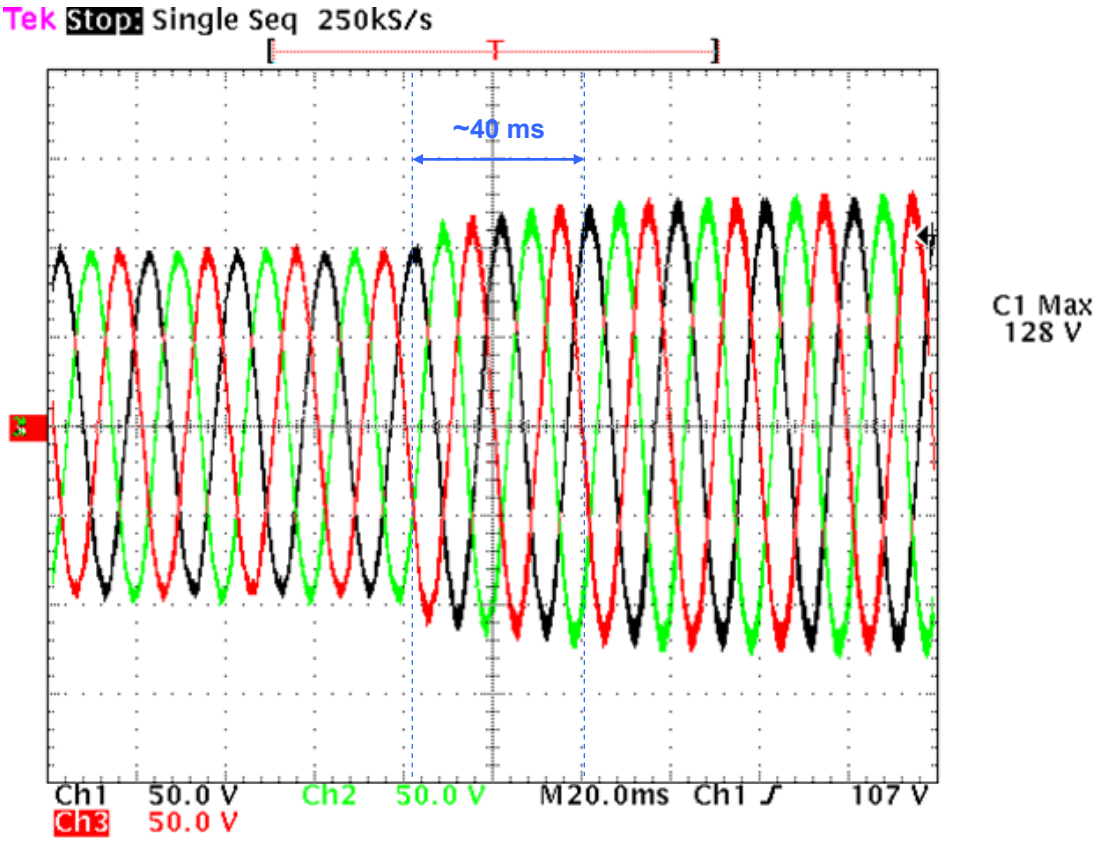


Fig. 10.17 Transitorio V_{ab}, V_{bc}, V_{ca} en la salida después del filtro L.

11. Conclusiones

En el presente proyecto, se ha realizado el montaje y puesta en marcha de un emulador de un sistema de aerogeneración experimental mediante un convertidor CC/CA de tres niveles. La conclusión principal a la que se ha llegado teniendo en cuenta los resultados obtenidos con los experimentos realizados es el correcto funcionamiento del banco de pruebas experimental, cumpliendo así los objetivos planteados inicialmente.

Por un lado se ha puesto en funcionamiento de manera correcta el nuevo hardware diseñado (placas de interconexión) junto con el nuevo hardware adquirido (dSPACE), obteniendo una transmisión correcta de los datos.

Por otro lado se ha conseguido hacer funcionar el convertidor con el nuevo software y hardware de control, y se ha puesto en marcha una bancada de motores mediante la que es posible realizar curvas de funcionamiento, emulando el comportamiento de un aerogenerador.

Con todo esto se ha comprobado que ante una gran variedad de condiciones de funcionamiento, el sistema mantiene un control estable ofreciendo una respuesta correcta y consecuente con los resultados teóricos de la modulación implementada.

Otros puntos destacables en la realización de este proyecto son:

- Se ha conseguido una programación en la FPGA modular que permite la reutilización de bloques de manera rápida y sencilla de tal manera que el siguiente paso a seguir, la realización de un programa en la FPGA capaz de controlar simultáneamente dos convertidores (sistema back – to – back) requiera un esfuerzo de programación mínimo.

- Se ha llevado a cabo la tarea de trasladar a un código C el tipo de programación basada en bloques de Simulink para el procesado de datos en el PPC y se ha diseñado un nuevo protocolo de comunicaciones PPC – FPGA, consiguiendo así una optimización importante en la respuesta del hardware.

- Se han conseguido unos tiempos de proceso y transmisión de los datos adecuados para el uso de modelos en lazo cerrado (menores de 100 μs), un punto necesario para la conexión de la salida del sistema a la red.

- Se ha cuidado la distribución de las diferentes partes del equipo teniendo en cuenta unas medidas básicas de ergonomía para facilitar su manipulación, así como las

posibles interferencias entre componentes, llevando a cabo un trabajo de puestas a tierra y apantallamientos adecuados.

Como propuestas de aspectos de mejora del sistema en el futuro o líneas sobre las que trabajar, se pueden mencionar los siguientes puntos:

- Incorporación de un sistema de elección del tipo de distribución a usar en la FPGA posibilitando la realización de una distribución asimétrica de los *duty-ratios* a lo largo del periodo de conmutación.

- Aumento de frecuencias accesibles de funcionamiento de los transistores, ya que de momento son limitadas. Para ello, debe realizarse un trabajo de programación tanto en la FPGA como en el PPC.

- A pesar de haber conseguido unos tiempos de respuesta buenos, es necesario seguir trabajando en su reducción ya que para el uso de controles y modulaciones más complejos, los tiempos de cálculo pueden aumentar rápidamente. Para su optimización, es necesario llevar a cabo una serie de pruebas experimentales con distintas configuraciones de los parámetros de tiempo de espera y envío situados en el PPC y la FPGA consiguiendo así llegar a sus límites físicos de funcionamiento. Otro factor importante en la determinación de los tiempos viene determinado por el número de conversores A/D activos, por lo que en el momento de realizar pruebas finales, deben usarse únicamente los sensores necesarios para el lazo de realimentación, permitiendo así frecuencias mas altas de trabajo.

- Finalmente, el área que ofrece mas posibilidades de trabajo futuro es la conexión a red del sistema, ya que requiere un control muy preciso del funcionamiento debido a las estrictas normas existentes.

12. Bibliografía

12.1. Referencias bibliográficas

[1] Somavilla, S. *Verificació experimental d'una nova estratègia SVM,* Barcelona, Projecte final de carrera ETSEIB, 2004, pg. 19 – 24, anexo H.

[2] Busquets-Monge, S, Somavilla, S, Bordonau, J, Boroyevich, D. *A Novel Modulation for the Comprehensive Neutral-Point Balancing in the Three-Level NPC Inverter with Minimum Output Switching-Frequency Ripple,* IEEE Power Electronics Specialists Conference, 2004.

[3] Gilabert, A, Alepuz, S, Salaet, J, Busquets-Monge, S, Beristáin,A, Bordonau, J. *Benefits of Multilevel Converters to Wind Turbines in terms of Output Filter Reduction, Proc. EPE-PEMC Power Electronics and Motion Control Conf.*, 2004.

[4] F.Santjer, *Die neuen ergänzenden Netzanschlussergelsn von E-ON Netz GmbH*, DEWI Magazin, #22 pp.28-34, Febrero 2003.

[5] *Institute of Electrical and Electronics Engineers* ISBN: 1559372397, 01-May-1992

[6] Dspace, DS1103, *DS1103 PPC Control Board Hardware Reference*, Alemania p.40.

12.2. Bibliografía complementaria

Manuales asociados a la placa dSPACE i al software ControlDesk i Real-Time Workshop. Hay que destacar que todos estos manuales se encuentran en el laboratorio de electrónica de potencia del departamento de ingeniería electrónica en la planta 9 de la escuela técnica superior de ingenieros industriales de Barcelona.

dSPACE, DS1103, Hardware Reference, Alemanya, dSPACE, 2003.

dSPACE, DS1103, RTlib Reference, Alemanya, dSPACE, 2003

dSPACE, DS1103, RTI Reference, Alemanya, dSPACE, 2003

dSPACE, DS1103, Features Reference, Alemanya, dSPACE, 2003

Manuales asociados al sistema Siemens de control de motores.

SIMOVERT MASTERDRIVES, Filtro de interferencias Radiofónicas, Instrucciones de servicio, Alemania, Siemens, 1996.

SIMOVERT MASTERDRIVES, Panel de Mando OP1S, Instrucciones de servicio, Alemania, Siemens, 1998.

SIMOVERT MASTERDRIVES, SBM – Evaluación taco encoger, Instrucciones de servicio, Alemania, Siemens, 1998.

SIMOVERT MASTERDRIVES, Unidad de alimentación y realimentación, Instrucciones de servicio, Alemania, Siemens, 1994.

SIMOVERT MASTERDRIVES, Onduladores (CC-CA) Forma constructiva Kompakt, Instrucciones de servicio, Alemania, Siemens, 1998.

MASTERDRIVES MC Function diagram – List of contents of the basic functions, Alemania, Siemens, 1997.

Manual asociado al sistema UP2 de Altera.

University Program Design Laboratory Package (User Guide), Altera, 2001.